

ID0-SOM3588S-V1 硬件设计指南



ID0-SOM3588S-V1 硬件设计指南

深圳触觉智能科技有限公司

www.industio.cn

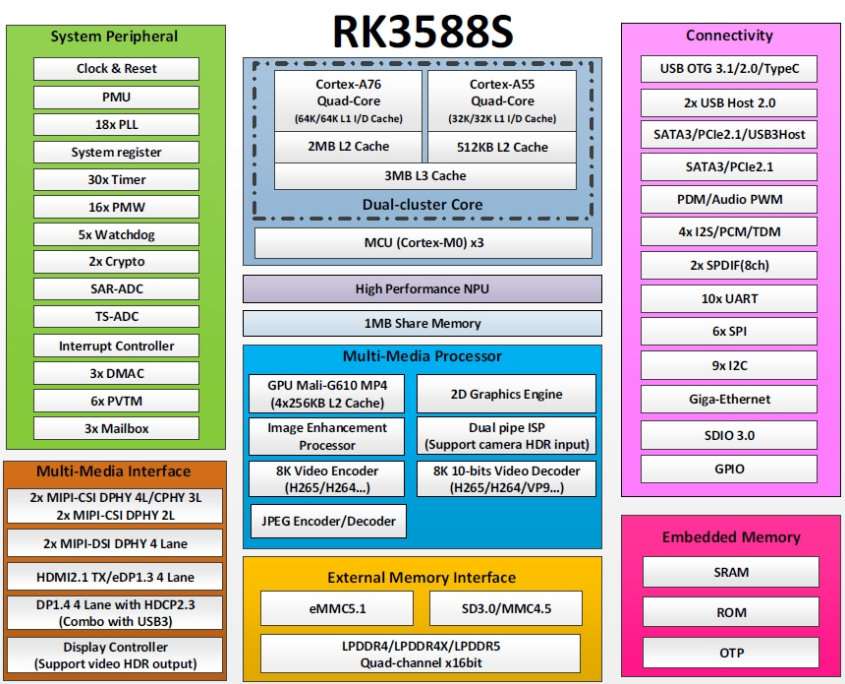
文档修订历史

版本	PCBA 版本	修订内容	修订	审核	日期
V1.0	V1B	创建文档	WJY	ID0	2024/09/23

1、芯片简介

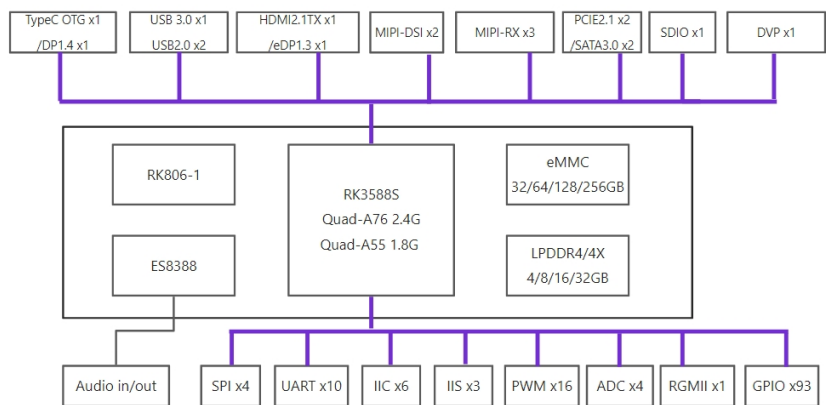
ID0-SOM3588S-V1 采用瑞芯微最新旗舰 SOC 芯片 RK3588S。RK3588S 搭载八核 64 位 CPU，主频高达 2.4GHz；集成 ARM Mali-G610 MP4 四核 GPU，内置 AI 加速器 NPU，可提供 6Tops 算力，

支持主流的深度学习框架；RK3588S 内置多种功能强大的嵌入式硬件引擎，支持 8K@60fps 的 H.265 和 VP9 解码器、8K@30fps 的 H.264 解码器和 4K@60fps 的 AV1 解码器；支持 8K@30fps 的 H.264 和 H.265 编码器，高质量的 JPEG 编码器/解码器，专门的图像预处理器和后处理器。应用可覆盖边缘计算、人工智能、云计算、虚拟/增强现实、智能安防、智慧医疗、自助终端、智能零售等行业。RK3588S Soc 框图，如下图所示：



1.1 模块介绍

ID0-SOM3588S-V1 是基于 RK3588S 系列 CPU 开发设计的一款高性能核心板。在超小 PCB 面积上，核心板板载 LPDDR4/4X、eMMC、PMIC、Audio CODEC 扩展 MIPI-CSI、MIPI-DSI、PCIe2.0、USB3.0 等接口和多达 93 路多功能 GPIO，接口丰富。ID0-SOM3588S-V1 模块框图，如下图所示：



ID0-SOM3588S-V1 核心板主要功能，如下表所示：

基本参数	
SOC 系统芯片	RockChip RK3588S
CPU 中央处理器	Quad-core Cortex-A76 and quad-core Cortex-A55，主频高达 2.4GHz
GPU 图形处理器	• Mali-G610 GPU • 支持 OpenGL ES 3.2，OpenCL 2.2，Vulkan 1.1 • 内嵌高性能 2D、3D 加速硬件
NPU 嵌入式神经网络处理器	支持 6.0T 算力，支持 INT4/INT8/INT16/FP16 运算
VPU 视频处理单元	视频解码 • H.265/AVS2/VP9，8bits/10bits，8K@60fps • H.264/AV1，8bits/10bits，8K@30fps • Multi-channel decoder in parallel for less resolution (4K/1080p/720p etc.) 视频编码

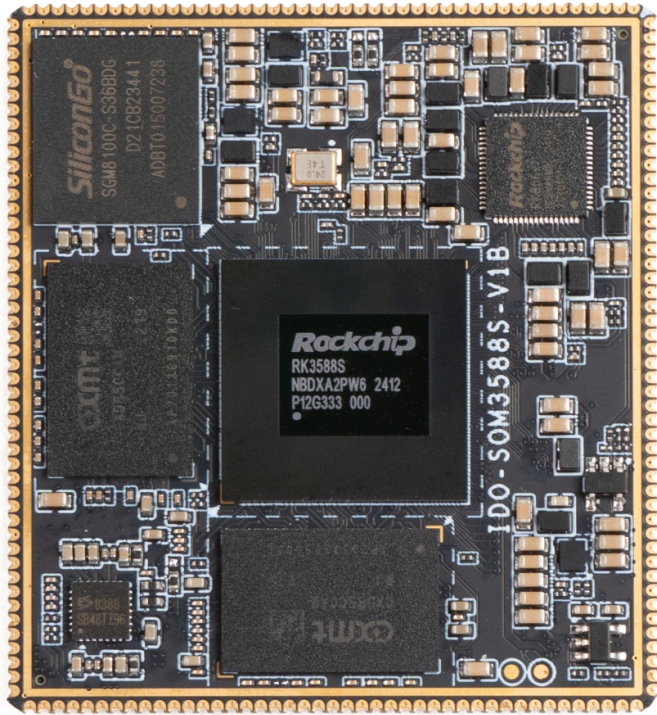
	• H. 265/H. 264, 8K@30fps • Multi-channel encoder in parallel for less resolution (1080p/720p etc.) Muti-format 视频解码 • H. 265/H. 264, 8K@30fps • 1080P@60fps video decoder for VP8/AVS1/AVS1+/MPEG-4
内存	4GB/8GB/16GB 32GB LPDDR4/4x
存储	32GB/64GB/128GB/256GB eMMC
硬件参数	
网络	集成 GMAC/SDIO3.0/USB3.0 接口，可扩展 1 路千兆以太网、WiFi/蓝牙、5G/4G LTE
显示	视频输出： • 1 * HDMI2.1/eDP1.3, 最高 8K@60Hz 支持 HDCP2.3; 支持 eDP1.3, 4K@60Hz, 支持 HDCP1.3; HDMI 和 eDP 不能同时工作 • 2 * MIPI DSI, 支持 2 个 MIPI DPHY 2.0 或 CPHY 1.1, 分辨率可达 4K@60Hz; 支持-左右双 MIPI 显示, 支持 RGB/YUV 格式(最高 10bit) • 1 * DP1.4, 支持 TX 1.4a , 与 USB3.1 Gen1 复用, 支持 1,2,4 lanes; 分辨率可达 7680 * 4320@30Hz; 支持 HDCP2.3, HDCP 1.3 视频输入： • 1 * MIPI CSI (4 Lane) 或者 2*MIPI CSI (2 Lane) • 2 * MIPI DPHY V2.0 (4lanes, 4.5Gbps/lane); MIPI CPHY V1.1

	(3lanes, 2.5Gbps/lane) 1 * DVP, 8/10/12/16-bit 标准 DVP 接口, 最高 150MHz 数据输入; 支持 BT.601/BT.656 和 BT.1120 VI 接口 最高可以实现四屏异显 (1 * HDMI + 2 * MIPI DSI + 1 * DP)
音频	3 × I2S 2 × SPDIF 2 × PDM
USB	1 × USB2.0 OTG 1 × USB3.1 OTG 1 × USB3.1 HOST 2 × USB2.0 HOST
PCIe/SATA	2 × PCIe2.1 或 2 × SATA3.0
扩展接口	10 × UART 4 × SPI 3 × I2S 6 × I2C 1 × SDMMC 16 × PWM 4 × ADC 93 × GPIO
其他	

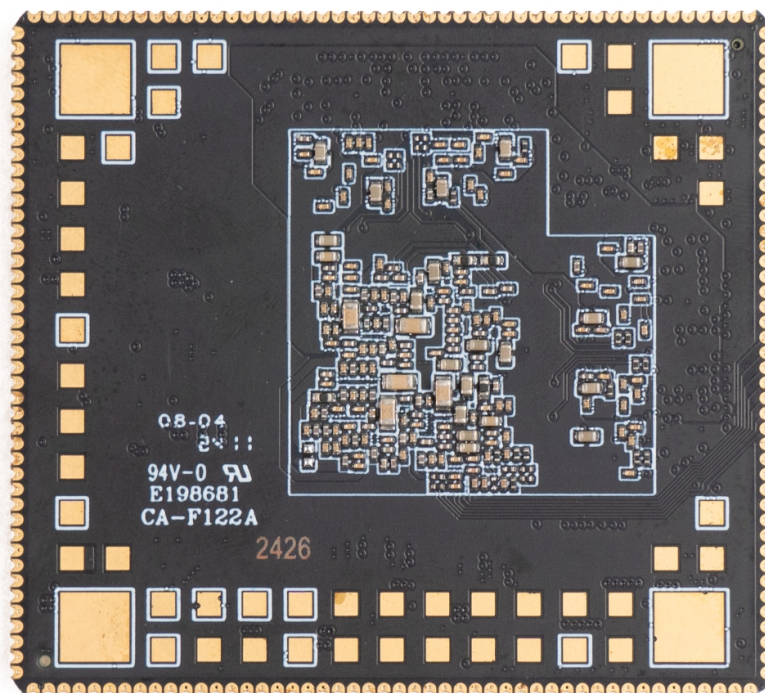
主板尺寸	4.5cm X 5cm
接口类型	邮票孔+LGA 封装
PCB 规格	板厚 1.1mm ， 10 层板 高 Tg 材质，沉金工艺

1.2 产品图片

ID0-SOM3588S-V1 核心板正面，如下图所示：



ID0-SOM3588S-V1 核心板背面，如下图所示：



2、硬件设计说明

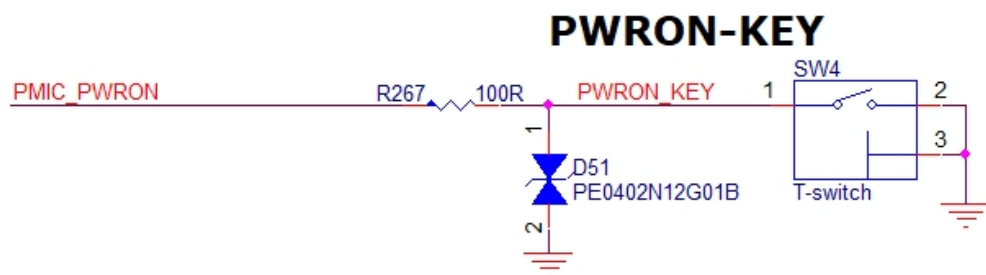
2.1 电源系统

ID0-SOM3588S-V1 电源相关引脚说明，如下表所示：

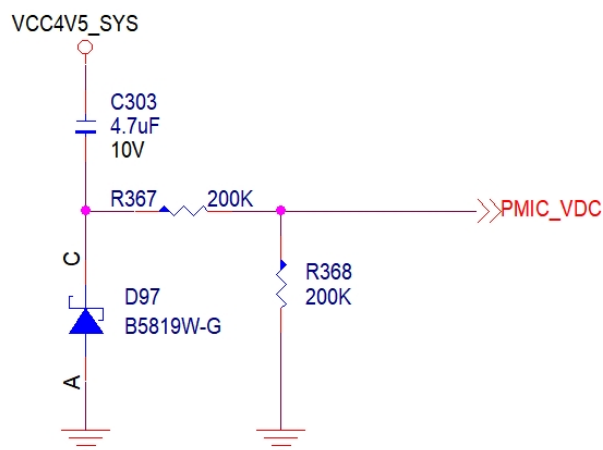
电源相关引脚	引脚编号	方向	引脚说明
VCC4V5_SYS	180、 181、182	电源输入	系统主要输入供电，推荐独立 DCDC，支持 2A 持续和 3A 瞬间电流供电能力，电压范围【3.6-5V】，推荐 4.5V 供电。浪涌电压超过 5.5V 可能对核心板上电源芯片造成损害。 靠近引脚加 TVS 管，做 5.5V 浪涌保护。
VCCI04	71	电源输入	CPU 两组 IO 的电源域供电输入，必须供电，且只

		入	能在核心板输出的 VCC_1V8_S0_OUT、VCC_1V8_S3_OUT 和 VCC_3V3_S0_OUT 三个电源三选一。应根据实际需要选择相应 IO 组电平，每个 IO 电源域对应的 IO 组详见 ID0-SOM3588S-V1-PINOUT 表格
VCCIO5	44	电源输入	
VCC_1V8_S0_OUT	136	电源输出	1.8V 对外供电, 仅用于 1.8V 电源域参考电平, 不能用于负载供电。待机掉电
VCC_3V3_S0_OUT	135	电源输出	3.3V 对外供电, 仅用于 3.3V 电源域参考电平, 不能用于负载供电。待机掉电
VCC_1V8_S3_OUT	183	电源输出	1.8V 对外供电, 仅用于 1.8V 电源域参考电平, 不能用于负载供电。待机不掉电
PMIC_VDC	178	电源检测输入	检测 DC 电源，用于插电开机控制。VDC 电压第一次>0.55V，自动触发开机。无需插电自动开机时，可下拉到地。
PMIC_EXT_EN_OUT	177	关机控制输出	开机输出高(4V5)，关机时输出低，关机控制输出。
PWRON_L	4	开关机按键输入	开关机按键信号输入检测引脚，用于连接按键输入。内部上拉 45K 到 VCC4V5_SYS。

开关机按键参考设计：

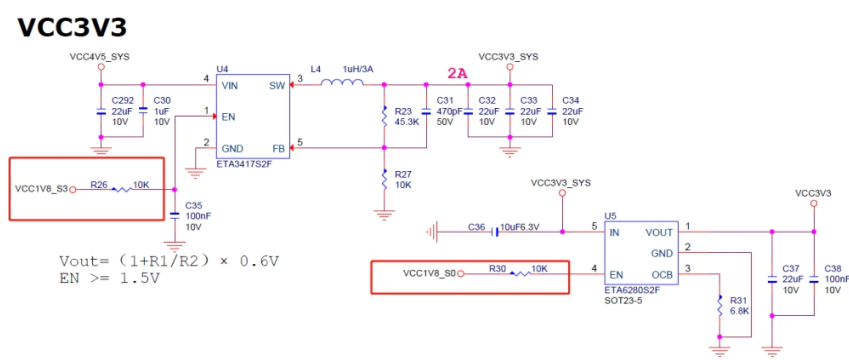


上电自动开机的 VDC 参考设计：



2.1.1 待机

1. **待机指示**待机时，VCC_1V8_S3_OUT 不会掉电，底板外围电源在待机时需要保持供电可以用此电源控制；VCC_1V8_S0_OUT 和 VCC_3V3_S0_OUT 会掉电，底板外围电源在待机时需要关闭的可以用 VCC_1V8_S0_OUT 控制。参考下图：



2. 待机保持的 IO 引脚

RK3588S 进入深度待机状态时，只有 CPU 和 DDR 部分区域保持供电。大部分的 IO 电源也是断电的，所以如果需要深度待机时，仍然可以保持状态的 IO，需要选取待机时保持供电的 IO 组。SOM3588S 深度待机后默认保持供电的 IO 组为 PMUI01 和 PMUI02 组，如下图所示：

45	I2S1_SDO3_M1/CPU_BIG1_AVS/I2C1_SDA_M2/CAN2_TX_M1/HDMI_TX0_SCL_M1/SPI3_CS1_M2/SATA_MP_SWITCH/GPIO0_D5_u	
46	I2S1_SDO2_M1/PDM0_SDI2_M1/PWM3_IR_M0/I2C1_SCL_M2/CAN2_RX_M1/HDMI_TX0_SDA_M1/SPI3_CS0_M2/SATA_CP_DET/GPIO0_D4_u	
47	LITCPU_AVS/SPI3_CLK_M2/GPIO0_D3_u	
48	I2S1_SDI3_M1/PDM0_SDI1_M1/I2C6_SCL_M0/UART1_CTSN_M2/PWM7_IR_M0/SPI3_MISO_M2/GPIO0_D0_d	
49	I2S1_SDI2_M1/PDM0_SDI0_M1/I2C6_SDA_M0/UART1_RTSN_M2/PWM6_M0/SPI0_MISO_M0/GPIO0_C7_d	
50	I2S1_SDI1_M1/NPU_AVS/UART0_RTSN/PWM5_M1/SPI0_CLK_M0/SATA_CP_POD/GPIO0_C6_u	
51	I2S1_SDI0_M1/GPU_AVS/UART0_TX_M0/I2C4_SCL_M2/PWM4_M0/GPIO0_C5_u	PMUIO2
52	PDM0_CLK1_M1/PWM2_M0/UART0_RX_M0/I2C4_SDA_M2/DP0_HPDI_M1/GPIO0_C4_d	VCC_1V8_S3
53	I2S1_SCLK_M1/JTAG_TMS_M2/I2C1_SDA_M0/UART2_RX_M0/PCIE20X1_1_WAKEN_M0/GPIO0_B6_d	
54	I2S1_MCLK_M1/JTAG_TCK_M2/I2C1_SCL_M0/UART2_TX_M0/PCIE20X1_1_CLKREQN_M0/GPIO0_B5_d	
55	I2C1_SCL_M1/UART0_RX_M1/GPIO0_B0_z	PMUIO1
56	CLK32K_IN/CLK32K_OUT0/GPIO0_B2_u	VCC_1V8_S3
57	SDMMC_DET/GPIO0_A4_u	
58	REFCLK_OUT/GPIO0_A0_d	

这两组 IO 可用于待机唤醒，深度待机时状态需要保持状态的 IO 脚也应采在这两组中选取。

注意：VCCIO4、VCCIO5 和 VCCIO6 供电选用 VCC_1V8_S3_OUT 供电或者控制的电源供电也可保持 RK3588S 深度待机后 IO 保持供电。

3. 待机功耗

SOM3588S 核心板的待机功耗实际测试在【6mA~8mA】5V。

上电时序要求：

1. 核心板主供电 VCC4V5_SYS （引脚 180、181、182）优先供电。
2. 底板 1.8V 和 3.3V 供电在 VCC_1V8_S0_OUT、VCC_3V3_S0_OUT、VCC_1V8_S3_OUT 输出后再上电。 可用 VCC_1V8_S0_OUT 作为底板 1.8V 和 3.3V 供电使能。

注意：

1. 核心板 VCC4V5_SYS 注意浪涌保护，过冲电压必须<5.5V，否则容易烧坏核心板电源芯片。
2. 严格按照上电时序要求。
3. VCCIO4、VCCIO5 和 VCCIO6 这三组 IO 供电，务必从核心板输出电源 VCC_1V8_S0_OUT、VCC_3V3_S0_OUT、VCC_1V8_S3_OUT 中三选一。
4. VCC_1V8_S0_OUT、VCC_3V3_S0_OUT、VCC_1V8_S3_OUT 三组供电输出，只能用于 IO 电压域供电，不得用于负载供电，供电限流 100mA。
5. 注意各路 IO 引脚电平匹配。
6. 注意各路 IO 不得在核心板上电前对核心板带电输出；IO 向核心板灌电会导致启动异常或芯片损伤。

2.2 调试下载相关电路

所有基于 SOM3588S 的底板设计，都强烈建议保留下面三种调试下载相关电路！

1. USB0 OTG 接口， 主要用于固件下载及 ADB 调试

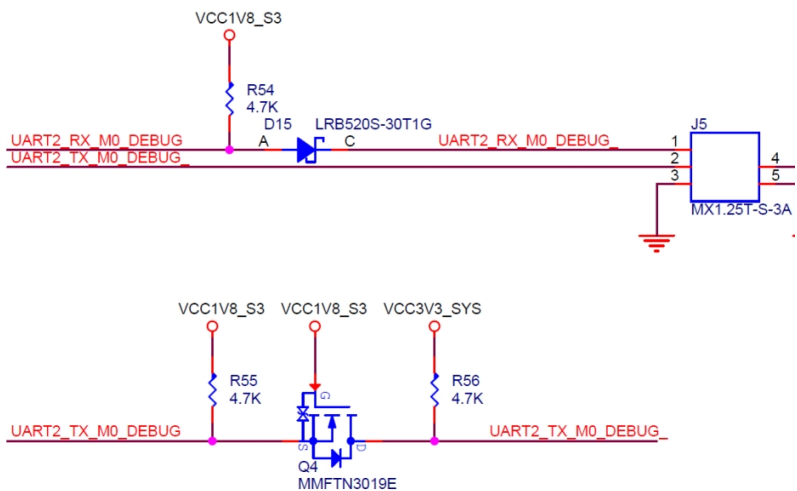
具体电路参考 2.3 节 USB3.0/2.0

2. 调试串口，用于系统日志消息和控制终端命令行操作，系统默认使用的调试串口是 UART2 (M0 组)。

UART 资源	引脚编号	UART 信号定义	电源域
UART2 (M0 组)	53	UART2_RX_M0	1.8V (调试串口)
	54	UART2_TX_M0	

注意：

调试串口在使用时经常连接 USB 转 UART TTL 模块，经常在 SOM3588S 未上电时，UART2_RX_M0 已经由 USB 转 UART TTL 模块灌电。强烈建议采用 RS232 芯片转换或者采用下面转换电路避免引脚灌电：

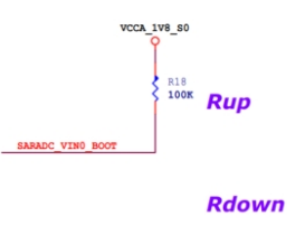


3. 启动模式及功能按键

引脚号	引脚定义	电源域	描述
200	SARADC_VIN0_BOOT	1.8V	BOOT 模式选择，用于启动模式选择，引脚悬空时，内部默认分压从 eMMC 优先启动；一般做成 BOOT 按键，按下按键短接到 GND，再上电可强制进入 Maskrom 烧录模式
118	SARADC_VIN1_KEY/RECOVERY	1.8V	一般做成 RECOVERY 按键，按下按键短接到 GND，再上电可强制进入烧录模式

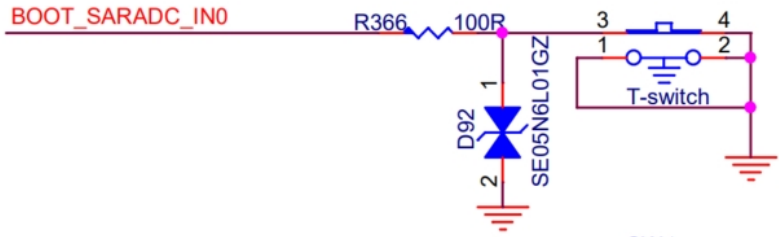
SARADC0_BOOT 在核心板上按照下图 LEVEL7 已经做了分压电阻，启动顺序为 SPI_M2-
FSPI_M0-EMMC-SD Card-USB。SOM3588S 核心板上的分压配置如下图：

BOOT MODE CONFIG



Item	Rup	Rdown	ADC	BOOT MODE(saradc_in5)
LEVEL1	DNP	100K	0	USB (Maskrom mode)
LEVEL2	100K	20K	682	SD Card-USB
LEVEL3	100K	51K	1365	EMMC-USB
LEVEL4	100K	100K	2047	FSPI M0-USB
LEVEL5	100K	200K	2730	FSPI M1-USB
LEVEL6	100K	499K	3412	FSPI M2-USB
LEVEL7	100K	DNP	4095	FSPI_M2-FSPI_M0-EMMC-SD Card-USB

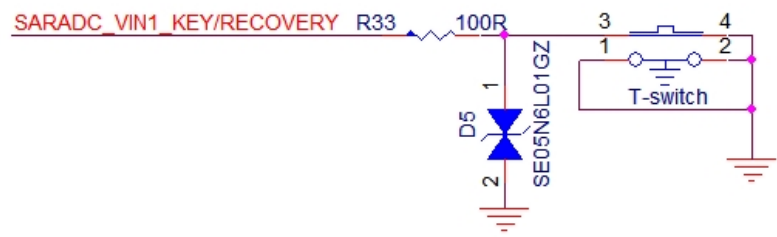
底板上的 BOOT 按键参考电路，如下图：



当系统变砖时，启动时 BOOT 模式按键处于按下状态，即将 SARADC0_BOOT 保持为低电平（ 0V ），则 RK3588S 进入 Maskroom 模式，当 PC 识别到 USB 设备时，即可进行固件烧写。

注意：为了方便开发，建议预留 BOOT 按键或预留测试点。

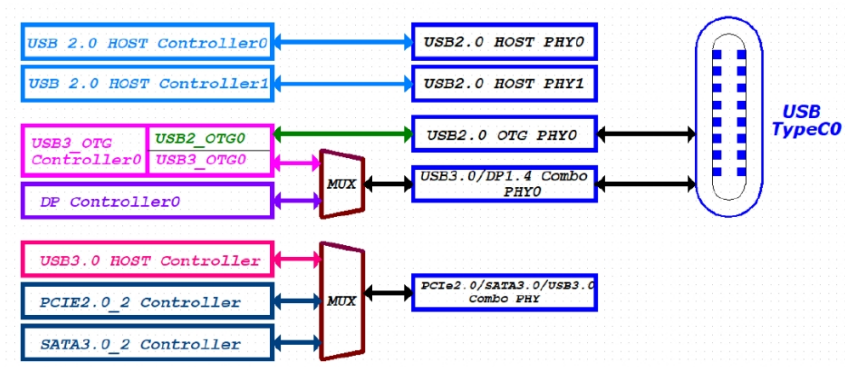
SARADC0_IN1_KEY/RECOVERY 系统默认用作功能按键，核心板上已经做了 10K 电阻上拉，功能按键参考下图设计：



注意：为了方便开发，强烈建议必须保留 Recovery 按键。

2.3 USB3.0/2.0

ID0-SOM3588S-V1 核心板具有 1 路 USB3.0 OTG（含 USB2.0 OTG，为系统固件烧写口）、1 路 USB3.0 HOST 和 2 路 USB2.0 HOST，其中 USB3.0 OTG 与 DP 引脚复用、USB3.0 与 PCIe2.1 引脚复用。



USB3.0 OTG 引脚资源如下表所示：

引脚编号	引脚名称	连接方式	备注
------	------	------	----

146	TYPECO_SSTX2N	串接 100nF 电容	可复用为 DP0_TX3N
145	TYPECO_SSTX2P		可复用为 DP0_TX3P
144	TYPECO_SSRX2P	串接 0Ω 电阻	可复用为 DP0_TX2P
143	TYPECO_SSRX2N		可复用为 DP0_TX2N
124	TYPECO_OTG_DM	串接 2.2ohm 电阻	TYPECO_OTG 可用于固件 下载烧录和 ADB 调试
123	TYPECO_OTG_DP		
142	TYPECO_SSTX1N	串接 100nF 电容	可复用为 DP0_TX1N
141	TYPECO_SSTX1P		可复用为 DP0_TX1P
140	TYPECO_SSRX1P	串接 0Ω 电容	可复用为 DP0_TX0P
139	TYPECO_SSRX1N		可复用为 DP0_TX0N
138	TYPECO_SBU1	串接 100nF 电容	可复用为 DP0_AUXP
137	TYPECO_SBU2		可复用为 DP0_AUXN
210	USB30_OTG0_VBUSDET	电阻分压检测	OTG0 VBUS 检测，高有效 (3.3V)，务必拉高
209	USB30_OTG0_ID	/	USB OTG ID 识别 Micro USB 接口时需要使用

USB3.0 HOST 引脚资源如下表所示：

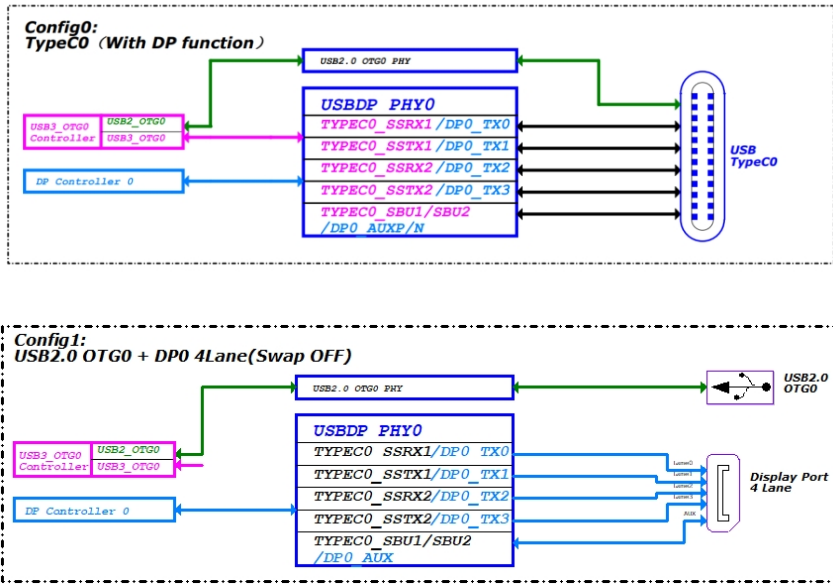
引脚编号	引脚名称	连接方式	备注
65	USB30_2_SSTXP	串接 100nF 电容	可复用为 PCIe20_2_TXP

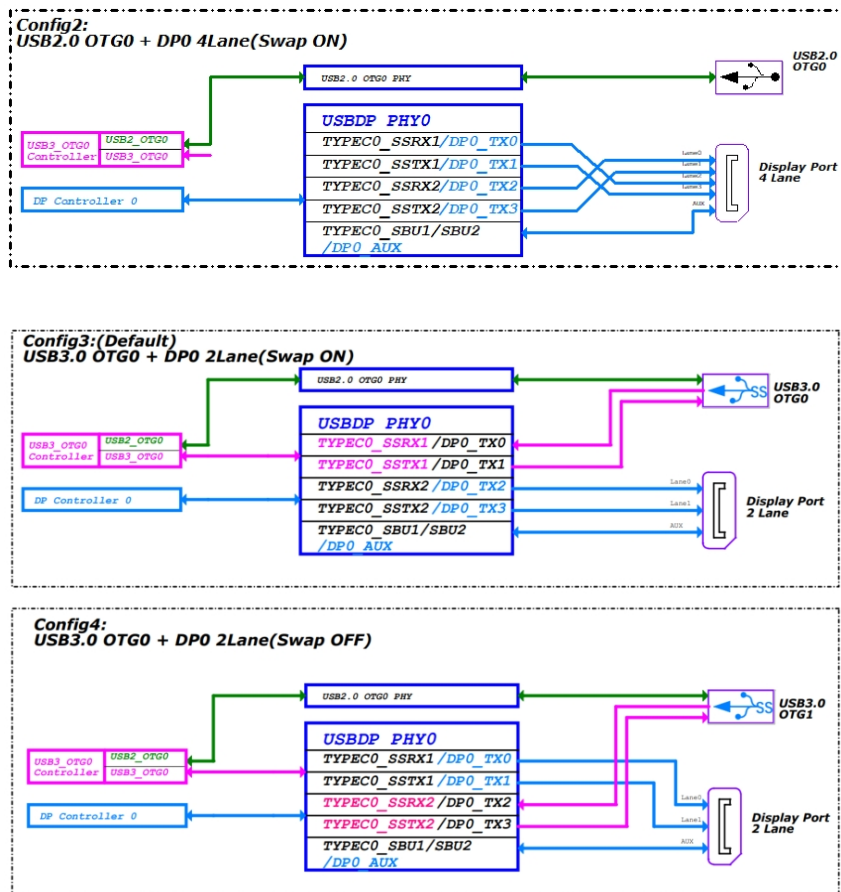
66	USB30_2_SSTXN		可复用为 PCIe20_2_TXN
67	USB30_2_SSRXP	串接 100nF 电容	可复用为 PCIe20_2_RXP
68	USB30_2_SSRXN		可复用为 PCIe20_2_RXN

USB2.0 HOST 引脚资源，如下表所示：

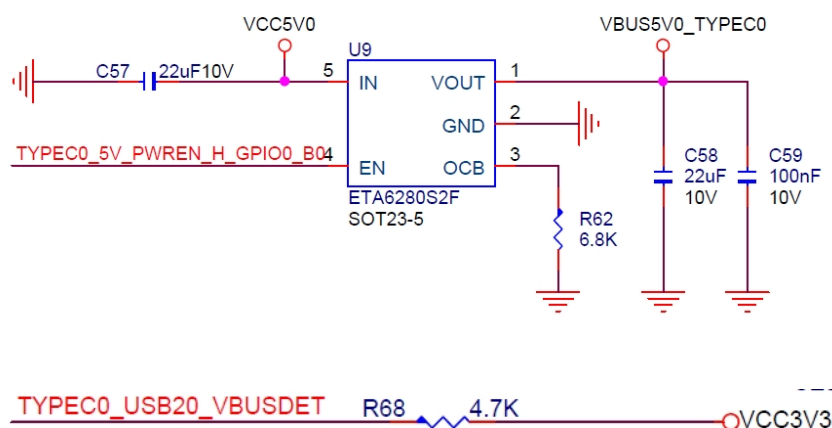
引脚编号	引脚名称	备注
119	USB20_HOST0_DM	USB2.0 HOST0 信号组
120	USB20_HOST0_DP	
121	USB20_HOST1_DM	USB2.0 HOST1 信号组
122	USB20_HOST1_DP	

Type-C OTG 与 DP 存在引脚复用，实际可以配置为五种种模式 TypeC0、USB2.0 OTG0 + DP0 4Lane(Swap OFF or Swap ON 两种模式)、 或者 USB3.0 OTG0 + DP0 2Lane(Swap OFF or Swap ON 两种模式)：

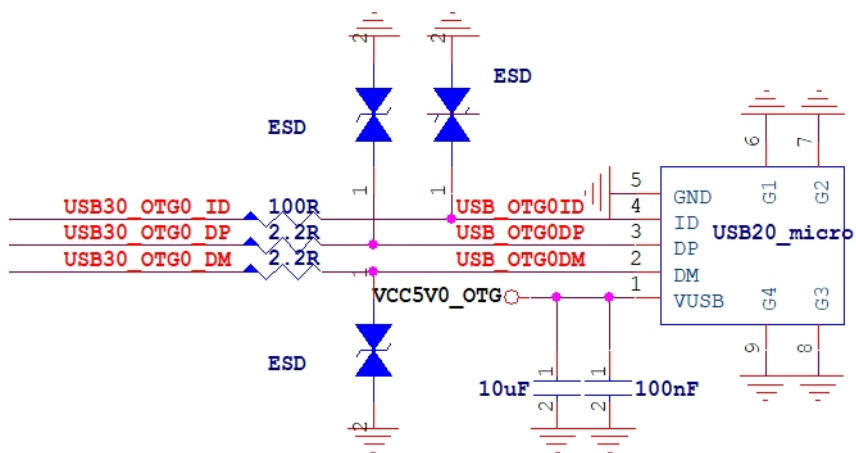




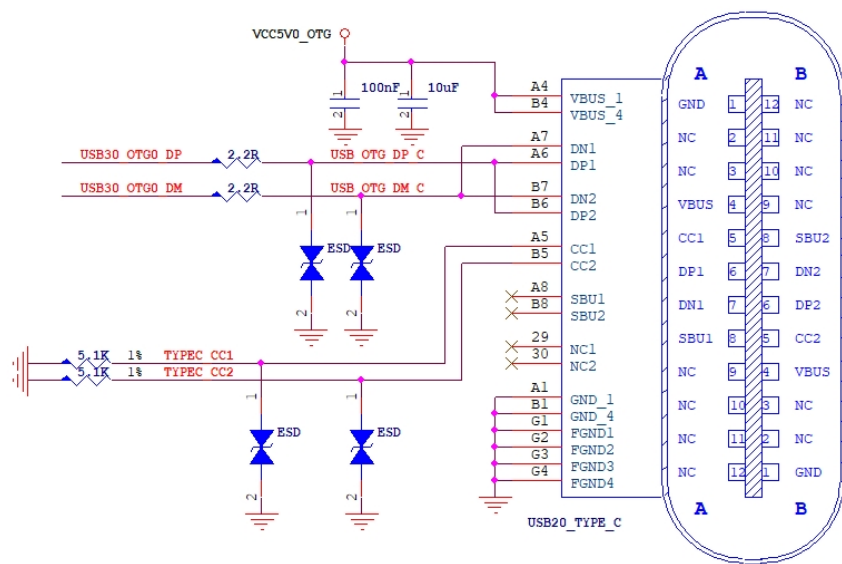
USB3.0 OTG 的供电使能 USB_OTG_PWREN_H 要选用上电默认拉低的 GPIO 引脚，且注意功率开关 EN 脚开启电压与 USB_OTG_PWREN_H 引脚电平是否匹配。 USB30_OTG0_VBUSDET 检测 OTG0 的 VBUS 电压，耐压 3.3V, 要分压后检查。



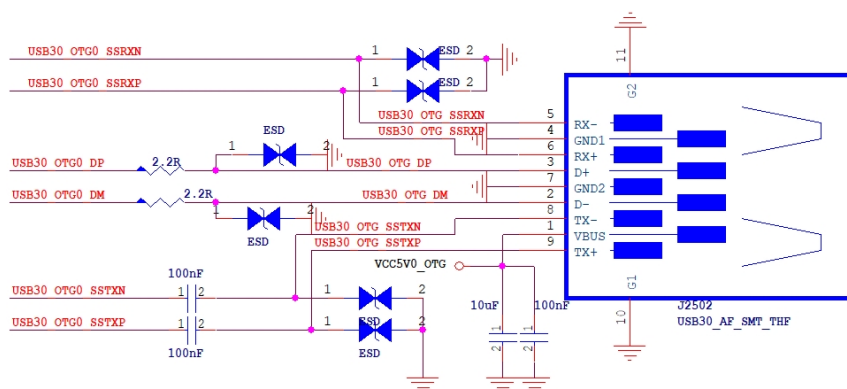
USB3.0 OTG 连接 MircoUSB, TYPEC, USB-TYPEA 三种连接参考电路如下：



MicroUSB 的连接电路



TYPE-C 座子的连接参考（默认从设备）



USB3.0 OTG TYPE-A 座连接参考

设计注意事项:

- 1. ESD 务必采用 Cj<0.4pF 的型号。USB 的差分对上 ESD 型号必须一致。
- 2. 2.2R 电阻只能串在 USB2.0 信号线上。主要用于 ESD 改善。
- 3. USB 差分走线严格按照 90ohm 差分阻抗，差分对内等长误差<5mil。 ESD 对称摆放。
- 4. USB3.0 差分线换层过孔<=2 个。外接长线缆 USB3.0 设备时，建议加 USB3.0 HUB 芯片。

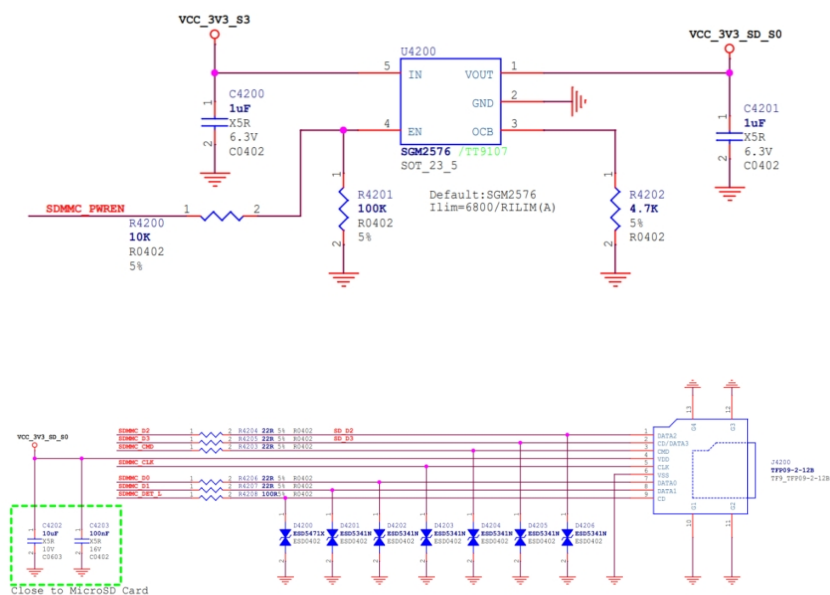
2.4 SDMMC

SOM3588S-V1 核心板扩展出 1 路 MMC/SDIO 资源，兼容 SDIO3.0 和 MMC ver4.51，4bit 数据位宽，速率达到 150MHz，可用于扩展 SD 卡和 WIFI 模块。

SDIO/MMC0 主要用于连接 SD 存储卡，也可用于 SDIO 接口的 WIFI 模块， 引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
98	SDMMC_D0	3.3V/1.8V	SD 卡 Data0
99	SDMMC_D1	3.3V/1.8V	SD 卡 Data1
94	SDMMC_D2	3.3V/1.8V	SD 卡 Data2
95	SDMMC_D3	3.3V/1.8V	SD 卡 Data3
96	SDMMC_CMD	3.3V/1.8V	SD 卡 CMD 信号
97	SDMMC_CLK	3.3V/1.8V	SD 卡时钟信号
57	SDMMC_DET	3.3V	SD 卡座检测引脚

MMC/SDIO0 外接 TF 卡参考设计，如下图所示：



注意：

1. 走线阻抗控制 50ohm，参考面完整，整组走线等长控制 $\pm 100\text{mil}$ 。
2. 建议串匹配电阻（典型值 22ohm），时钟信号匹配电阻靠近 SOM3588S 引脚侧放置，时钟信号预留 2.2pF 电容。

2.5 RGMII

RK3588S 内部有 1 个 GMAC，可用于扩展 1 路千兆以太网功能。通过 RGMII 信号连接千兆 PHY 芯片，RMII 信号可连接百兆 PHY 芯片。

注意：引脚的电源域有 3.3V 和 1.8V 两种，PHY 芯片的 IO 电压要和核心板的 IO 电平匹配。

GMAC RGMII 引脚资源，如下表所示：

引脚编号	GMAC RGMII 信号定义	RMII 信号定义	电源域
6	RGMII_TXD0	RMII_TXD0	VCCI05
5	RGMII_TXD1	RMII_TXD1	VCCI05

17	RGMI0_TXD2	/	VCCI05
16	RGMI0_TXD3	/	VCCI05
4	RGMI0_TXEN	RMII_TXEN	VCCI05
13	RGMI0_TXCLK	/	VCCI05
10	RGMI0_RXD0	RMII_RXD0	VCCI05
9	RGMI0_RXD1	RMII_RXD1	VCCI05
15	RGMI0_RXD2	/	VCCI05
14	RGMI0_RXD3	/	VCCI05
8	RGMI0_RXDV	RMII_CRS_DV	VCCI05
12	RGMI0_RXCLK	RMII_CLK	VCCI05
3	RGMAC1_MCLKINOUT	/	VCCI05
29	RGMI0_MDC	/	VCCI05
28	RGMI0_MDIO	/	VCCI05

注意：

考虑到大部分百兆 PHY 芯片 IO 电平为 3.3V，当配置为 RMII 时，对应的 IO 电平 VCCI05 电源也要连接到核心板的 VCC_3V3_OUT 电源。

2.6 音频接口

RK3588S 支持的音频接口清单，如下表所示：

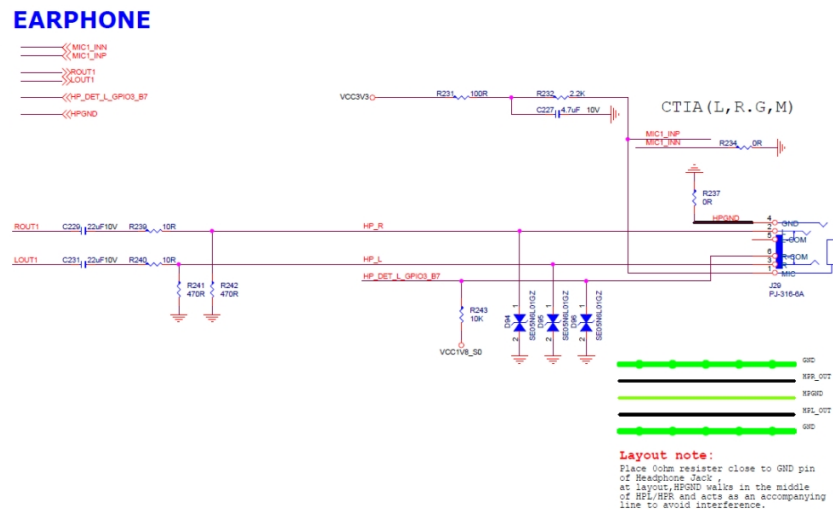
音频接口资源	资源详情	说明
I2S 数字音频接口	I2S1	8 通道输出和 8 通道输入
	I2S2	2 通道输出和 2 通道输入
	I2S3	2 通道输出和 2 通道输入
SPDIF TX 数字音频接口	2 路	
PDM 数字音频接口	2 路	8 通道输入

ID0-SOM3588S 内部集成了一路 Codec（ES8388），占用了 I2S0 资源，核心板输出 2 路耳机音频输出（左右声道），支持 2 路 MIC 输入。相关引脚定义，如下表所示：

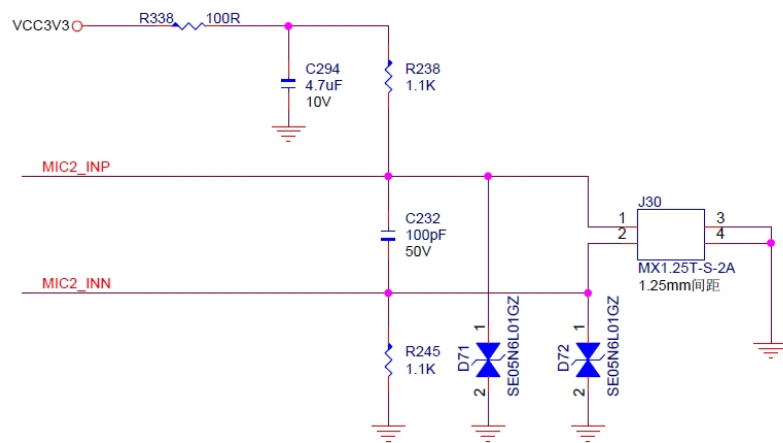
引脚编号	引脚定义	说明
216	LOUT1	Left channel output of the headphone
198	HPGND	Reference ground for the headphone
197	ROUT1	Right channel output of the headphone
215	MIC1P	Positive input of the headphone
196	MIC1N	Negative input of the headphone
91	MIC2P	Positive input of the Microphone

90	MIC2N	Negative input of the Microphone
93	ROUT2	Right channel output of the headphone
92	LOUT2	Left channel output of the headphone

如果标准 3.5mm 耳机（CTIA）电路，如下图所示：



驻极体 MIC 单端输入电路，如下图所示：



I2S1 (M0 组) 引脚，如下表所示：

引脚编号	I2S2 信号	电源域	说明
112	I2S1_SDI0_M0	VCCI06	I2S serial data input
111	I2S1_SDI1_M0	VCCI06	I2S serial data input
110	I2S1_SDI2_M0	VCCI06	I2S serial data input
109	I2S1_SDI3_M0	VCCI06	I2S serial data input
108	I2S1_SD00_M0	VCCI06	I2S serial data output
107	I2S1_SD01_M0	VCCI06	I2S serial data output
106	I2S1_SD02_M0	VCCI06	I2S serial data output
105	I2S1_SD03_M0	VCCI06	I2S serial data output
115	I2S1_LRCK_M0	VCCI06	I2S left & right channel signal for receiving serial data, synchronous left & right channel.
116	I2S1_SCLK_M0	VCCI06	I2S serial clock for receive data
117	I2S1_MCLK_M0	VCCI06	I2S clock source

I2S1（M1 组）引脚，如下表所示：

引脚编号	I2S2 信号	电源域	说明
51	I2S1_SDI0_M1	PMUI02	I2S serial data

			input
50	I2S1_SDI1_M1	PMUI02	I2S serial data input
49	I2S1_SDI2_M1	PMUI02	I2S serial data input
48	I2S1_SDI3_M1	PMUI02	I2S serial data input
46	I2S1_SDO2_M1	PMUI02	I2S serial data output
45	I2S1_SDO3_M1	PMUI02	I2S serial data output
53	I2S1_SCLK_M1	PMUI02	I2S serial clock for receive data
54	I2S1_MCLK_M1	PMUI02	I2S clock source

I2S2 (M1 组) 引脚，如下表所示：

引脚编号	I2S3 信号	电源域	说明
5	I2S2_MCLK_M1	VCCI05	I2S clock source
7	I2S2_SDI_M1	VCCI05	I2S serial data input
6	I2S2_SDO_M1	VCCI05	I2S serial data output
3	I2S2_LRCK_M1	VCCI05	I2S left & right channel signal for receiving serial data,

			synchronous left & right channel.
4	I2S2_SCLK_M1	VCCI05	I2S serial data output

I2S3 引脚，如下表所示：

引脚编号	I2S3 信号	电源域	说明
17	I2S3_MCLK	VCCI05	I2S clock source
13	I2S3_SDI	VCCI05	I2S serial data input
14	I2S3_SDO	VCCI05	I2S serial data output
15	I2S3_LRCK	VCCI05	I2S left & right channel signal for receiving serial data, synchronous left & right channel.
16	I2S3_SCLK	VCCI05	I2S serial data output

RK3588S 提供两组 SPDIF TX 数字音频接口。SPDIF 全称为 Sony/Philips Digital Interface Format 是 SONY 、 PHILIPS 数字音频接口的简称。就传输载体而言， SPDIF 又分为同轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异， SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。SPDIF 引脚配置，如下表所示：

引脚编号	信号定义	电源域
75	SPDIF0_TX_M0	VCCI04
105	SPDIF0_TX_M1	VCCI06

74	SPDIF1_TX_M0	3.3V
108	SPDIF1_TX_M1	3.3V
100	SPDIF1_TX_M2	3.3V

PDM0 引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
186	PDM0_SDI3_M0	3.3V	/
189	PDM0_SDI2_M0	3.3V	/
190	PDM0_SDI0_M0	3.3V	/
192	PDM0_CLK0_M0	3.3V	PDM sampling clock0
185	PDM0_CLK1_M0	3.3V	PDM sampling clock1

PDM1（M0 组）引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
98	PDM_SDI3_M0	3.3V	/
99	PDM_SDI2_M0	3.3V	/
94	PDM_SDI1_M0	3.3V	/
95	PDM_SDI0_M0	3.3V	/
96	PDM_CLK1_M0	3.3V	PDM sampling clock
97	PDM_CLK0_M0	3.3V	PDM sampling clock

PDM1（M1 组）引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
82	PDM_SDI0_M1	3.3V	/
81	PDM_SDI1_M1	3.3V	/
80	PDM_SDI2_M1	3.3V	/
79	PDM_SDI3_M1	3.3V	/
77	PDM_CLK0_M1	3.3V	PDM sampling clock
78	PDM_CLK1_M1	3.3V	PDM sampling clock

2.7 显示接口(MIPI-DSI/HDMI/eDP/DP)

IDO-SOM3588S-V1 核心板引出 2 路 MIPI D-PHY/C-PHY Combo PHY TX：

- D-PHY 支持 V2.0 版本，D-PHY 模式有 0/1/2/3 Lane，最大数据传输速率为 4.5Gbps；
- C-PHY 支持 V1.1 版本，C-PHY 模式有 0/1/2 Trio，每个 Trio A/B/C 3 根线，最大数据传输速率为 5.7Gbps/Trio（2.5Gsps）。

MIPI0 引脚配置，如下表所示：

引脚编号	MIPI 引脚定义	描述
166	MIPI_DPHY0_TX_D3P	MIPI0-发送-D3-正
165	MIPI_DPHY0_TX_D3N/MIPI_CPHY0_TX_TRIO2_C	MIPI0-发送-D3-负
164	MIPI_DPHY0_TX_D2P/MIPI_CPHY0_TX_TRIO2_B	MIPI0-发送-D2-正

163	MIPI_DPHY0_TX_D2N/MIPI_CPHY0_TX_TRIO2_A	MIPI0-发送-D2-负
162	MIPI_DPHY0_TX_CLKP/MIPI_CPHY0_TX_TRIO1_C	MIPI0-时钟-正
161	MIPI_DPHY0_TX_CLKN/MIPI_CPHY0_TX_TRIO1_B	MIPI0-时钟-负
160	MIPI_DPHY0_TX_D1P/MIPI_CPHY0_TX_TRIO1_A	MIPI0-发送-D1-正
159	MIPI_DPHY0_TX_D1N/MIPI_CPHY0_TX_TRIO0_C	MIPI0-发送-D1-负
158	MIPI_DPHY0_TX_D0P/MIPI_CPHY0_TX_TRIO0_B	MIPI0-发送-D0-正
157	MIPI_DPHY0_TX_D0N/MIPI_CPHY0_TX_TRIO0_A	MIPI0-发送-D0-负

MIPI1 引脚配置，如下表所示：

引脚编号	MIPI 引脚定义	描述
156	MIPI_DPHY1_TX_D3P	MIPI1-发送-D3-正
155	MIPI_DPHY1_TX_D3N/MIPI_CPHY1_TX_TRIO2_C	MIPI1-发送-D3-负
154	MIPI_DPHY1_TX_D2P/MIPI_CPHY1_TX_TRIO2_B	MIPI1-发送-D2-正
153	MIPI_DPHY1_TX_D2N/MIPI_CPHY1_TX_TRIO2_A	MIPI1-发送-D2-负
152	MIPI_DPHY1_TX_CLKP/MIPI_CPHY1_TX_TRIO1_C	MIPI1-时钟-正
151	MIPI_DPHY1_TX_CLKN/MIPI_CPHY1_TX_TRIO1_B	MIPI1-时钟-负

150	MIPI_DPHY1_TX_D1P/MIPI_CPHY1_TX_TRIO1_A	MIPI1-发送-D1-正
149	MIPI_DPHY1_TX_D1N/MIPI_CPHY1_TX_TRIO0_C	MIPI1-发送-D1-负
148	MIPI_DPHY1_TX_D0P/MIPI_CPHY1_TX_TRIO0_B	MIPI1-发送-D0-正
147	MIPI_DPHY1_TX_D0N/MIPI_CPHY1_TX_TRIO0_A	MIPI1-发送-D0-负

注意：MIPI 高速差分对，差分阻抗按照 100ohm 控制。走线参考面完整。

ID0-SOM3588S-V1 核心板引出 1 路 HDMI/eDP TX Combo PHY，HDMI/eDP TX Combo PHY 支持以下两个模式：

- HDMI TX 模式：最大分辨率支持 8K@60Hz，支持 RGB/YUV444/YUV420(Up to 10bit)格式；
- eDP TX 模式：最大分辨率支持 4K@60Hz，支持 RGB/YUV422(Up to 10bit)格式

RGB Parallel 接口引脚资源如下图所示：

引脚编号	MIPI 引脚定义		描述
134	HDMI_TX0_D2P	EDP_TX0_D2P	HDMI/EDP-发送-D2-正
133	HDMI_TX0_D2N	EDP_TX0_D2N	HDMI/EDP-发送-D2-负
132	HDMI_TX0_D1P	EDP_TX0_D1P	HDMI/EDP-发送-D1-正
131	HDMI_TX0_D1N	EDP_TX0_D1N	HDMI/EDP-发送-D1-负

130	HDMI_TX0_D0P	EDP_TX0_D0P	HDMI/EDP-发送-D0-正
129	HDMI_TX0_D0N	EDP_TX0_D0N	HDMI/EDP-发送-D0-负
128	HDMI_TX0_D3P	EDP_TX0_D3P	HDMI/EDP-发送-D3-正
127	HDMI_TX0_D3N	EDP_TX0_D3N	HDMI/EDP-发送-D3-负
126	HDMI_TX0_SBDP	EDP_TX0_AUXP	HDMI/EDP-发送-SBD/AUX-正
125	HDMI_TX0_SBDN	EDP_TX0_AUXN	HDMI/EDP-发送-SBD/AUX-负

注意： DP 接口， 具体电路参考 2.3 节 USB3.0/2.0

2.8 PCIe2.1

RK3588S 支持 2 路 PCIe2.1 x 1Lane， 支持 2Gbps 和 5Gbps 单 Lane。

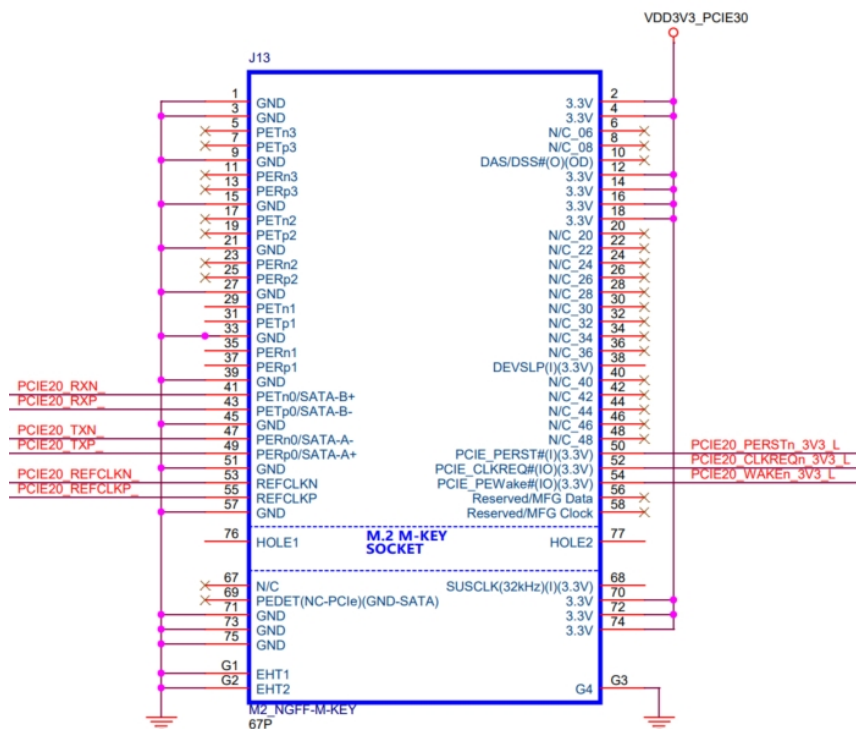
注意： 一组 PCIe2.1 接口信号与 SATA3.0 信号复用，PCIe2.1/SATA3.0 只能同时配置一个接口。另一组 PCIe2.1 接口信号与 USB3.0 信号复用，PCIe2.1/USB3.0 只能同时配置一个接口。

PCIe2.1 引脚资源，如下表所示：

引脚编号	引脚定义	描述
59	PCIe20_0_TXP	PCIe 发送 0-正 [与 SATA30 复用]
60	PCIe20_0_TXN	PCIe 发送 0-负 [与 SATA30 复用]
61	PCIe20_0_RXP	PCIe 接收 0-正 [与 SATA30 复用]

62	PCIe20_0_RXN	PCIe 接收 0-负 [与 SATA30 复用]
63	PCIe20_0_REFCLKP	PCIe 参考时钟-正
64	PCIe20_0_REFCLKN	PCIe 参考时钟-负
65	PCIe20_2_TXP	PCIe 发送 0-正 [与 USB3.0 复用]
66	PCIe20_2_TXN	PCIe 发送 0-负 [与 USB3.0 复用]
67	PCIe20_2_RXP	PCIe 接收 0-正 [与 USB3.0 复用]
68	PCIe20_2_RXN	PCIe 接收 0-负 [与 USB3.0 复用]
69	PCIe20_2_REFCLKP	PCIe 参考时钟-正
70	PCIe20_2_REFCLKN	PCIe 参考时钟-负
73	PCIe20_WAKEN_M1	PCIe wake up (I/O)
74	PCIe20_PERSTN_M1	PCIe warm reset request (INPUT)
72	PCIe20_CLKREQN_M1	PCIe clock request from PCIe peripheral (INPUT)

PCIe2.1 接口连接 M.2 M-Key SSD 固态硬盘，参考连接如下图所示：



注意：PCIe 高速差分时钟阻抗按照 100ohm 控制，PCIe 高速差分 TX/RX 阻抗按照 90ohm 控制走线参考面完整。

2.9 MIPI-CSI 接口

RK3588S 有 1 个 MIPI DPHY CSI RX，都支持 MIPI V1.2 版本，每个通道最大数据传输速率为 2.5Gbps；同时还有两个 MIPI D-PHY/C-PHY CSI RX Combo 的 PHY，支持 V1.2 版本，D-PHY 模式有 0/1/2/3 Lane，每个 Lane 2 根线，最高传输速率 2.5Gbps/Lane

注意：

1. MIPI DPHY CSI0 RX 接口模式支持情况：

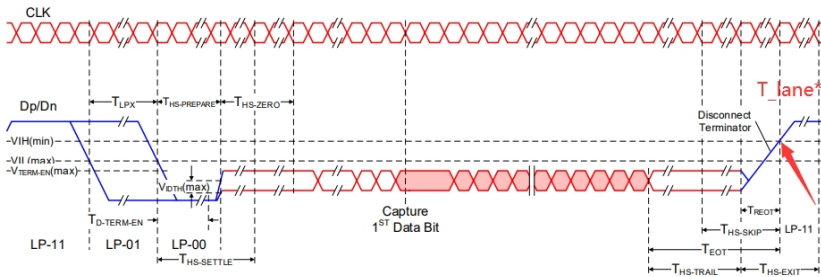
- 支持 x4Lane 模式，MIPI_CSI0_D[3: 0]数据参考 MIPI_CSI0_CLK0；
- 支持 x2Lane+x2Lane 模式：
- MIPI0_CSI_D[1: 0]数据参考 MIPI_CSI0_CLK0；
- MIPI0_CSI_D[3: 2]数据参考 MIPI_CSI0_CLK1。

MIPI DPHY CSIO RX 接口摄像头配置选择，如下图所示：

Option1	Sensor1 x4Lane	MIPI_CSI_RX_D0-3 MIPI_CSI_RX_CLK0
Option2	Sensor1 x2Lane	MIPI_CSI_RX_D0-1 MIPI_CSI_RX_CLK0
	+ Sensor2 x2Lane	MIPI_CSI_RX_D2-3 MIPI_CSI_RX_CLK1

2. MIPI D-PHY/C-PHY CSI RX Combo 注意点：

- 建议使用 1 Lane or 2Lane 模式。
- 不支持 Skew calibration 功能，mipi bitrate $\geq 1.5\text{Gbps/lane}$ 的情况下，PCB 对于各 data lane 与 clk lane 之间的 skew 影响需要考虑更严格。
- 非必要时不建议使用 4Lane 模式，若一定要使用，对 Camera 的时序有严格要求，必须满足以下条件： $T_{\text{lane}0} = T_{\text{lane}1} = T_{\text{lane}2} = T_{\text{lane}3}$ 或者 $(T_{\text{lane}0} = T_{\text{lane}1}) \geq (T_{\text{lane}2} = T_{\text{lane}3})$ $T_{\text{lane}*}$ 以下图中箭头处时间点为参考：



MIPI-CSIO 引脚，如下表所示：

引脚编号	引脚定义	描述
32	MIPI_CSIO_CLK1P	MIPI_接收 1-时钟-正 （用于双摄）

33	MIPI_CSI0_CLK1N	MIPI_接收 1-时钟-负 （用于双摄）
34	MIPI_CSI0_D3P	MIPI_CSI 接收 0-D3 正
35	MIPI_CSI0_D3N	MIPI_CSI 接收 0-D3 负
36	MIPI_CSI0_D2P	MIPI_CSI 接收 0-D2 正
37	MIPI_CSI0_D2N	MIPI_CSI 接收 0-D2 负
38	MIPI_CSI0_CLK0P	MIPI_接收 0-时钟-正 （用于双摄）
39	MIPI_CSI0_CLK0N	MIPI_接收 0-时钟-正 （用于双摄）
40	MIPI_CSI0_D1P	MIPI_CSI 接收 0-D1 正
41	MIPI_CSI0_D1N	MIPI_CSI 接收 0-D1 负
42	MIPI_CSI0_D0P	MIPI_CSI 接收 0-D0 正
43	MIPI_CSI0_D0N	MIPI_CSI 接收 0-D0 负

MIPI-DPHY-RX0 引脚，如下表所示：

引脚编号	引脚定义	描述
176	MIPI_DPHY0_RX_D3P	MIPI_PHY 接收 1-D3 正
175	MIPI_DPHY0_RX_D3N/MIPI_CPHY0_RX_TRIO2_C	MIPI_PHY 接收 1-

		D3 负
174	MIPI_DPHY0_RX_D2P/MIPI_CPHY0_RX_TRIO2_B	MIPI_PHY 接收 1- D2 正
173	MIPI_DPHY0_RX_D2N/MIPI_CPHY0_RX_TRIO2_A	MIPI_PHY 接收 1- D2 负
172	MIPI_DPHY0_RX_CLKP/MIPI_CPHY0_RX_TRIO1_C	MIPI_PHY 接收 1- 时钟-正
171	MIPI_DPHY0_RX_CLKN/MIPI_CPHY0_RX_TRIO1_B	MIPI_PHY 接收 1- 时钟-负
170	MIPI_DPHY0_RX_D1P/MIPI_CPHY0_RX_TRIO1_A	MIPI_PHY 接收 1- D1 正
169	MIPI_DPHY0_RX_D1N/MIPI_CPHY0_RX_TRIO0_C	MIPI_PHY 接收 1- D1 负
168	MIPI_DPHY0_RX_D0P/MIPI_CPHY0_RX_TRIO0_B	MIPI_PHY 接收 1- D0 正
167	MIPI_DPHY0_RX_D0N/MIPI_CPHY0_RX_TRIO0_A	MIPI_PHY 接收 1- D0 负

MIPI-DPHY-RX1 引脚，如下表所示：

引脚编号	引脚定义	描述
207	MIPI_DPHY1_RX_D3P	MIPI_PHY 接收 1- D3 正

224	MIPI_DPHY1_RX_D3N/MIPI_CPHY1_RX_TRIO2_C	MIPI_PHY 接收 1-D3 负
206	MIPI_DPHY1_RX_D2P/MIPI_CPHY1_RX_TRIO2_B	MIPI_PHY 接收 1-D2 正
223	MIPI_DPHY1_RX_D2N/MIPI_CPHY1_RX_TRIO2_A	MIPI_PHY 接收 1-D2 负
205	MIPI_DPHY1_RX_CLKP/MIPI_CPHY1_RX_TRIO1_C	MIPI_PHY 接收 1-时钟-正
222	MIPI_DPHY1_RX_CLKN/MIPI_CPHY1_RX_TRIO1_B	MIPI_PHY 接收 1-时钟-负
204	MIPI_DPHY1_RX_D1P/MIPI_CPHY1_RX_TRIO1_A	MIPI_PHY 接收 1-D1 正
221	MIPI_DPHY1_RX_D1N/MIPI_CPHY1_RX_TRIO0_C	MIPI_PHY 接收 1-D1 负
203	MIPI_DPHY1_RX_D0P/MIPI_CPHY1_RX_TRIO0_B	MIPI_PHY 接收 1-D0 正
220	MIPI_DPHY1_RX_D0N/MIPI_CPHY1_RX_TRIO0_A	MIPI_PHY 接收 1-D0 负

注意：MIPI-CSI 高速差分对，差分阻抗按照 100ohm 控制；走线参考面完整。

2. 10 UART

RK3588S 有 10 路 UART 口，支持的波特率高达 4Mbps。其中 UART2 作为调试口，其它可根据设计需求去使用，如外接 RS232 芯片，RS485 芯片等去实现串口通信功能。

注意：

- 1. 需要注意引脚电源域有 1.8V 和 3.3V 两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。
- 2. 外接 RS232，RS485 等接口驱动芯片时，注意接口芯片的上电顺序要晚于 IO 电源，并且电平要匹配，以避免灌电或电平差异引起 RK3588S 芯片工作异常或损坏。
- 3. UART 引脚复用信号较多，同一路 UART 控制器可以分配到不同引脚分组。最多可有 M0，M1 两组引脚可选配，同一个 UART 控制器同时只能配置一组引脚。
- 4. 调试串口默认为 UART2_M0 引脚组。

UART 信号定义及可复用引脚，如下表所示：

UART 资源	引脚编号	UART 信号定义	电源域
UART0（M2 组）	113	UART0_RX_M2	3.3V
	114	UART0_TX_M2	
UART1（M1 组）	74	UART1_RX_M1	VCCIO4
	74	UART1_TX_M1	
	73	UART1_RTSN_M1	
	72	UART1_CTSN_M1	
UART1（M2 组）	48	UART1_RTSN_M2	VCCIO4

	49	UART1_CTSN_M2	
UART2 (M0 组)	70	UART2_RX_M0	1.8V (调试串口)
	71	UART2_TX_M0	
UART2 (M1 组)	98	UART2_TX_M1	VCCIO2
	99	UART2_RX_M1	
UART2 (M2 组)	7	UART1_RX_M2	VCCIO5
	8	UART1_TX_M2	
UART2	6	UART1_RTSn	
	5	UART1_CTSn	
UART3 (M0 组)	187	UART3_RX_M0	VCCIO1
	191	UART3_TX_M0	
UART3 (M1 组)	3	UART3_RX_M1	VCCIO5
	4	UART3_TX_M1	
UART3 (M2 组)	111	UART3_RX_M2	VCCIO6
	112	UART3_TX_M2	
UART4 (M0 组)	186	UART4_RX_M0	VCCIO1
	189	UART4_TX_M0	
UART4 (M1 组)	23	UART4_RX_M1	VCCIO5

	22	UART4_TX_M1	
UART4 (M2 组)	79	UART4_RX_M2	VCCI04
	78	UART4_TX_M2	
UART5 (M0 组)	96	UART5_RX_M0	VCCI02
	97	UART5_TX_M0	
	95	UART5_RTSn_M0	
	94	UART5_CTSn_M0	
UART5 (M1 组)	26	UART5_RX_M1	3.3V
	27	UART5_TX_M1	
UART6 (M0 组)	164	UART6_RX_M0	VCCI05
	163	UART6_TX_M0	
	162	UART6_RTSn_M0	
	161	UART6_CTSn_M0	
UART6 (M1 组)	89	UART6_RX_M1	VCCI04
	88	UART6_TX_M1	
	87	UART6_RTSn_M1	
	86	UART6_CTSn_M1	
UART7 (M1 组)	30	UART7_RX_M1	VCCI05

	31	UART7_TX_M1	
	29	UART7_RTSn_M1	
	28	UART7_CTSn_M1	
UART7 (M2 组)	77	UART7_RX_M2	VCCI04
	76	UART7_TX_M2	
UART8 (M0 组)	108	UART8_RX_M0	VCCI06
	109	UART8_TX_M0	
	107	UART8_RTSn_M0	
	106	UART8_CTSn_M0	
UART8 (M1 组)	14	UART8_RX_M1	VCCI06
	15	UART8_TX_M1	
	13	UART8_RTSn_M1	
	12	UART8_CTSn_M1	
UART9 (M1 组)	104	UART9_RX_M1	VCCI06
	105	UART9_TX_M1	
	117	UART9_RTSn_M1	
	116	UART9_CTSn_M1	
UART9 (M2 组)	19	UART9_RX_M0	VCCI05

	18	UART9_TX_M0	
	21	UART9_RTSn_M0	
	20	UART9_CTSn_M0	

2.11 I2C 总线

ID0-SOM3588S-V1 核心板共引出 6 组 I2C 接口，使用时注意电平为 1.8V 或 3.3V，必要时加电平转换电路。

I2C 总线引脚资源，如下表所示：

I2C 资源	引脚分组	引脚编号	I2C 信号定义	电源域
I2C1	M0	54	I2C1_SCL_M0	1.8V
		53	I2C1_SDA_M0	
	M2	46	I2C1_SCL_M2	VCCI06
		45	I2C1_SDA_M2	
	M4	186	I2C1_SCL_M4	VCCI01
		189	I2C1_SDA_M4	
I2C3	M0	191	I2C3_SCL_M0	VCCI01
		187	I2C3_SDA_M0	
	M1	2	I2C3_SCL_M1	VCCI05

	M2	31	I2C3_SDA_M1	VCCI06
		113	I2C3_SCL_M2	
		112	I2C3_SDA_M2	
	M4	98	I2C3_SCL_M4	VCCI02
		99	I2C3_SDA_M4	
I2C4	M0	11	I2C4_SCL_M0	VCCI05
		12	I2C4_SDA_M0	
	M2	51	I2C4_SCL_M2	1.8V
		52	I2C4_SDA_M2	
	M2	86	I2C4_SCL_M3	VCCI04
		87	I2C4_SDA_M3	
I2C5	M0	24	I2C5_SCL_M0	VCCI05
		23	I2C5_SDA_M0	
	M1	103	I2C5_SCL_M1	VCCI06
		102	I2C5_SDA_M1	
	M2	110	I2C5_SCL_M2	VCCI06
		111	I2C5_SDA_M2	
	M3	75	I2C5_SCL_M3	VCCI04

		74	I2C5_SDA_M3	
I2C6	M0	48	I2C6_SCL_M0	1.8V
		49	I2C6_SDA_M0	
	M3	108	I2C6_SCL_M3	VCCI06
		109	I2C6_SDA_M3	
	M4	16	I2C6_SCL_M4	VCCI05
		17	I2C6_SDA_M4	
I2C8	M0	94	I2C8_SCL_M0	VCCI02
		95	I2C8_SDA_M0	
	M2	73	I2C8_SCL_M2	VCCI04
		74	I2C8_SDA_M2	
	M3	101	I2C8_SCL_M3	VCCI06
		100	I2C8_SDA_M3	
	M4	29	I2C8_SCL_M4	VCCI05
		28	I2C8_SDA_M4	

注意： 每路 I2C 控制器资源每次只能配置一组引脚（即 M0 和 M1 分组二选一）。

2.12 ADC

ID0-SOM3588S-V1 共引出 6 路 ADC 接口，10bit 精度，【0~1.8V】电压采样范围。

SARADC_BOOT 默认做为 BOOT 模式选择（不可改用于其它用途）。

SARADC_IN1_KEY/RECOVERY 默认做为功能按键输入（不可改用于其它用途）。

其它 ADC 引脚可以用于电压采样输入端口。

SRADC 引脚如下表所示：

引脚号	引脚定义	电源域	描述
200	SARADC_BOOT	1.8V	默认用于 BOOT 按键功能，不建议用作其它功能。核心板内部有分压。
118	SARADC_IN1_KEY/RECOVERY	1.8V	默认用于 ADC 按键功能，不建议用作其它功能。核心板上拉 10K 电阻到 1.8V
217	SARADC_VIN2	1.8V	标准 ADC 输入
219	SARADC_VIN3	1.8V	标准 ADC 输入
218	SARADC_VIN4	1.8V	标准 ADC 输入
201	SARADC_VIN5	1.8V	标准 ADC 输入

注意：

1. SARADC 采样范围为 0~1.8V，采样精度为 10bit s 。按键阵列采用并联型， 可以通过增减

按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求 。 设计中建议任意

两个按键键值必须大于 ± 35 ，即中心电压差必须大于 123mV。

- 2. SARADC_VIN 有使用时，靠近核心板管脚必须增加 1nF 电容消抖。
- 3. 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌

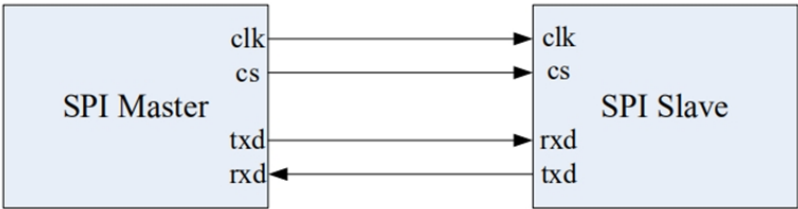
能力（如果只有一个键时 ESD 必须靠近按键，先经过 ESD→100ohm 电阻→1nF→核心板管脚）。

- 4. ADC 走线应避免数字信号和功率干扰源。

2.13 SPI

ID0-SOM3588S-V1 共引出 4 路 SPI 接口，可用于连接 SPI 通信接口的芯片或者模块；M0/M1 两组引脚二选一使用。

SPI 设备连接，如下图所示：



SPI 引脚资源，如下表所示：

SPI 接口	引脚分组	引脚编号	引脚定义	电源域	说明
SPI0	M1	108	SPI0_CS1_M1	VCCI06	SPI 片选 1
		107	SPI0_CS0_M1		SPI 片选 0
		115	SPI0_CLK_M1		SPI Clock

		116	SPIO_MOSI_M1		SPI Master Output/Slave input
		117	SPIO_MISO_M1		SPI Master Input/Slave Output
	M1	76	SPIO_CS1_M2	VCCI04	SPI 片选 1
		77	SPIO_CS0_M2		SPI 片选 0
		78	SPIO_CLK_M2		SPI Clock
		79	SPIO_MOSI_M2		SPI Master Output/Slave input
		80	SPIO_MISO_M2		SPI Master Input/Slave Output
	M3	18	SPIO_CS1_M3	VCCI05	SPI 片选 1
		19	SPIO_CS0_M3		SPI 片选 0
		20	SPIO_CLK_M3		SPI Clock
		21	SPIO_MOSI_M3		SPI Master Output/Slave input
		22	SPIO_MISO_M3		SPI Master Input/Slave

					Output
SPI1	M1	28	SPI1_CS1_M1	VCCI05	SPI 片选 1
		29	SPI1_CS0_M1		SPI 片选 0
		30	SPI1_CLK_M1		SPI Clock
		2	SPI1_MOSI_M1		SPI Master Output/Slave input
		31	SPI1_MISO_M1		SPI Master Input/Slave Output
SPI3	M1	100	SPI3_CS1_M1	VCCI06	SPI 片选 1
		101	SPI3_CS0_M1		SPI 片选 0
		102	SPI3_CLK_M1		SPI Clock
		103	SPI3_MOSI_M1		SPI Master Output/Slave input
		104	SPI3_MISO_M1		SPI Master Input/Slave Output
	M3	26	SPI3_CS1_M3	VCCI05	SPI 片选 1
		27	SPI3_CS0_M3		SPI 片选 0
		23	SPI3_CLK_M3		SPI Clock

		24	SPI3_MOSI_M3		SPI Master Output/Slave input
		25	SPI3_MISO_M3		SPI Master Input/Slave Output
SPI4	M1	13	SPI4_CS1_M1	VCCI05	SPI 片选 1
		14	SPI4_CS0_M1		SPI 片选 0
		15	SPI4_CLK_M1		SPI Clock
		16	SPI4_MOSI_M1		SPI Master Output/Slave input
		17	SPI4_MISO_M1		SPI Master Input/Slave Output
	M2	86	SPI4_CS0_M2	VCCI04	SPI 片选 0
		87	SPI4_CLK_M2		SPI Clock
		88	SPI4_MOSI_M2		SPI Master Output/Slave input
		89	SPI4_MISO_M2		SPI Master Input/Slave Output

注意：

- 1. 当 SPI 片选引脚冲突时，可用其它 GPIO 引脚作为片选，驱动做好配置即可。
- 2. SPI 时钟线建立串接端接电阻(典型值 22ohm)，靠近核心板一侧引脚放置。

2.14 PWM

ID0-SOM3588S-V1 具引出 16 路 PWM 资源，部分 PWM 具有 M0/M1 两组引脚，可以二选一使用。

可用的 PWM 引脚资源，如下表所示：

PWM 通道	引脚编号	信号定义	电源域	说明
PWM0	189	PWM0_M1	VCCI01	/
	87	PWM0_M2	VCCI04	/
PWM1	186	PWM1_M1	VCCI01	/
	86	PWM1_M2	VCCI04	/
PWM2	52	PWM2_M0	1.8V	/
	8	PWM2_M1	VCCI05	/
PWM3	46	PWM3_IR_M0	1.8V	/
	7	PWM3_IR_M1	VCCI05	/
	82	PWM3_IR_M3	VCCI04	/
PWM4	51	PWM4_M0	1.8V	/
PWM5	50	PWM5_M1	1.8V	/

PWM6	49	PWM6_M0	1.8V	/
	100	PWM6_M1	VCCI06	/
PWM7	48	PWM7_IR_M0	1.8V	/
	96	PWM7_IR_M1	VCCI02	/
PWM8	10	PWM8_M0	VCCI05	/
	98	PWM8_M1	VCCI02	/
	23	PWM8_M2	VCCI05	/
PWM9	9	PWM9_M0	VCCI05	/
	99	PWM9_M1	VCCI02	/
	22	PWM9_M2	VCCI05	/
PWM10	17	PWM10_M0	VCCI05	/
	95	PWM10_M1	VCCI02	/
	20	PWM10_M2	VCCI05	
PWM11	16	PWM11_IR_M0	VCCI05	/
	105	PWM11_IR_M1	VCCI06	/
	185	PWM11_IR_M2	VCCI01	/
	18	PWM11_IR_M3	VCCI05	/

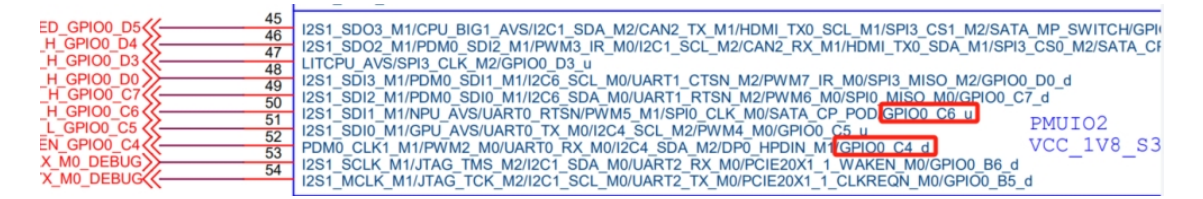
PWM12	4	PWM12_M0	VCCI05	/
	104	PWM12_M1	VCCI06	/
PWM13	3	PWM13_M0	VCCI05	/
	103	PWM13_M1	VCCI06	/
	74	PWM13_M2	VCCI04	/
PWM14	29	PWM14_M0	VCCI05	/
	107	PWM14_M1	VCCI06	/
	73	PWM14_M2	VCCI04	/
PWM15	28	PWM15_IR_M0	VCCI05	/
	106	PWM15_IR_M1	VCCI06	/
	192	PWM15_IR_M2	VCCI01	/
	72	PWM15_IR_M3	VCCI04	//

2. 15 GPIO

IDO-SOM3588S-V1 可用的 GPIO 引脚共计 93 个，与其它信号引脚复用。详细定义请参考”IDO-SOM3588S-V1-Pinout.xlsx”。 核心板引脚中除了 ADC、差分信号、RK806-1 引脚、电源/地，其它 1.8V/3.3V 数字引脚基本都可以配置为 GPIO 使用。

使用时注意 GPIO 电源域是 1.8V 还是 3.3V。另外参考”ID0-SOM3588S-V1-Pinout.xlsx”中 GPIO 信号名称中后缀带_d 表示上电默认下拉(低电平)，后缀带_u 的表示上电默认上拉（高电平）。

比如， 在”ID0-SOM3588S-V1-Pinout.xlsx”中， SOM3588S-V1 的 52 脚可配置为 GPIO0_C4_d， 上电默认下拉（低电平）。SOM3588S-V1 的 165 脚可配置为 GPIO0_C6_u， 上电默认上拉(高电平) 1.8V， GPIO 引脚说明， 如下图所示：



RK3588S GPIO 的 DC 特性参考下图：

Table 3-3 DC Characteristics

	Parameters	Symbol	Min	Typ	Max	Unit
Digital 3.3V/1.8V GPIO @3.3V	Input Low Voltage	V _{IL}	VSS	NA	0.3*VDDO	V
	Input High Voltage	V _{IH}	0.7*VDDO	NA	VDDO	V
	Output Low Voltage	V _{OL}	VSS	NA	0.25*DVDD	V
	Output High Voltage	V _{OH}	0.75*DVDD	NA	DVDD	V
	Pullup Resistor	R _{RPU}	10	NA	100	Kohm
	Pulldown Resistor	R _{RPD}	10	NA	100	Kohm
Digital 3.3V/1.8V GPIO @1.8V	Input Low Voltage	V _{IL}	VSS	NA	0.3*VDDO	V
	Input High Voltage	V _{IH}	0.7*VDDO	NA	VDDO	V
	Output Low Voltage	V _{OL}	VSS	NA	0.25*DVDD	V
	Output High Voltage	V _{OH}	0.75*DVDD	NA	DVDD	V
	Pullup Resistor	R _{RPU}	10	NA	50	Kohm
	Pulldown Resistor	R _{RPD}	10	NA	50	Kohm
Digital 1.8V only GPIO @1.8V	Input Low Voltage	V _{IL}	VSS	NA	0.3*VDDO	V
	Input High Voltage	V _{IH}	0.7*VDDO	NA	VDDO	V
	Output Low Voltage	V _{OL}	VSS	NA	0.25*DVDD	V
	Output High Voltage	V _{OH}	0.75*DVDD	NA	DVDD	V
	Pullup Resistor	R _{RPU}	10	NA	50	Kohm
	Pulldown Resistor	R _{RPD}	10	NA	50	Kohm
eMMC IO @1.8V	Input Low Voltage	V _{IL}	VSS	NA	0.35*DVDD	V
	Input High Voltage	V _{IH}	0.65*DVDD	NA	DVDD	V

3、ID0-SOM3588S-V1 硬件原理图 CheckList

编号	检查事项	检查状态
1	核心板供电电压范围【4.0-5.5V】，加 5.5V 浪涌保护。采用独立 DCDC ， 3A 以上电流能力。	OK

2	核心板 IO 供电：VCCI04 （71 脚）， VCCI05 （44 脚）都要供电，且采用核心板输出的 VCC_1V8_S0 （136 脚）或 VCC_3V3_S0 （135 脚）。	• OK
3	整板上电顺序：核心板供电(常供电) ->VCC_1V8_S0 ->底板供电（3.3V，1.8V，5V）	• OK
4	是否需要插电开机，PMIC_VDC 是否按照要求设计分压电阻？	• OK
5	是否需求关机和待机状态。 关机状态和待机状态下，核心板是否保持供电？ 待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？ Power 键是否留出？	• OK
6	有待机需求时，有哪些待机时需要保持状态的 IO 引脚，这些引脚是否分配在 GPIO0 组（PMUI01/2）？	• OK
7	TYPECO OTG 接口有接出，方便下载烧录。USB_OTG_PWREN_H 是否选用上电默认拉低的 GPIO 引脚？	• OK
8	调试串口是否有接出，是否有电平匹配，或上电顺序引入的 RX 灌电风险？	• OK
9	启动模式（SARADCO_BOOT）及功能按键（SARADCO_IN1_KEY/RECOVERY）是否符合参考设计均有预留按键或测试点？	• OK

10	USB 接口使用的 ESD 物料是否满足 $C_j < 0.4\text{pF}$ 要求?	• OK
11	SD/TF 卡是否符合参考设计?	• OK
12	以太网设计: IO 电平, RII 一般只能是 3.3V, RII 可以 1.8V 或者 3.3V。确认 PHY 芯片 IO 电平 与 对应的核心板电源域电平 (VCCI05) 是否匹配。 千兆 PHY 芯片的 IO 电压的配置电阻, RESET 引脚 GPIO 电平, LED 灯的极性配置, 时钟, 符合参考设计? 千兆/百兆 PHY 芯片是否是已经调试过的型号?	• OK
13	音频接口符合参考设计?	• OK
14	MIPI DSI /LVDS 显示接口, 确认屏幕线序定义, 供电时序 符合要求? 确认屏幕分辨率和刷新率在支持范围? MIPI RESET 是否有 GPIO 控制? 背光和供电在待机/关机状态下是否有漏电问题?	• OK
15	MIPI CSI 摄像头接口, 是否有 2Lane 拆分, 信号线分配是否符合参考设计? 摄像头模组定义, 确认线序定义, 供电时序, 供电电压电流符合要求? 摄像头 Sensor 是否在支持列表?	• OK

	待机/关机状态下是否有漏电	
16	每组 IIC 总线是否有上拉电阻，电平匹配匹配？ IIC 上连接的外设地址是否冲突，最高速率是否有冲突？ 同一组 IIC 总线下的外设，是否存在待机/关机时供电状态不一致的问题？	• OK
17	每个串口 （UART ， RS232， RS485， RS422 ） 接口： 串口要求的最高波特率和接口芯片用料是否相符？ 电平是否匹配？ 接口芯片上电顺序是否晚于 VCC_1V8_OUT 核心板供电输出？	• OK
18	所有 IO 引脚，不得有在核心板 VCC_1V8_OUT 上电前向 IO 灌电的行为	• OK
19	使用 SDIO 的 WIFI 模块，供电和 IO 电平， 32K 时钟， 晶振 等是否符合参考设计	• OK