

IDO-SOM5301-S1 硬件设计指南



IDO-SOM5301-S1 硬件设计指南

深圳触觉智能科技有限公司

www.industio.cn

文档修订历史

版本	修订内容	修订	审核	日期
V1.0	创建文档	WJY	IDO	2025/09/08

1、 产品概述

1.1 芯片简介

IDO-SOM5301-S1是触觉智能基于全志科技T153四核ARM Cortex-A7 + RISC-V E907异构多核处理器设计的全国产工业核心板，Cortex-A7核心主频高达1.6GHz。

核心板引出3x GMAC、2x CAN FD、2x USB 2.0、10x UART、3x SPI、3x SMHC、Local Bus、LVDS Display、LCD Display、MIPI DSI、2x MIPI CSI、Parallel CSI等接口，内置2M@30fps ISP。适用于工业PLC、工业HMI、工业网关、数据采集、配网DTU等场景。T153 SoC 内部框图，如下图所示：

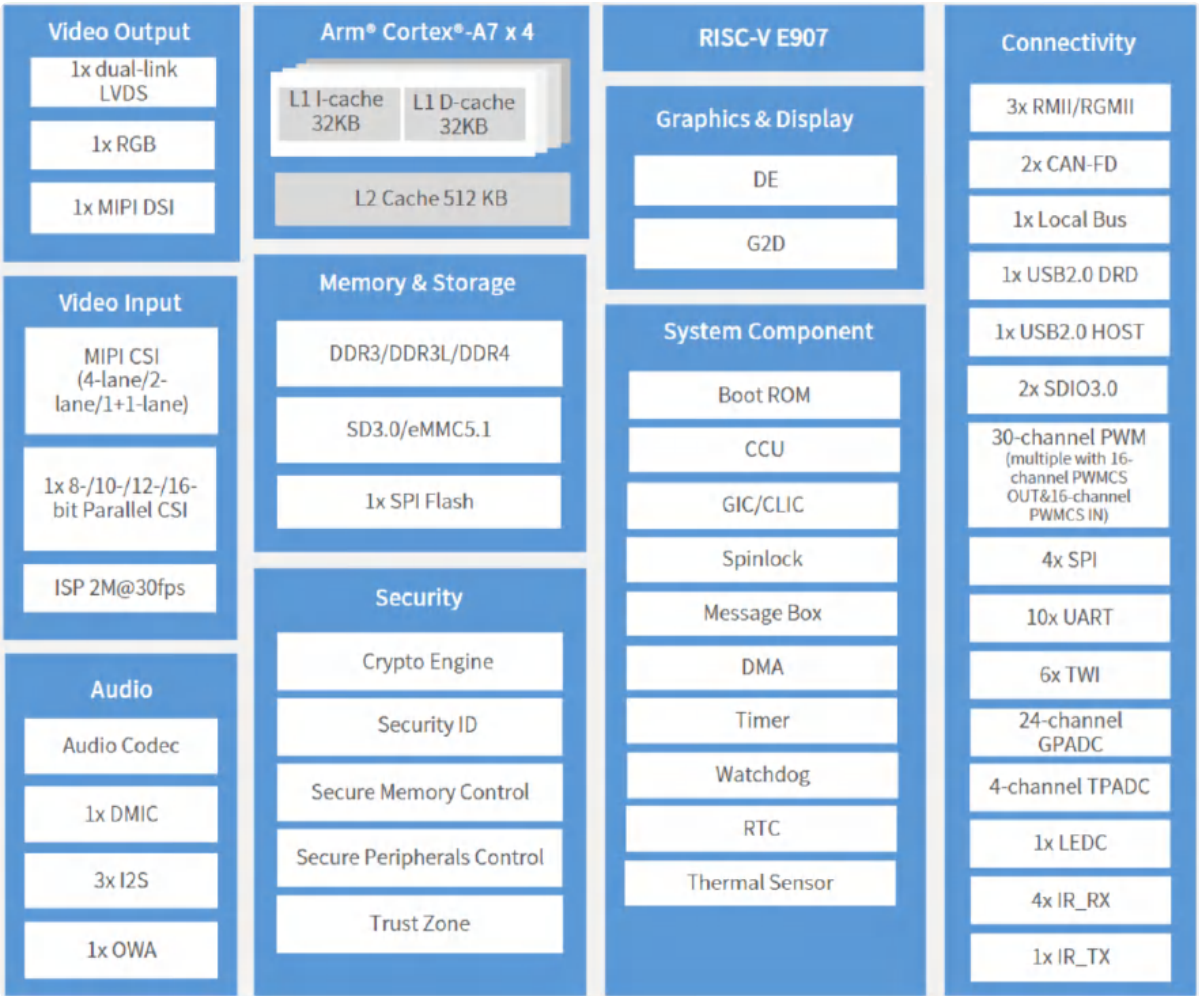


图1. T153 功能框图

1.2 产品概述

IDO-SOM5301-S1是一款基于全志T153设计的核心板，在38x38mm的小体积上集成了T153 SoC, DCDC, DDR3 , eMMC/NOR FLASH，通过邮票孔LCC+LGA封装引出T153的全部引脚资源。

IDO-SOM5301-S1核心板进行了严格的电源完整性和信号完整性仿真设计，通过各项电磁兼容、温度冲击、高温高湿老化、长时间存储压力等测试，稳定可靠，批量供货。用户仅需设计外围电路即可快速实现项目的稳定量产，IDO-SOM5301-S1模块逻辑框图，如下图所示：

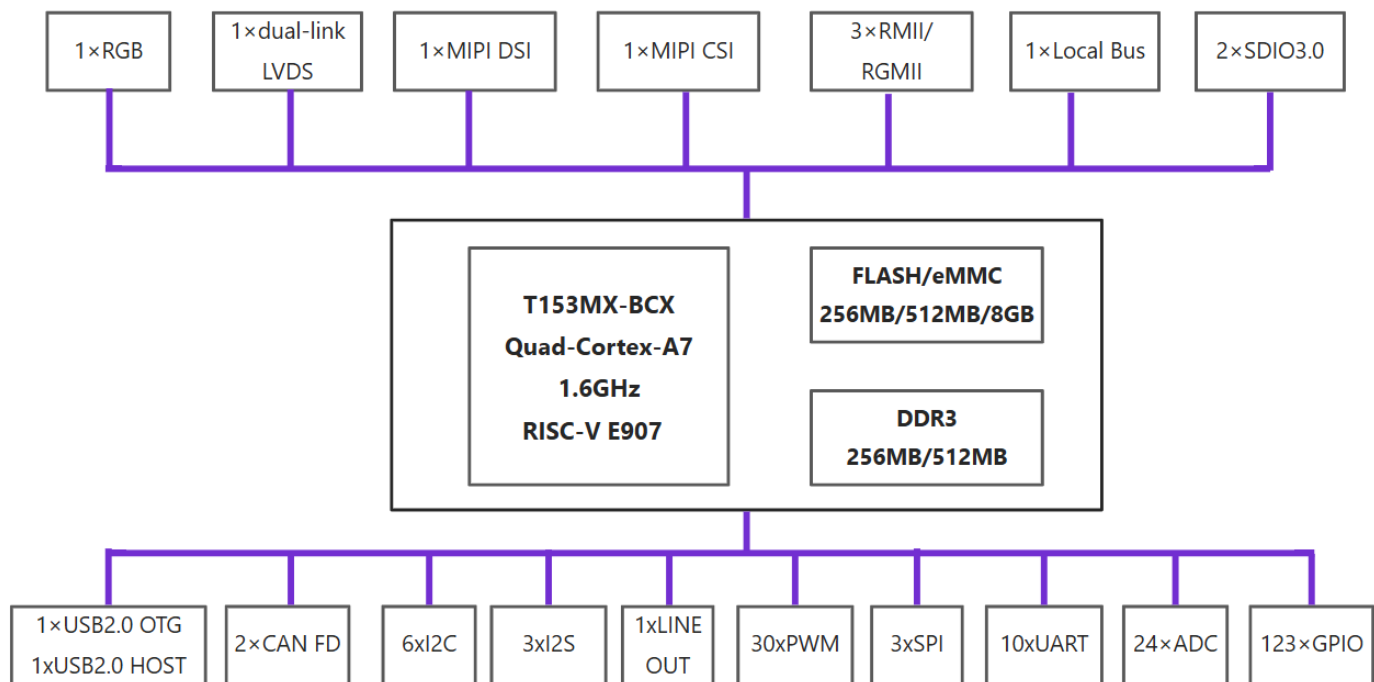


图2. IDO-SOM5301-S1功能框图

1.3 产品特点

1. 处理器采用4核Arm Cortex-A7，频率最高1.6GHz；
2. 3.8*3.8CM超小尺寸邮票孔LCC+LGA封装160Pin，8层板沉金工艺；
3. 独特的叠层设计，PCB背面完整平面无走线，优异的EMC性能和稳定性。
4. -40℃~+85℃工业级工作温度。

1.4 产品图片



图3. IDO-SOM5301-S1核心板正面

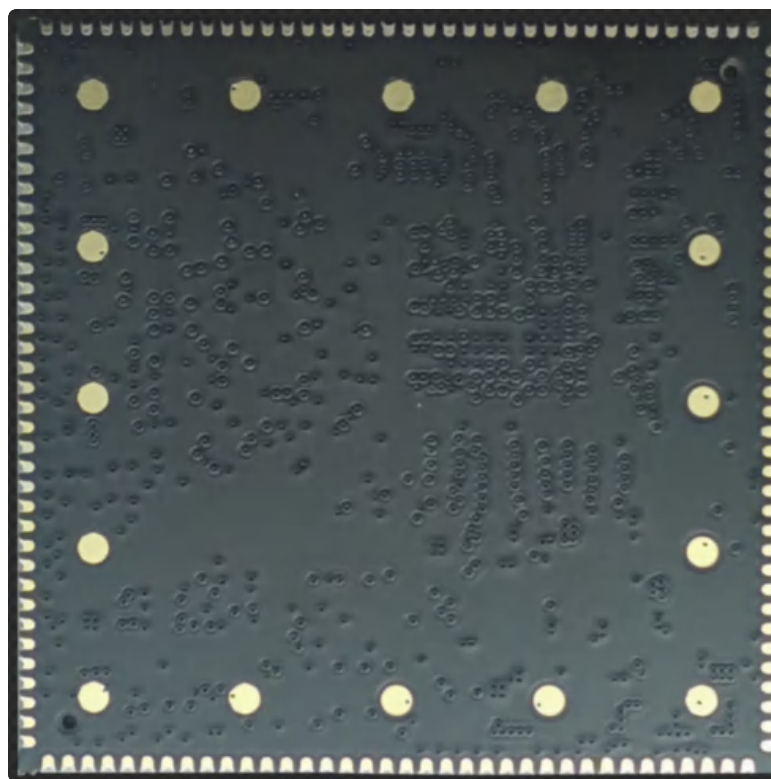


图4. IDO-SOM5301-S1核心板背面

1.5 适用场景

IDO-SOM5301-S1采用Allwinner T153MX-BCX，可广泛应用于工业PLC、工业HMI、工业网关、数据采集、配网DTU等场景。

1.6 基本参数

基本参数	
SOC	Allwinner T153MX-BCX
CPU	4x ARM Cortex-A7，主频高达1.6GHz
MCU	1x RISC-V E907，主频高达600MHz
ISP	2M@30fps（离线模式），1M@30fps（在线模式），支持RAW8/10/12
内存	256MB/512MB DDR3
存储	256MB/512MB SPI NAND FLASH 8GB eMMC eMMC 与 FLASH 二选一
硬件参数	
视频输入	1 × MIPI CSI Interface（支持4Lane/2Lane模式；up to 1.0 Gbit/s per lane）
视频输出	1 × RGB(up to 1920x1080@60fps) 1 × dual-link LVDS(up to 1920x1080@60fps) 1 × 4-lane MIPI DSI output（up to 1920x1080@60fps and 1.0 Gbit/s per lane）
音频	1 × LINEOUTP/N 3 × I2S 1 × 8-channel DMIC（up to 8 KHz-48 KHz sampling rate） 1 x OWA input
USB	1 × USB2.0 OTG 1 × USB2.0 Host
网络	3x RMII/RGMII

扩展接口	1x Local Bus, 8/16/32bit位宽 2 × SDIO 3.0 10x UART, 波特率高达10Mbps 3 × SPI, 支持主从模式 2x CAN FD, 支持CAN 2.0A和CAN 2.0B协议, 通信速率高达10Mbps 6 × I2C 4x TPADC(Touch Panel ADC) 30 × PWM, 支持红外输入, 时钟计数 24x GPADC(General Purpose ADC), 12bit分辨率 123 × GPIO 注: 各接口之间存在引脚复用关系。
其他	
核心板尺寸	38mm X 38mm X 3mm
接口类型	160Pin LCC (邮票孔144PIN) +LGA (背面焊盘16PIN) 封装
PCB规格	1.5mm 多层PCB, 沉金工艺

1.7 工作环境

工作环境	
工作温度	-40°C~+85°C
存储温度	-40°C~+85°C
存储湿度	0%~90% RH (无凝露)

2、硬件设计说明

2.1 电源系统设计说明【必看】

IDO-SOM5301-S1核心板主电源输入VCC_5V-SYS1和VCC_5V-SYS2（核心板引脚第1PIN、2PIN）。

与电源系统设计相关的其它引脚，包括 VCC-PE/PK_SEL 、 VCC-PG_SEL 、 AP-RESET。分别用于PE/PK电源域电压选择，PG电源域电压选择和系统复位。

电源相关引脚	引脚编号	方向	引脚说明
VCC_5V-SYS1 VCC_5V-SYS2	1、 2	电源输入	系统的主要输入供电, 保障5V@2A持续和4A瞬间电流供电能力。供电范围4.5V~5V
VCC-PE/PK_SEL	111	信号输入	该引脚悬空时PE和PK电源域电压为3.3V，该引脚接地时PE和PK电源域电压为1.8V
VCC-PG_SEL	127	信号输入	该引脚悬空时PG电源域电压为3.3V，该引脚接地时PG电源域电压为1.8V
AP-RESET	116	系统复位信号输入	系统复位信号输入检测引脚，低电平有效，默认悬空

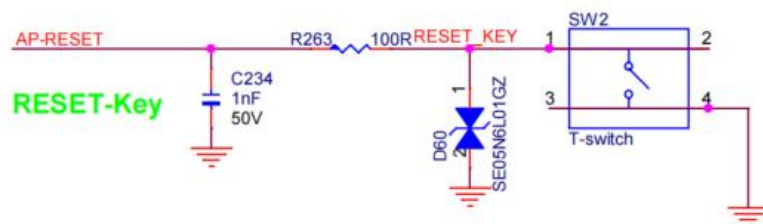
核心板峰值电流表

电源名称	最小电压	标称值	最大电压	峰值电流	待机电流
VCC_5V-SYS	4.5V	5.0V	5.4V	5V/ mA	5V/ mA

电源设计注意事项：

- 1. 核心板VCC_5V-SYS 注意浪涌保护，过冲电压必须<5.5V，否则容易烧坏核心板电源芯片；
- 2. PE、PK、PG三组的IO电平，由VCC-PE/PK_SEL、 VCC-PG_SEL 两个引脚决定；
- 3. 注意各路IO引脚电平匹配；
- 4. 注意各路IO不得在核心板上电前对核心板带电输出，IO向核心板灌电会导致启动异常或芯片损伤。

复位按键参考设计：



2.2 调试下载相关电路【必看】

所有基于IDO-SOM5301-S1的底板设计，都强烈建议保留下面三种调试下载相关电路！

1. USB0 OTG接口，主要用于固件下载及ADB调试

具体电路参考[2.4节 USB2.0](#)

2. CPU-X调试串口, 用于系统日志消息和控制终端命令行操作，系统默认使用的调试串口是UART0。

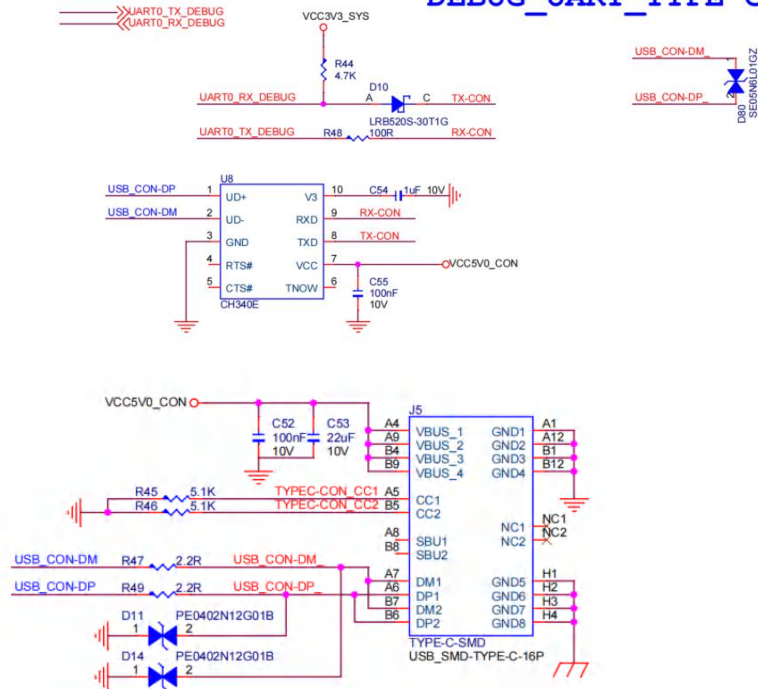
UART资源	引脚编号	UART信号定义	电源域
UART0	42	UART0-RX	PB(调试串口)
	41	UART0-TX	

设计注意事项：

调试串口在使用时经常连接USB转UART TTL 模块，经常在SOM5301-S1未上电时，UART0_RX已经由USB转UART TTL 模块灌电。强烈建议采用RS232芯片转换或者采用转换电路避免引脚灌电：

DEBUG

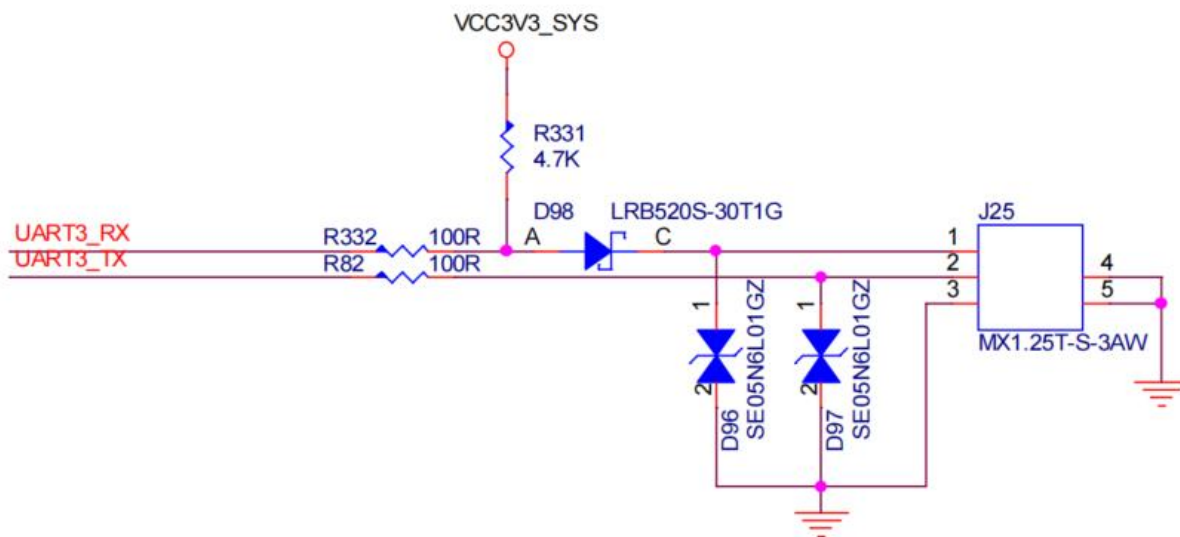
DEBUG_UART_TYPE-C



3. RISC-V E907核调试串口，用于RISC-V E907核日志消息和控制终端命令行操作，默认使用的调试串口是UART3

UART资源	引脚编号	UART信号定义	电源域
UART3	137	UART3-RX	PK
	140	UART3-TX	

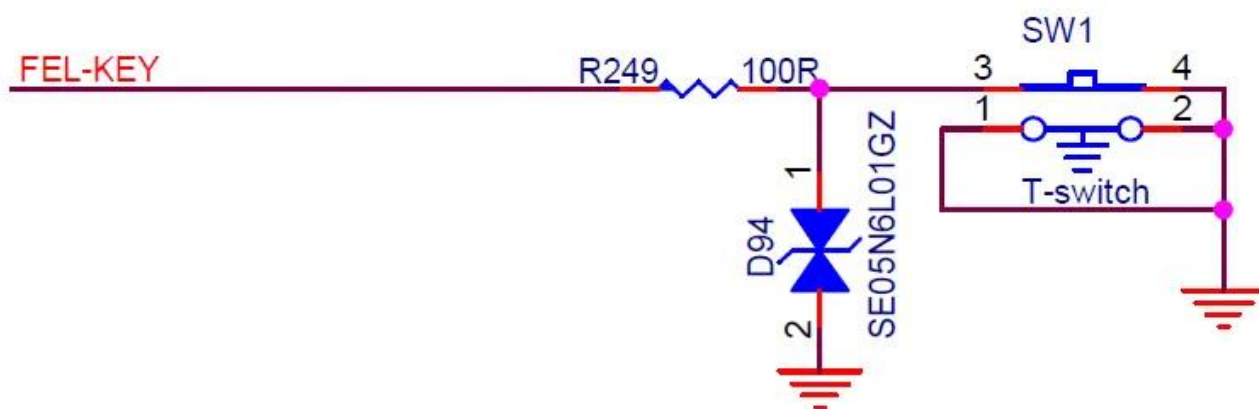
RISC-V E907调试串口电路如下：



4. 烧录模式

引脚定义	引脚定义	电源域	描述
FEL-KEY	5	3.3V	升级/强制烧录模式选择， 低电平有效； 上电低电平触发机器进入烧写模式。

FEL-KEY电路如下：



注意：为了方便开发，强烈建议必须保留FEL-KEY按键。

2.3 SDIO接口

IDO-SOM5301-S1核心板扩展出3路SDIO3.0/2.0资源，可用于扩展SD卡和WIFI模块。

2.3.1 SDC0接口

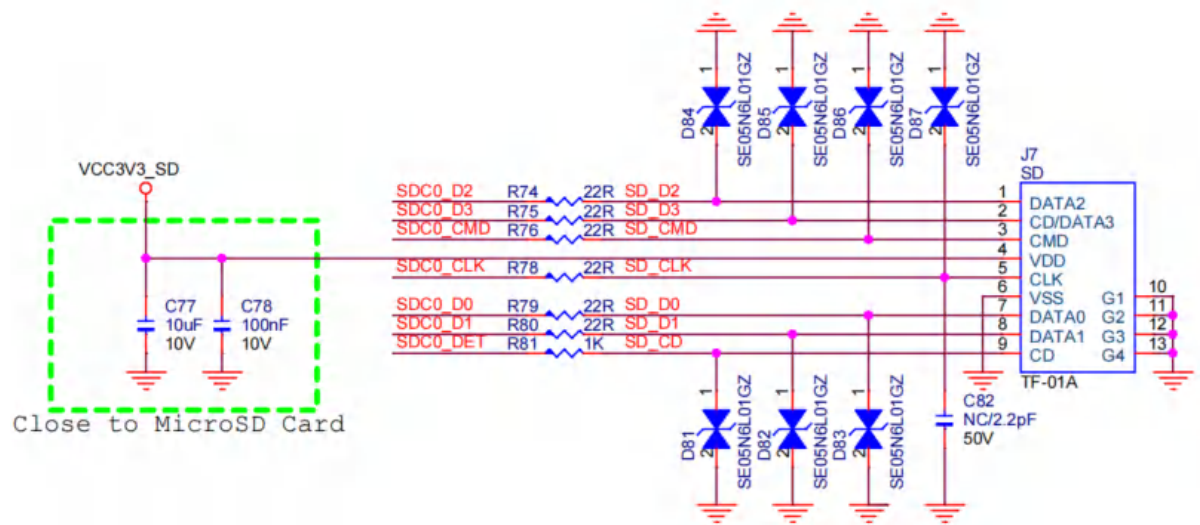
- SDC0接口在VCC-PF电源域；
- SDC0支持System Boot，默认分配接SD卡功能；支持eMMC/FLASH空片时，通过SD卡来升级固件，同时也支持eMMC启动后，通过SD卡对eMMC进行固件升级；
- IO电平默认供1.8V电源。

SDC0引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
------	------	-----	----

14	SDC0_CLK	VCC-PF	SD时钟发送
11	SDC0_CMD	VCC-PF	SD命令发送/接收
10	SDC0_D3	VCC-PF	SD数据发送/接收3
12	SDC0_D2	VCC-PF	SD数据发送/接收2
15	SDC0_D1	VCC-PF	SD数据发送/接收1
13	SDC0_D0	VCC-PF	SD数据发送/接收0

TF卡接口参考设计如下图所示：



2.3.2 SDC1接口

- SDC1接口在VCC-PG电源域；
- 不支持System Boot；
- VCC-PG电平为1.8V or 3.3V，根据外设需要选择对应的电压，需要注意和外设的IO电压保持一致；

SDC1引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
50	SDC1_CLK	VCC-PG	SD时钟发送
54	SDC1_CMD	VCC-PG	SD命令发送/接收

53	SDC1_D3	VCC-PG	SD数据发送/接收3
51	SDC1_D2	VCC-PG	SD数据发送/接收2
52	SDC1_D1	VCC-PG	SD数据发送/接收1
55	SDC1_D0	VCC-PG	SD数据发送/接收0

2.3.3 SDC3接口

●SDC3接口在VCC-PE电源域；

●不支持System Boot；

●VCC-PE电平为1.8V or 3.3V，根据外设需要选择对应的电压，需要注意和外设的IO电压保持一致；

SDC3引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
B15	SDC3_CLK	VCC-PE	SD时钟发送
B14	SDC3_CMD	VCC-PE	SD命令发送/接收
B12	SDC3_D3	VCC-PE	SD数据发送/接收3
B11	SDC3_D2	VCC-PE	SD数据发送/接收2
B10	SDC3_D1	VCC-PE	SD数据发送/接收1
B9	SDC3_D0	VCC-PE	SD数据发送/接收0

注意：

- 1.走线阻抗控制50Ω，参考面完整，整组走线等长控制±200mil；
- 2.建议串匹配电阻（典型值22Ω），时钟信号匹配电阻靠近SOM5301引脚侧放置，时钟信号预留2.2pF电容；
- 3.请确保外设的IO电平与CPU的IO电平保持一致，否则需要做电平匹配处理。

2.4 USB2.0接口

SOM5301-S1核心板引出2路USB2.0控制器，包括：

1 个USB2.0 OTG 控制器，对应接口为USB0（固件下载口）；

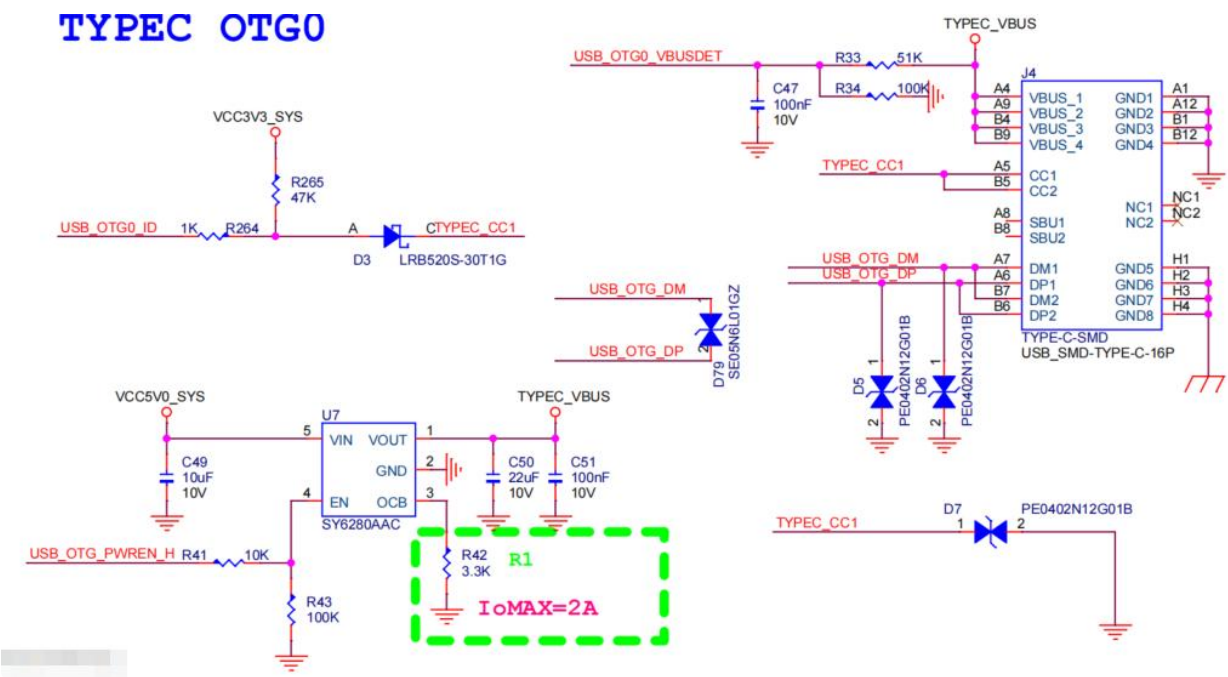
1 个USB2.0 Host 控制器，对应接口为USB1，设计底板如要扩展多USB接口，可以使用USB1通过USB HUB芯片去实现扩展。

USB引脚资源如下：

引脚编号	引脚名称	USB接口	备注
82	USB0-DM	USB0	USB2.0 OTG 固件下载口
81	USB0-DP		
80	USB1-DM	USB1	USB2.0 HOST
79	USB1-DP		

USB0 口具有OTG 功能，USB1 口只具有HOST 功能，烧录程序只能使用USB0 口，在产品功能定义上需要注意区别。

USB0_OTG参考电路如下所示：



2.5 GMAC接口

SOM5301-S1引出3个GMAC控制器(可复用为RMII)，分别为GMAC0、GMAC1和GMAC2。

GMAC0 复用在2个不同的电源域，GMAC0一组在 VCC-PA 电源域，一组在 VCC-PJ电源域。二处复用不能同时使用，每次只能用其中一组。

GMAC0 RGMII引脚资源列表如下表所示：

引脚编号	引脚组别	RGMII 信号定义	复用RMII 信号定义
95	VCC-PA (IO电平3.3V)	RGMII0_TXD0	RMII0-TXD0
96		RGMII0_TXD1	RMII0-TXD1
105		RGMII0_TXD2	/
106		RGMII0_TXD3	/
103		RGMII0_TXCTL	RMII0-TXEN
104		RGMII0_TXCK	RMII0-TXCK
108		RGMII0_RXD0	RMII0-RXD0
99		RGMII0_RXD1	RMII0-RXD1
109		RGMII0_RXD2	/
110		RGMII0_RXD3	/
98		RGMII0_RXCLT	RMII0-CRS-DV
97		RGMII0_RXCK	/
107		RGMII0_CLKIN	RMII0-RXER
101		RGMII0_MDC	/
102		RGMII0_MDIO	/
22	VCC-PJ (IO电平3.3V)	RGMII0_TXD0	RMII0-TXD0
21		RGMII0_TXD1	RMII0-TXD1
31		RGMII0_TXD2	/
30		RGMII0_TXD3	/
24		RGMII0_TXCTL	RMII0-TXEN
23		RGMII0_TXCK	RMII0-TXCK
18		RGMII0_RXD0	RMII0-RXD0

17		RGMII0_RXD1	RMII0-RXD1
28		RGMII0_RXD2	/
32		RGMII0_RXD3	/
19		RGMII0_RXCLT	RMII0-CRS-DV
27		RGMII0_RXCK	/
20		RGMII0_CLKIN	RMII0-RXER
25		RGMII0_MDC	/
29		RGMII0_MDIO	/

GMAC1 RGMII引脚资源列表如下表所示：

引脚编号	引脚组别	RGMII 信号定义	电源域
61	VCC-PG (IO电平取决于 VCC-PG_SEL)	RGMII1_TXD0	RMII1-TXD0
60		RGMII1_TXD1	RMII1-TXD1
51		RGMII1_TXD2	/
52		RGMII1_TXD3	/
59		RGMII1_TXCTL	RMII1-TXEN
58		RGMII1_TXCK	RMII1-TXCK
49		RGMII1_RXD0	RMII1-RXD0
48		RGMII1_RXD1	RMII1-RXD1
54		RGMII1_RXD2	/
50		RGMII1_RXD3	/
56		RGMII1_RXCLT	RMII1-CRS-DV
55		RGMII1_RXCK	/
57		RGMII1_CLKIN	RMII1-RXER
63		RGMII1_MDC	/
62		RGMII1_MDIO	/

GMAC2 复用在2个不同的电源域，GMAC2一组在 VCC-PB 电源域，一组在 VCC-PD电源域。二处复用不能同时使用，每次只能用其中一组。

GMAC2 RGMII引脚资源列表如下表所示：

引脚编号	引脚组别	RGMII 信号定义	复用RMII 信号定义
39	VCC-PB (IO电平3.3V)	RGMII2_TXD0	RMII2-TXD0
38		RGMII2_TXD1	RMII2-TXD1
		RGMII2_TXD2	/
		RGMII2_TXD3	/
37		RGMII2_TXCTL	RMII2-TXEN
40		RGMII2_TXCK	RMII2-TXCK
35		RGMII2_RXD0	RMII2-RXD0
36		RGMII2_RXD1	RMII2-RXD1
		RGMII2_RXD2	/
		RGMII2_RXD3	/
33		RGMII2_RXCLT	RMII2-CRS-DV
		RGMII2_RXCK	/
34		RGMII2_CLKIN	RMII2-RXER
43		RGMII2_MDC	/
44		RGMII2_MDIO	/
82	VCC-PD (IO电平3.3V)	RGMII2_TXD0	RMII2-TXD0
83		RGMII2_TXD1	RMII2-TXD1
67		RGMII2_TXD2	/
68		RGMII2_TXD3	/
86		RGMII2_TXCTL	RMII2-TXEN
87		RGMII2_TXCK	RMII2-TXCK

80		RGMII2_RXD0	RMII2-RXD0
81		RGMII2_RXD1	RMII2-RXD1
71		RGMII2_RXD2	/
69		RGMII2_RXD3	/
85		RGMII2_RXCLT	RMII2-CRS-DV
72		RGMII2_RXCK	/
84		RGMII2_CLKIN	RMII2-RXER
89		RGMII2_MDC	/
88		RGMII2_MDIO	/

千兆以太网接口设计可以参考我司提供的开发板参考原理图。

注意：引脚的电源域为1.8V，部分PHY芯片IO电压可能不支持1.8V，必要时加高速电平转换芯片或更换PHY芯片。

2.6 音频接口

SOM5301-S1外扩的音频接口清单：

音频接口资源	资源详情	说明
LINEOUT	1路	
DMIC	1路	
I2S	3路	

LINEOUT接口引脚资源列表如下：

引脚编号	信号定义	说明
7	LINEOUTP	
6	LINEOUTN	

I2S0接口引脚列表如下所示：

引脚编号	I2S信号	电源域	说明
37	I2S0_DOUT0/I2S0_DIN1	VCC-PB (IO电平3.3V)	I2S 串行输出数据线/I2S 串行输入数据线
41	I2S0_DOUT2/I2S0_DIN2		I2S 串行输出数据线/I2S 串行输入数据线
42	I2S0_DOUT3/I2S0_DIN3		I2S 串行输出数据线/I2S 串行输入数据线
38	I2S0_MCLK		I2S 系统时钟输出
39	I2S0_BCLK		I2S 连续串行时钟，位时钟
40	I2S0_LRCK		I2S 帧时钟，用于声道选择

I2S1 引脚列表如下表所示：

引脚编号	I2S信号	电源域	说明
59	I2S1_DOUT0/I2S1_DIN1	VCC-PG	I2S 串行输出数据线/I2S 串行输入数据线
63	I2S1_DOUT1/I2S1_DIN0		I2S 串行输出数据线/I2S 串行输入数据线
60	I2S1_MCLK		I2S 系统时钟输出
61	I2S1_BCLK		I2S 连续串行时钟，位时钟
58	I2S1_LRCK		I2S 帧时钟，用于声道选择
26	I2S1_DOUT0/I2S1_DIN1	VCC-PJ (IO电平3.3V)	I2S 串行输出数据线/I2S 串行输入数据线
32	I2S1_DOUT1/I2S1_DIN0		I2S 串行输出数据线/I2S 串行输入数据线

24	I2S1_MCLK		I2S 系统时钟输出
25	I2S1_BCLK		I2S 连续串行时钟，位时钟
29	I2S1_LRCK		I2S 帧时钟，用于声道选择
134	I2S1_DOUT0	VCC-PK	I2S 串行输出数据线
130	I2S1_DIN0		I2S 串行输入数据线
132	I2S1_MCLK		I2S 系统时钟输出
131	I2S1_BCLK		I2S 连续串行时钟，位时钟
133	I2S1_LRCK		I2S 帧时钟，用于声道选择

I2S2 引脚列表如下表所示：

引脚编号	I2S信号	电源域	说明
57	I2S2_DOUT0/I2S2_DIN 1	VCC-PG	I2S 串行输出数据线/I2S 串行输入数据线
60	I2S2_DOUT1/I2S2_DIN 0		I2S 串行输出数据线/I2S 串行输入数据线
48	I2S2_MCLK		I2S 系统时钟输出
49	I2S2_BCLK		I2S 连续串行时钟，位时钟
56	I2S2_LRCK		I2S 帧时钟，用于声道选择
20	I2S2_DOUT0/I2S2_DIN 1	VCC-PJ (IO电平3.3V)	I2S 串行输出数据线/I2S 串行输入数据线
21	I2S2_DOUT1/I2S2_DIN 0		I2S 串行输出数据线/I2S 串行输入数据线

22	I2S2_DOUT2/I2S2_DIN 2		I2S 串行输出数据线/I2S 串行输入数据线
23	I2S2_DOUT3/I2S2_DIN 3		I2S 串行输入数据线
17	I2S2_MCLK		I2S 系统时钟输出
18	I2S2_BCLK		I2S 连续串行时钟，位时 钟
19	I2S2_LRCK		I2S 帧时钟，用于声道选 择

DMIC接口引脚资源列表如下：

引脚编号	DMIC信号	电源域	说明
88	DMIC-CLK	VCC-PD (IO电平3.3V)	DMIC时钟信号
78	DMIC-DATA0		DMIC数据信号
77	DMIC-DATA1		DMIC数据信号
76	DMIC-DATA2		DMIC数据信号
75	DMIC-DATA3		DMIC数据信号
14	DMIC-CLK	VCC-PF (IO电平1.8V)	DMIC时钟信号
10	DMIC-DATA0		DMIC数据信号
12	DMIC-DATA1		DMIC数据信号
11	DMIC-DATA2		DMIC数据信号
16	DMIC-DATA3		DMIC数据信号
61	DMIC-CLK	VCC-PG	DMIC时钟信号
58	DMIC-DATA0		DMIC数据信号
59	DMIC-DATA1		DMIC数据信号
63	DMIC-DATA2		DMIC数据信号
62	DMIC-DATA3		DMIC数据信号

17	DMIC-CLK	VCC-PJ (IO电平3.3V)	DMIC时钟信号
18	DMIC-DATA0		DMIC数据信号
19	DMIC-DATA1		DMIC数据信号
20	DMIC-DATA2		DMIC数据信号
21	DMIC-DATA3		DMIC数据信号
117	DMIC-CLK	VCC-PE	DMIC时钟信号
118	DMIC-DATA0		DMIC数据信号
119	DMIC-DATA1		DMIC数据信号
122	DMIC-DATA2		DMIC数据信号
121	DMIC-DATA3		DMIC数据信号

2.7 视频输出接口

SOM5301核心板支持RGB、LVDS、MIPI-DSI三种接口的屏，产品设计时请根据具体的屏规格选用相关参考电路。

最大的视频输出能力：

●Single-Link LVDS：1366x768@60Hz

●Dual-Link LVDS：1920x1080@60Hz

●MIPI DSI：1920x1080@60Hz

●RGB：1920x1080@60Hz

2.7.1 RGB接口

- 支持RGB接口（带DE/SYNC RGB模式，最高支持1920x1080分辨率@60帧/秒）
- 串行RGB接口（最高支持800x480分辨率@60帧/秒）
- i8080接口（最高支持800x480分辨率@60帧/秒）
- RGB888、RGB666和RGB565像素格式

- 支持BT.656接口

LCD引脚资源列表如下表所示：

引脚编号	MIPI引脚定义	电源域
98	LCD_D0	VCC-PA (IO电平3.3V)
107	LCD_D1	VCC-PA (IO电平3.3V)
81	LCD_D2	VCC-PD (IO电平3.3V)
80	LCD_D3	VCC-PD (IO电平3.3V)
85	LCD_D4	VCC-PD (IO电平3.3V)
84	LCD_D5	VCC-PD (IO电平3.3V)
83	LCD_D6	VCC-PD (IO电平3.3V)
82	LCD_D7	VCC-PD (IO电平3.3V)
96	LCD_D8	VCC-PA (IO电平3.3V)
95	LCD_D9	VCC-PA (IO电平3.3V)
87	LCD_D10	VCC-PD (IO电平3.3V)
86	LCD_D11	VCC-PD (IO电平3.3V)
89	LCD_D12	VCC-PD (IO电平3.3V)
88	LCD_D13	VCC-PD (IO电平3.3V)
78	LCD_D14	VCC-PD (IO电平3.3V)
77	LCD_D15	VCC-PD (IO电平3.3V)
104	LCD_D16	VCC-PA (IO电平3.3V)
103	LCD_D17	VCC-PA (IO电平3.3V)
76	LCD_D18	VCC-PD (IO电平3.3V)
75	LCD_D19	VCC-PD (IO电平3.3V)
74	LCD_D20	VCC-PD (IO电平3.3V)
73	LCD_D21	VCC-PD (IO电平3.3V)
70	LCD_D22	VCC-PD (IO电平3.3V)

69	LCD_D23	VCC-PD (IO电平3.3V)
71	LCD_CLK	VCC-PD (IO电平3.3V)
68	LCD_HSYNC	VCC-PD (IO电平3.3V)
67	LCD_VSYNC	VCC-PD (IO电平3.3V)
72	LCD_DEN	VCC-PD (IO电平3.3V)

2.7.2 LVDS接口

- 支持1920x1080@60fps (dual-link)
- 支持1366x768@60fps (single-link)

LVDS引脚资源列表如下表所示：

引脚编号	MIPI引脚定义	描述	备注
81	LVDS0-D0P	LVDS0-发送-D0-正	
80	LVDS0-D0N	LVDS0-发送-D0-负	
85	LVDS0-D1P	LVDS0-发送-D1-正	
84	LVDS0-D1N	LVDS0-发送-D1-负	
83	LVDS0-D2P	LVDS0-发送-D2-正	
82	LVDS0-D2N	LVDS0-发送-D2-负	
87	LVDS0-CKP	LVDS0-时钟-正	
86	LVDS0-CKN	LVDS0-时钟-负	
89	LVDS0-D3P	LVDS0-发送-D3-正	
88	LVDS0-D3N	LVDS0-发送-D3-负	
78	LVDS1-D0P	LVDS1-发送-D0-正	
77	LVDS1-D0N	LVDS1-发送-D0-负	
76	LVDS1-D1P	LVDS1-发送-D1-正	
76	LVDS1-D1N	LVDS1-发送-D1-负	

74	LVDS1-D2P	LVDS1-发送-D2-正	
73	LVDS1-D2N	LVDS1-发送-D2-负	
70	LVDS1-CKP	LVDS1-时钟-正	
69	LVDS1-CKN	LVDS1-时钟-负	
71	LVDS1-D3P	LVDS1-发送-D3-正	
72	LVDS1-D3N	LVDS1-发送-D3-负	

2.7.3 MIPI-DSI接口

核心板引出1个MIPI-DSI接口：

- 符合MIPI DSI规范v1.02和MIPI D-PHY规范v1.0
- 单通道最高可达1.0 Gbit/s
- 支持4通道MIPI DSI显示器，最高可达1920x1080@60fps

MIPI-DSI引脚资源列表如下表所示：

引脚号	引脚定义	描述
81	DSI-D0P	MIPI-发送-D0-正
80	DSI-D0N	MIPI-发送-D0-负
85	DSI-D1P	MIPI-发送-D1-正
84	DSI-D1N	MIPI-发送-D1-负
83	DSI-CKP	MIPI-时钟-正
82	DSI-CKN	MIPI-时钟-负
87	DSI-D2P	MIPI-发送-D2-正
86	DSI-D2N	MIPI-发送-D2-负
89	DSI-D3P	MIPI-发送-D3-正
88	DSI-D3N	MIPI-发送-D3-负

注意：

1. MIPI高速差分对，差分阻抗按照100Ω控制，走线参考面完整。

2.8 MIPI–CSI接口

核心板引出1组MIPI–CSI信号，支持4–lane或者2+2–lane

MIPI–CSI引脚资源列表如下表所示：

引脚号	引脚定义	描述
132	MCSIA–CKP	MIPIA–时钟–正
131	MCSIA–CKN	MIPIA–时钟–负
133	MCSIA–D0P	MIPIA–接收–D0–正
134	MCSIA–D0N	MIPIA–接收–D0–负
130	MCSIA–D1P	MIPIA–接收–D1–正
129	MCSIA–D1N	MIPIA–接收–D1–负
135	MCSIA–D2P/MCSIB–D1P	MIPIA–接收–D2–正/MIPIB–接收–D1–正
156	MCSIA–D2N/MCSIB–D1N	MIPIA–接收–D2–负/MIPIB–接收–D1–负
139	MCSIA–D3P/MCSIB–D0P	MIPIA–接收–D3–正/MIPIB–接收–D0–正
140	MCSIA–D3N/MCSIB–D0N	MIPIA–接收–D3–负/MIPIB–接收–D0–负
137	MCSIB–CKP	MIPIB–时钟–正
138	MCSIB–CKN	MIPIB–时钟–负

2.9 Local Bus

核心板引出1路Local Bus控制器：

- 最大接口速度：150 MHz@16bits, 100MHz@32bits
- 最多支持4个芯片选择信号，每个芯片选择信号可独立配置定时参数
- 支持多种访问方式：直接访问/间接访问/私有DMA访问。其中间接访问支持通过系统DMA进行数据传输。

Local Bus引脚资源列表如下表所示：

引脚编号	引脚定义	电源域	描述
99	LBUS-CLK	VCC-PA (IO电平 3.3V)	Local Bus时钟
107	LBUS-CS0	VCC-PA (IO电平 3.3V)	Local Bus芯片选择信号
98	LBUS-CS1	VCC-PA (IO电平 3.3V)	Local Bus芯片选择信号
92	LBUS-CS2	VCC-PA (IO电平 3.3V)	Local Bus芯片选择信号
93	LBUS-CS3	VCC-PA (IO电平 3.3V)	Local Bus芯片选择信号
96	LBUS-DP0	VCC-PA (IO电平 3.3V)	Local Bus数据奇偶校验 信号
115	LBUS-DP1	VCC-PA (IO电平 3.3V)	Local Bus数据奇偶校验 信号
113	LBUS-DP2	VCC-PA (IO电平 3.3V)	Local Bus数据奇偶校验 信号
112	LBUS-DP3	VCC-PA (IO电平 3.3V)	Local Bus数据奇偶校验 信号
68	LBUS-WR	VCC-PD (IO电平 3.3V)	Local Bus准写入信号
67	LBUS-OE	VCC-PD (IO电平 3.3V)	Local Bus输出使能信号

94	LBUS-DE	VCC-PA (IO电平 3.3V)	Local Bus数据使能信号
91	LBUS-WAIT	VCC-PA (IO电平 3.3V)	Local Bus等待信号
131	LBUS-READY0	VCC-PK	Local Bus输入就绪信号
132	LBUS-READY1	VCC-PK	Local Bus输入就绪信号
137	LBUS-READY2	VCC-PK	Local Bus输入就绪信号
114	LBUS-READY3	VCC-PA (IO电平 3.3V)	Local Bus输入就绪信号
108	LBUS-ALE	VCC-PA (IO电平 3.3V)	Local Bus地址锁定信号
66	LBUS-DRQ0	VCC-PD (IO电平 3.3V)	Local Bus异步数据请求 信号
65	LBUS-DRQ1	VCC-PD (IO电平 3.3V)	Local Bus异步数据请求 信号
104	LBUS-LBE0	VCC-PA (IO电平 3.3V)	Local Bus总线控制请求 信号
103	LBUS-LBE1	VCC-PA (IO电平 3.3V)	Local Bus总线控制请求 信号
137	LBUS-LBE2	VCC-PK	Local Bus总线控制请求 信号
95	LBUS-LBE3	VCC-PA (IO电平 3.3V)	Local Bus总线控制请求 信号
76	LBUS-LD0	VCC-PD (IO电平 3.3V)	Local Bus数据信号
75	LBUS-LD1	VCC-PD (IO电平 3.3V)	Local Bus数据信号
74	LBUS-LD2	VCC-PD (IO电平 3.3V)	Local Bus数据信号

73	LBUS-LD3	VCC-PD (IO电平 3.3V)	Local Bus数据信号
70	LBUS-LD4	VCC-PD (IO电平 3.3V)	Local Bus数据信号
69	LBUS-LD5	VCC-PD (IO电平 3.3V)	Local Bus数据信号
71	LBUS-LD6	VCC-PD (IO电平 3.3V)	Local Bus数据信号
72	LBUS-LD7	VCC-PD (IO电平 3.3V)	Local Bus数据信号
101	LBUS-LD8	VCC-PA (IO电平 3.3V)	Local Bus数据信号
102	LBUS-LD9	VCC-PA (IO电平 3.3V)	Local Bus数据信号
100	LBUS-LD10	VCC-PA (IO电平 3.3V)	Local Bus数据信号
110	LBUS-LD11	VCC-PA (IO电平 3.3V)	Local Bus数据信号
109	LBUS-LD12	VCC-PD (IO电平 3.3V)	Local Bus数据信号
97	LBUS-LD13	VCC-PD (IO电平 3.3V)	Local Bus数据信号
106	LBUS-LD14	VCC-PD (IO电平 3.3V)	Local Bus数据信号
105	LBUS-LD15	VCC-PD (IO电平 3.3V)	Local Bus数据信号
129	LBUS-LD16	VCC-PK	Local Bus数据信号
130	LBUS-LD17	VCC-PK	Local Bus数据信号
134	LBUS-LD18	VCC-PK	Local Bus数据信号

133	LBUS-LD19	VCC-PK	Local Bus数据信号
81	LBUS-LD20	VCC-PD (IO电平 3.3V)	Local Bus数据信号
80	LBUS-LD21	VCC-PD (IO电平 3.3V)	Local Bus数据信号
85	LBUS-LD22	VCC-PD (IO电平 3.3V)	Local Bus数据信号
84	LBUS-LD23	VCC-PD (IO电平 3.3V)	Local Bus数据信号
83	LBUS-LD24	VCC-PD (IO电平 3.3V)	Local Bus数据信号
82	LBUS-LD25	VCC-PD (IO电平 3.3V)	Local Bus数据信号
87	LBUS-LD26	VCC-PD (IO电平 3.3V)	Local Bus数据信号
86	LBUS-LD27	VCC-PD (IO电平 3.3V)	Local Bus数据信号
89	LBUS-LD28	VCC-PD (IO电平 3.3V)	Local Bus数据信号
88	LBUS-LD29	VCC-PD (IO电平 3.3V)	Local Bus数据信号
78	LBUS-LD30	VCC-PD (IO电平 3.3V)	Local Bus数据信号
77	LBUS-LD31	VCC-PD (IO电平 3.3V)	Local Bus数据信号

2.10 UART 接口

核心板共引出10路UART，其中UART0（PIN41、PIN42）为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

注意：

- 1. 需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。
- 2. UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1，M2三组引脚可选配，同一个UART控制器同时只能配置一组引脚。
- 3. 调试串口默认为UART0 M0引脚组。
- 4. UART与RS485通信时，有3线模式和4线模式，如下图所示。3线模式时，UART的RTSN与RS485的RE和DE引脚连接在一起。4线模式时，RTSN与RS485的DE连接一起，CTSN与RS485的RE连接在一起。

UART信号定义及可复用引脚列表如下表所示：

UART资源	引脚编号	UART信号定义	电源域
UART0	42	UART0_RX	VCC-PB (IO电平3.3V) (调试串口)
	41	UART0_TX	
	12	UART0_RX	VCC-PF (IO电平1.8V)
	14	UART0_TX	
UART1	13	UART1_RX	VCC-PF (IO电平1.8V)
	15	UART1_TX	
	49	UART1_RX	VCC-PG
	48	UART1_TX	
	56	UART1_RTS	
	27	UART1_CTS	
UART2	35	UART2_RX	VCC-PB (IO电平3.3V)
	36	UART2_TX	
	33	UART2_RTS	
	34	UART2_CTS	

	84	UART2_RX	VCC-PD (IO电平 3.3V)
	85	UART2_TX	
	80	UART2_RTS	
	81	UART2_CTS	
	29	UART2_RX	VCC-PJ
	25	UART2_TX	
	26	UART2_RTS	
	32	UART2_CTS	
UART3	73	UART3_RX	VCC-PD (IO电平 3.3V)
	74	UART3_TX	
	70	UART3_RTS	
	69	UART3_CTS	
	67	UART3_RX	VCC-PD (IO电平 3.3V)
	68	UART3_TX	
	66	UART3_RTS	
	65	UART3_CTS	
	137	UART3_RX	VCC-PK
	140	UART3_TX	
	135	UART3_RTS	
	138	UART3_CTS	
UART4	86	UART4_RX	VCC-PD (IO电平 3.3V)
	87	UART4_TX	
	82	UART4_RTS	
	83	UART4_CTS	
	61	UART4_RX	VCC-PG

	60	UART4_TX	
	58	UART4_RTS	
	59	UART4_CTS	
UART5	120	UART5_RX	VCC-PE
	121	UART5_TX	
	122	UART5_RTS	
	123	UART5_CTS	
	18	UART5_RX	VCC-PJ
	17	UART5_TX	
	19	UART5_RTS	
	20	UART5_CTS	
UART6	110	UART6_RX	VCC-PA (IO电平 3.3V)
	100	UART6_TX	
	82	UART6_RX	VCC-PD (IO电平 3.3V)
	83	UART6_TX	
	87	UART6_RTS	
	86	UART6_CTS	
	123	UART6_RX	VCC-PF (IO电平1.8V)
	122	UART6_TX	
	121	UART6_RTS	
	120	UART6_CTS	
UART7	46	UART7_RX	VCC-PB (IO电平 3.3V)
	45	UART7_TX	
	43	UART7_RTS	
	44	UART7_CTS	

	22	UART7_RX	VCC-PJ
	21	UART7_TX	
	23	UART7_RTS	
	24	UART7_CTS	
	131	UART7_RX	VCC-PK
	132	UART7_TX	
	133	UART7_RTS	
	134	UART7_CTS	
UART8	39	UART8_RX	VCC-PB (IO电平 3.3V)
	38	UART8_TX	
	40	UART8_RTS	
	37	UART8_CTS	
	41	UART8-DSR	
	42	UART8-DTR	
	43	UART8-RI	
	77	UART8_RX	VCC-PD (IO电平 3.3V)
	78	UART8_TX	
	76	UART8_RTS	
	75	UART8_CTS	
	73	UART8-DSR	
	74	UART8-DCD	
	70	UART8-DTR	
	69	UART8-RI	
	54	UART8_RX	VCC-PG
	50	UART8_TX	

UART9	55	UART8_RTS	
	52	UART8_CTS	
	80	UART9_RX	VCC-PD (IO电平 3.3V)
	81	UART9_TX	
	85	UART9_RTS	
	84	UART9_CTS	
	57	UART9_RX	VCC-PG
	56	UART9_TX	
	49	UART9_RTS	
	48	UART9_CTS	
	27	UART9_RX	VCC-PJ
	28	UART9_TX	
	30	UART9_RTS	
	31	UART9_CTS	

2.11 CAN总线

SOM5301引出2个CAN总线控制器，支持 CAN FD，5Mbps。

CAN引脚复用信号较多，同一路CAN控制器可以分配到不同引脚分组，同一个CAN控制器同时只能配置一组引脚。

CAN接口引脚资源如下表所示：

CAN资源	引脚编号	CAN信号定义	电源域
CAN0	72	CAN0_RX0	VCC-PD (IO电平 3.3V)
	71	CAN0_TX0	
	53	CAN0_RX0	VCC-PG

	51	CAN0_TX0	VCC-PJ
	27	CAN0_RX0	
	28	CAN0_TX0	
CAN1	88	CAN1_RX0	VCC-PD (IO电平 3.3V)
	89	CAN1_TX0	
	62	CAN1_RX0	VCC-PG
	63	CAN1_TX0	
	31	CAN1_RX0	VCC-PJ
	30	CAN1_TX0	

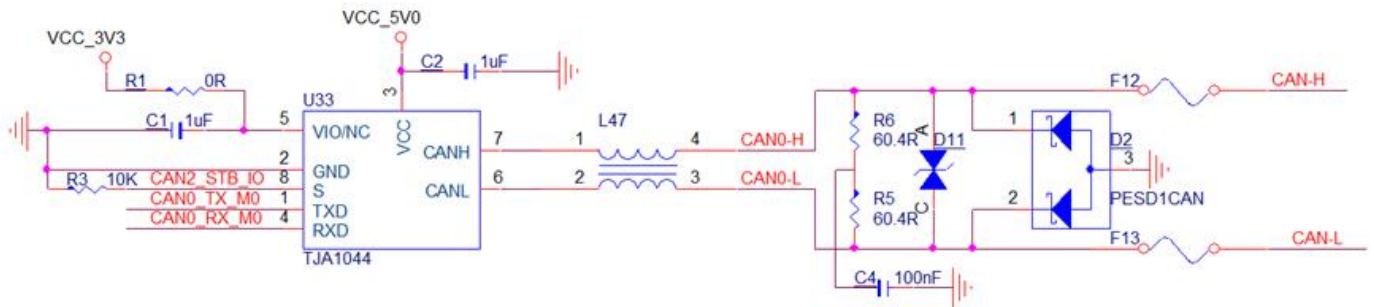


图38. CAN收发器参考设计

2.12 TWI (I2C) 接口

SOM5301核心板共引出6组TWI (I2C) 接口，使用时注意电平为1.8V或3.3V，必要时加电平转换电路。

注意： TWI引脚复用信号较多，同一路TWI控制器可以分配到不同引脚分组，同一个TWI控制器同时只能配置一组引脚。

TWI总线引脚资源如下表所示：

TWI资源	引脚编号	信号定义	电源域
TWI0	40	TWI0_SCK	VCC-PB (IO电平 3.3V)
	37	TWI0_SDA	

	41	TWI0_SCK	VCC-PB (IO电平 3.3V)
	42	TWI0_SDA	
	66	TWI0_SCK	VCC-PD (IO电平 3.3V)
	65	TWI0_SDA	
	28	TWI0_SCK	VCC-PJ
	27	TWI0_SDA	
TWI1	38	TWI1_SCK	VCC-PB (IO电平 3.3V)
	39	TWI1_SDA	
	118	TWI1_SCK	VCC-PE
	119	TWI1_SDA	
	132	TWI1_SCK	VCC-PK
	131	TWI1_SDA	
	130	TWI1_SCK	VCC-PK
	129	TWI1_SDA	
TWI2	33	TWI2_SCK	VCC-PB (IO电平 3.3V)
	34	TWI2_SDA	
	122	TWI2_SCK	VCC-PE
	123	TWI2_SDA	
	60	TWI2_SCK	VCC-PG
	61	TWI2_SDA	
	136	TWI2_SCK	VCC-PK
	139	TWI2_SDA	
TWI3	109	TWI3_SCK	VCC-PA (IO电平 3.3V)
	97	TWI3_SDA	
	120	TWI3_SCK	VCC-PE

	124	TWI3_SDA	VCC-PK
	137	TWI3_SCK	
	138	TWI3_SDA	
TWI4	45	TWI4_SCK	VCC-PB (IO电平 3.3V)
	46	TWI4_SDA	
	66	TWI4_SCK	VCC-PD (IO电平 3.3V)
	65	TWI4_SDA	
	48	TWI4_SCK	VCC-PG
	49	TWI4_SDA	
	17	TWI4_SCK	VCC-PJ
	18	TWI4_SDA	
TWI5	43	TWI5_SCK	VCC-PB (IO电平 3.3V)
	44	TWI5_SDA	
	71	TWI5_SCK	VCC-PD (IO电平 3.3V)
	72	TWI5_SDA	
	68	TWI5_SCK	VCC-PD (IO电平 3.3V)
	67	TWI5_SDA	
	56	TWI5_SCK	VCC-PG
	57	TWI5_SDA	
	30	TWI5_SCK	VCC-PJ
	31	TWI5_SDA	

2.13 IR接口

SOM5301核心板引出5路IR总线，其中1路IR_TX，4路IR_RX，可用于红外等功能

IR接口引脚资源如下表所示：

引脚编号	IR信号定义	电源域
40	IR-TX	VCC-PB (IO电平3.3V)
38	IR0-RX	
39	IR1-RX	
45	IR2-RX	
46	IR3-RX	
12	IR-TX	VCC-PF
15	IR0-RX	
13	IR1-RX	
14	IR2-RX	
10	IR3-RX	
29	IR-TX	VCC-PJ
28	IR0-RX	
27	IR1-RX	
30	IR2-RX	
31	IR3-RX	

- 当红外接收头信号输入时，需要注意以下：
- 红外接收头输出脚电平必须和IO电平匹配；
- 红外接收头输出脚建议串22 ohm电阻并对1nF电容，再连接到核心板，加强抗静电浪涌能力。

2.14 ADC接口

核心板共引出24路GPADC接口，其中包含了4路TPADC(可用于电阻式触摸)。

ADC引脚列表如下表所示：

引脚号	引脚定义	电源域	描述
99	GPADC0-0	VCC18-ADC	标准ADC输入
108	GPADC0-1	VCC18-ADC	标准ADC输入
98	GPADC0-2	VCC18-ADC	标准ADC输入
107	GPADC0-3	VCC18-ADC	标准ADC输入
96	GPADC0-4	VCC18-ADC	标准ADC输入
95	GPADC0-5	VCC18-ADC	标准ADC输入
104	GPADC0-6	VCC18-ADC	标准ADC输入
103	GPADC0-7	VCC18-ADC	标准ADC输入
101	GPADC0-8	VCC18-ADC	标准ADC输入
102	GPADC0-9	VCC18-ADC	标准ADC输入
100	GPADC1-0	VCC18-ADC	标准ADC输入
110	GPADC1-1	VCC18-ADC	标准ADC输入
109	GPADC1-2	VCC18-ADC	标准ADC输入
97	GPADC1-3	VCC18-ADC	标准ADC输入
106	GPADC1-4	VCC18-ADC	标准ADC输入
105	GPADC1-5	VCC18-ADC	标准ADC输入
91	GPADC1-6	VCC18-ADC	标准ADC输入
93	GPADC1-7	VCC18-ADC	标准ADC输入
92	GPADC1-8	VCC18-ADC	标准ADC输入
94	GPADC1-9	VCC18-ADC	标准ADC输入
114	GPADC2-0/TP-X1	VCC18-ADC	标准ADC输入/TPADC-X输入
115	GPADC2-1/TP-X2	VCC18-ADC	标准ADC输入/TPADC-X输入

113	GPADC2-2/TP-Y1	VCC18-ADC	标准ADC输入/TPADC-Y输入
112	GPADC2-3/TP-Y2	VCC18-ADC	标准ADC输入/TPADC-Y输入

注意：

1. GPRADC 采样范围为0~1.8V，采样精度为 12bit 。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值， 实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于±35, 即中心电压差必须大于132mV；
2. ADC有使用时， 靠近核心板管脚必须并联1nF电容消抖；
3. 用于按键采集时， 靠近按键需做 ESD 防护， 而且 0 键值的必须串接 100Ω 电阻加强抗静电浪涌能力（如果只有一个键时 ESD 必须靠近按键， 先经过 ESD→100Ω电阻→1nF→核心板管脚）。

2.15 SPI接口

核心板一共引出3路SPI接口， 可用于连接SPI通信接口的芯片或者模块。

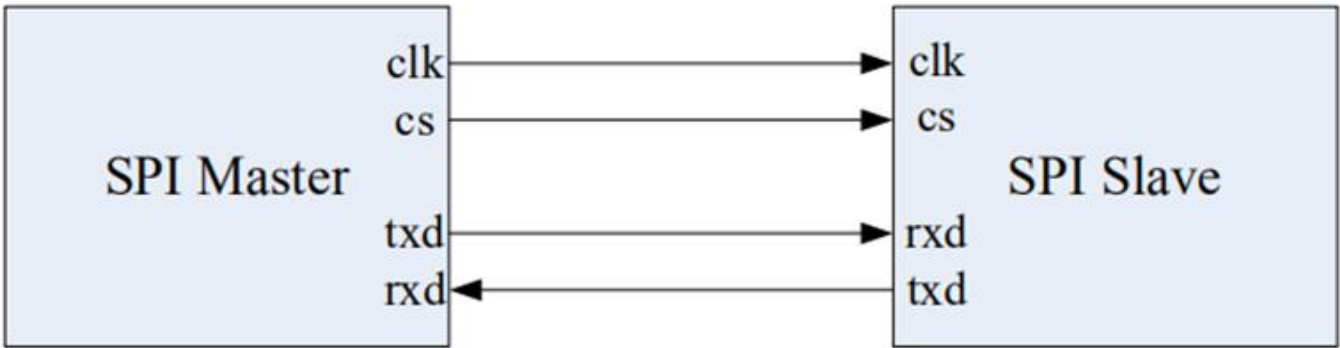


图41. SPI设备连接

SPI引脚资源列表如下表所示：

SPI接口	引脚编号	引脚定义	电源域	说明
SPI1	77	SPI1_CLK	VCC-PD（IO电平 3.3V）	Clock
	75	SPI1_MISO		Master Input
				Slave Output

	76	SPI1_MOSI	VCC-PK	Master Output Slave input
	78	SPI1_CS0		片选0
	74	SPI1_HOLD		Hold Quad Output Signal/ Serial Data Input and Output for Quad Input or
	73	SPI1_WP		Write Protection (Active Low)/ Serial Data Input and Output
	134	SPI1_CLK		Clock
	129	SPI1_MISO		Master Input Slave Output
	130	SPI1_MOSI		Master Output Slave input
	133	SPI1_CS0		片选0
	139	SPI1_CS1		片选1
	140	SPI1_CS2		片选2
	136	SPI1_HOLD		Hold Quad Output Signal/ Serial Data Input and Output for Quad Input or
	135	SPI1_WP		Write Protection (Active Low)/ Serial Data Input and Output
SPI2	119	SPI2_CLK	VCC-PE	Clock

	123	SPI2_MISO		Master Input Slave Output
	122	SPI2_MOSI		Master Output Slave input
	118	SPI2_CS0		片选0
	124	SPI2_CS1		片选1
	125	SPI2_CS2		片选2
	120	SPI1_HOLD		Hold Quad Output Signal/ Serial Data Input and Output for Quad Input or
	121	SPI1_WP		Write Protection (Active Low)/ Serial Data Input and Output
SPI3	35	SPI3_CLK	VCC-PB (IO电平 3.3V)	Clock
	34	SPI3_MISO		Master Input Slave Output
	33	SPI3_MOSI		Master Output Slave input
	36	SPI3_CS0		片选0
	38	SPI3_CS1		片选1
	39	SPI3_CS2		片选2
	44	SPI3_CLK	VCC-PB (IO电平 3.3V)	Clock
	46	SPI3_MISO		Master Input Slave Output

	45	SPI3_MOSI	VCC-PF (IO电平 1.8V)	Master Output Slave input
	43	SPI3_CSN0		片选0
	14	SPI3_CLK		Clock
	11	SPI3_MISO		Master Input Slave Output
	12	SPI3_MOSI		Master Output Slave input
	10	SPI3_CS0		片选0

注意：

- 1.当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可。
- 2.SPI时钟线建立串接端接电阻(典型值22Ω)，靠近核心板一侧引脚放置。

2.16 PWM设计说明

核心板一共引出30路PWM资源，PWM引脚复用信号较多，同一路PWM可以分配到不同引脚分组，同一个PWM控制器同时只能配置一组引脚。

PWM引脚资源列表如下表所示：

PWM通道	引脚编号	信号定义	电源域	说明
PWM0	42	PWM0-1	VCC-PB (IO电平 3.3V)	/
	43	PWM0-2		
	44	PWM0-3		
	45	PWM0-4		
	46	PWM0-5		
	36	PWM0-6		
	35	PWM0-7		

	81	PWM0-0	VCC-PD (IO电平 3.3V)	/
	80	PWM0-1		
	85	PWM0-2		
	84	PWM0-3		
	83	PWM0-4		
	82	PWM0-5		
	87	PWM0-6		
	86	PWM0-7		
	124	PWM0-2	VCC-PE	/
	119	PWM0-3		
	125	PWM0-4		
	126	PWM0-5		
	137	PWM0-6	VCC-PK	/
	138	PWM0-7		
PWM1	38	PWM1-0	VCC-PB (IO电平 3.3V)	/
	39	PWM1-1		
	40	PWM1-2		
	37	PWM1-3		
	89	PWM1-0	VCC-PD (IO电平 3.3V)	/
	88	PWM1-1		
	78	PWM1-2		
	77	PWM1-3		/
	76	PWM1-4		
	75	PWM1-5		
	74	PWM1-6		/

	73	PWM1-7			
PWN2	70	PWM2-0	VCC-PD (IO电平 3.3V)	/	
	69	PWM2-1			
	71	PWM2-2			
	72	PWM2-3			
	68	PWM2-4		VCC-PJ	/
	67	PWM2-5			
	66	PWM2-6			
	65	PWM2-7			
	17	PWM2-0	VCC-PJ		/
	18	PWM2-1			
	19	PWM2-2			
	20	PWM2-3			
	21	PWM2-4		/	
	22	PWM2-5			
	23	PWM2-6			
	24	PWM2-7			
	25	PWM2-8			/
	29	PWM2-9			
	26	PWM2-10			
	32	PWM2-11			
	28	PWM2-12	/		
	27	PWM2-13			

注意：

- 根据PWM外设的IO电平，调整对应的电源域供电，必须保持一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

3、底板原理图CheckList

编号	检查事项	检查状态
1	核心板供电电压范围【3.6–5V】，加5.5V 浪涌保护。采用独立DCDC，2A以上电流能力。	☐ OK
2	整板上电顺序：核心板供电(常供电) ->底板供电（3.3V，1.8V，5V）	☐ OK
3	USB0（固件下载口）接口是否接出，方便下载烧录？	☐ OK
4	调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？	☐ OK
5	启动模式（FEL）是否符合参考设计均有预留按键或测试点？	☐ OK
6	SD/TF卡是否符合参考设计？	☐ OK
7	以太网设计： IO电平，RMII一般只能是3.3V, RGMII 可以1.8V或者3.3V。确认PHY芯片 IO电平与 对应的核心板电源域电平（VCC–PG）是否匹配。 千兆PHY芯片的IO电压的配置电阻，RESET引脚GPIO电平，LED灯的极性配置，时钟，符合参考设计？ 千兆/百兆PHY芯片是否是已经调试过的型号？	☐ OK
8	音频接口符合参考设计？	☐ OK

9	MIPI DSI /LVDS 显示接口，确认屏幕线序定义，供电时序 符合要求？ 确认屏幕分辨率和刷新率在支持范围？ MIPI RESET是否有GPIO控制？ 背光和供电在待机/关机状态下是否有漏电问题？	☐ O K
10	MIPI CSI 摄像头接口，是否有2Lane拆分，信号线分配是否符合参考设计？ 摄像头模组定义，确认线序定义，供电时序， 供电电压电流符合要求？ 摄像头Sensor是否在支持列表？ 待机/关机状态下是否有漏电？	☐ O K
11	每组IIC总线是否有上拉电阻，电平是否匹配？ IIC 上连接的外设地址是否冲突，最高速率是否有冲突？ 同一组IIC总线下的外设，是否存在待机/关机时供电状态不一致的问题？	☐ O K
12	每个串口（UART，RS232，RS485，RS422）和 CAN 接口： 串口要求的最高波特率和接口芯片用料是否相符？ 电平是否匹配？ 接口芯片上电顺序是否晚于核心板供电输入VCC5V0_SYS？	☐ O K
13	所有IO引脚，不得有在核心板VCC5V0_SYS上电前向IO灌电的行为	☐ O K
14	使用SDIO的WIFI模块，供电和IO电平，32K时钟，晶振 等是否符合参考设计？	☐ O K