

IDO-SOM7609-S1 硬件设计指南



IDO-SOM7609-S1 硬件设计指南

深圳触觉智能科技有限公司

www.industio.cn

文档修订历史

版本	修订内容	修订	审核	日期
V1.0	创建文档	YWS	IDO	2025/05/08

1、 产品概述

1.1 芯片简介

RK3576 是一颗高性能低功耗处理器芯片，集成了 4 个 Cortex-A72 和 4 个 Cortex-A53 及独立的NEON 协处理器；适用于 ARM PC、边缘计算、个人移动互联网设备及其它多媒体产品。RK3576 内置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持 4K@120fps 的H.265、VP9、AVS2 和 AV1 解码器，支持 4k@60fps 的 H.264 解码器；还支持 4K@60fps 的 H.264 和 H.265编码器，高质量的 JPEG 编码器/解码器，专门的图像预处理器和后处理器。内置 3D GPU，能够完全兼容 OpenGL ES1.1/2.0/3.2、OpenCL 2.0 和 Vulkan 1.1。带有 MMU 的特殊 2D硬件引擎将最大限度地提高显示性能，并提供流畅的操作体验。引入了新一代完全基于硬件的最大 16M 像素 ISP（图像信号处理器），实现了多种算法加速器，如HDR、3A、CAC、3DNR、2DNR、锐化、去雾、增强、鱼眼校正、伽马校正等。内嵌的 NPU 支持 INT4/INT8/INT16/FP16/BF16/TF32 混合运算。此外，凭借其强大的兼容性，可以轻松转换基于 TensorFlow/MXNet/PyTorch/Caffe 等一系列框架的网络模型。

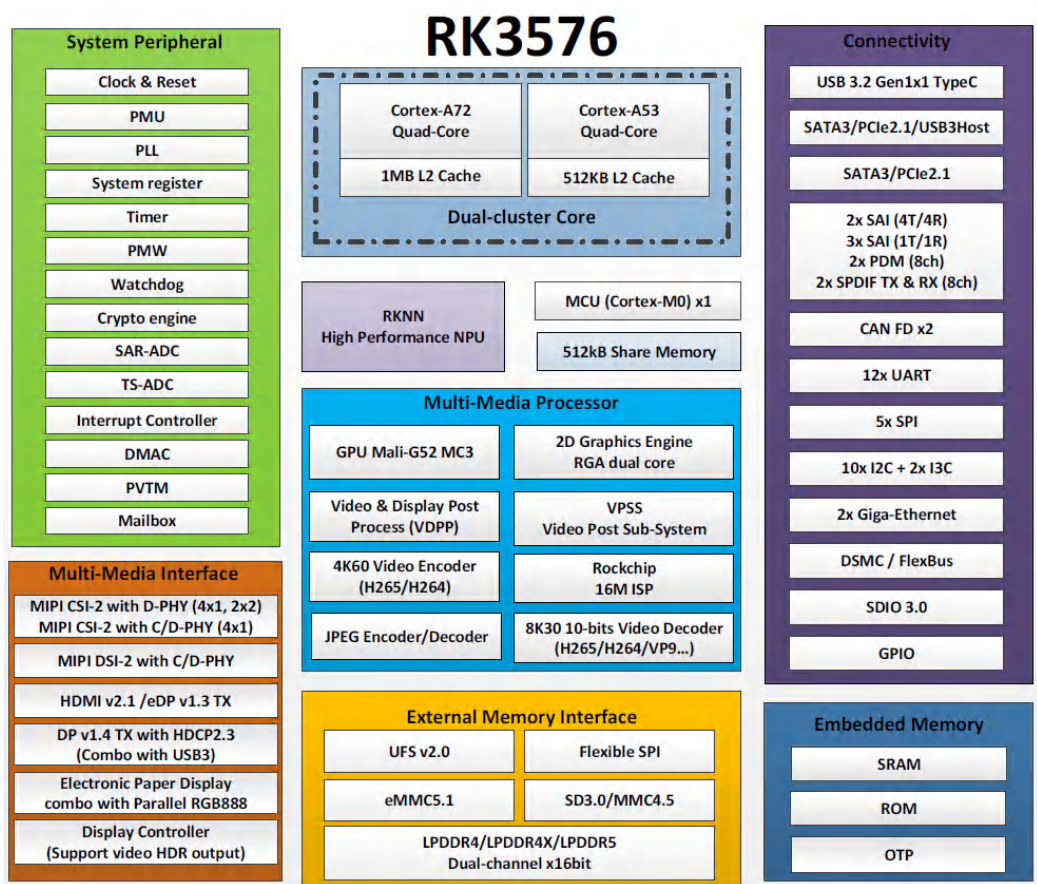


图1. RK3576 功能框图

1.2 产品概述

IDO-SOM7609-S1是一款基于瑞芯微第二代8nm高性能AIOT平台RK3576设计的核心板，在 40.5x40.5mm的小体积上集成了RK3576 SoC, PMIC, LPDDR4(X), eMMC, 通过邮票孔引出RK3576 的全部引脚资源。

IDO-SOM7609-S1核心板进行了严格的电源完整性和信号完整性仿真设计，通过各项电磁兼容、温度冲击、高温高湿老化、长时间存储压力等测试，稳定可靠，批量供货。用户仅需设计外围电路即可快速实现项目的稳定量产，IDO-SOM7609-S1模块逻辑框图，如下图所示：

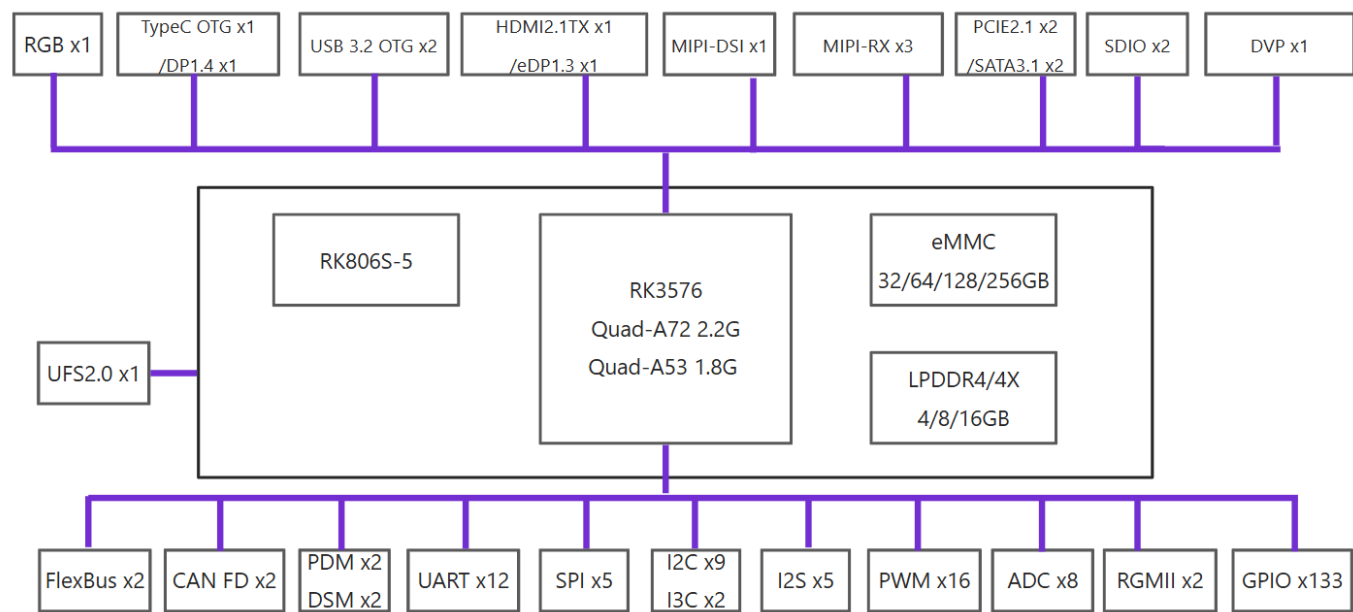


图2. IDO-SOM7609-S1功能框图

1.3 产品特点

- 1. 处理器采用Quad A72 + Quad A53 CPU 8nm先进制程工艺，主频高达2.2GHz；
- 2. 内置6T RKNN AI 算力；
- 3. 5种屏幕显示接口：HDMI、eDP、MIPI DSI、DP、RGB；
- 4. 丰富的总线接口：2×GMAC、2×CAN FD、PCIE/USB3.2、2×USB2.0、12×UART、16×PWM、5×SPI、9×I2C等；
- 5. 核心板支持100%全国产；
- 6. 4.05cm X 4.05cm超小尺寸LCC+LGA封装300Pin，10层板沉金工艺。

1.4 产品图片

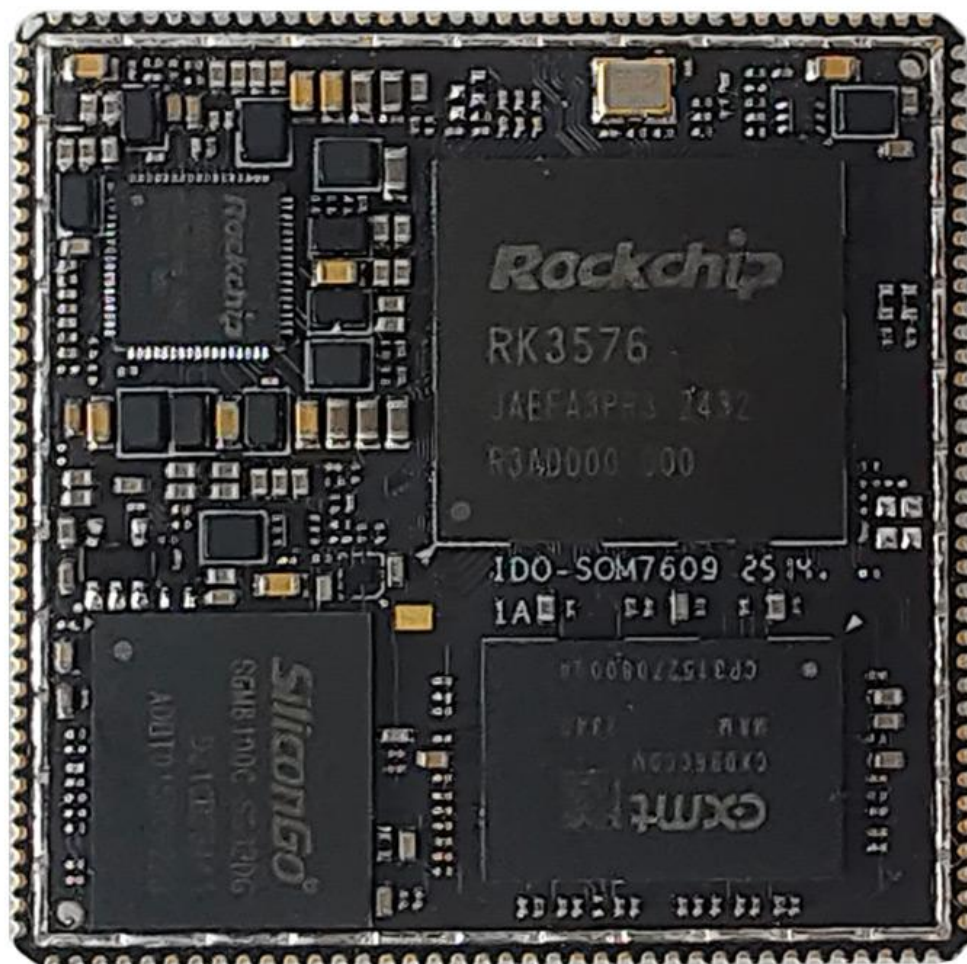


图3. IDO-SOM7609-S1核心板正面

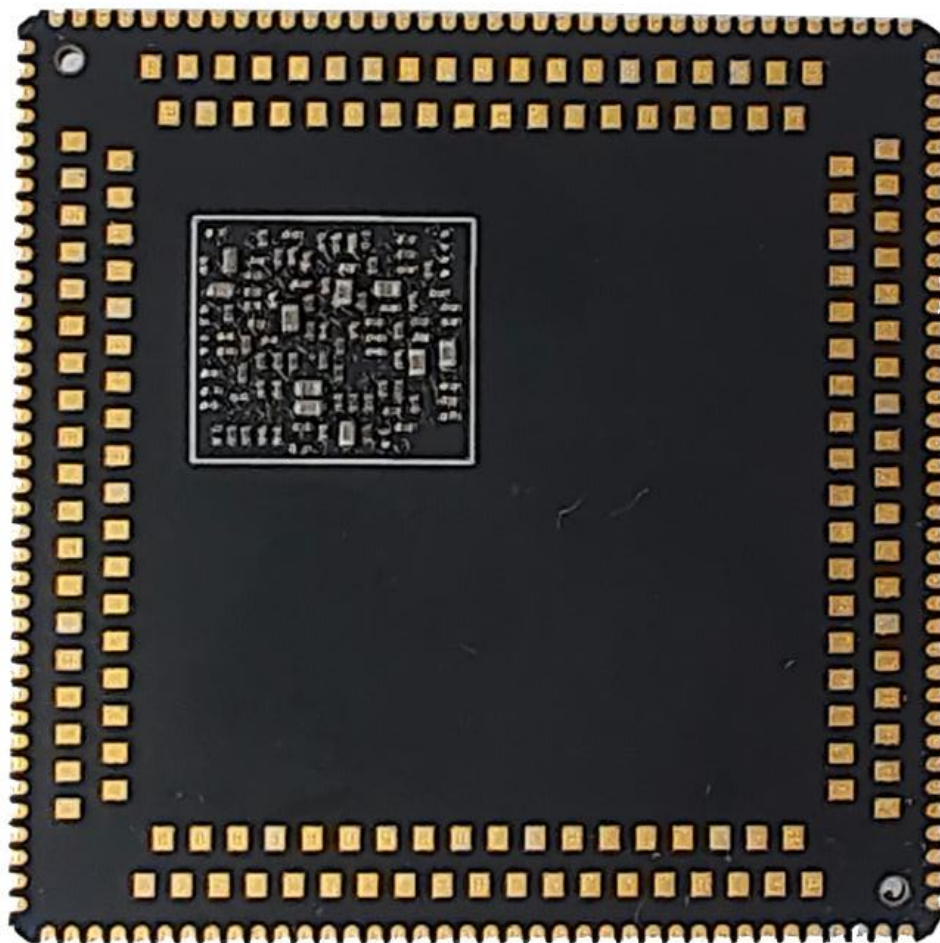


图4. IDO-SOM7609-S1核心板背面

1.5 适用场景

IDO-SOM7609-S1采用瑞芯微第二代8nm高性能AIOT平台RK3576/RK3576J，可广泛应用于AGV，机器人，AI终端，智慧医疗，智慧商显，工控主机，边缘计算网关等行业领域。

1.6 基本参数

基本参数	
SOC	RockChip RK3576/RK3576J
CPU	Quad-core Cortex-A72 and quad-core Cortex-A53，主频高达2.2GHz

GPU	1. ARM Mali G52 MC3 GPU 2. OpenGL ES 1.1,2.0, and 3.2 3. Vulkan 1.1 4. OpenCL 2.0 Full Profile 5. 2D Graphics Engine (RGA)
NPU	6TOPS INT8, 支持INT4/INT8/INT16/FP16/TF32混合运算
ISP	1. ISP V3.9 2. 16M Pixel ISP with HDR (up to 120dB)
VPU	视频解码： 1. H.265/HEVC/AVS2/VP9/AV1, 8K@30fps or 4K@120fps 2. H.264/AVC/MJPEG, 4K@60fps 视频编码： 1. H.265/H.264, 4K@60fps 2. MJPEG, 4K@60fps
内存	4GB/8GB/16GB LPDDR4/4x 4266Mbps
存储	32GB/64GB/128GB/256GB eMMC (V5.1)
硬件参数	
视频输入	2 × MIPI DPHY CSI (支持MIPI V1.2 版本; 1 × 4 Lanes 或2 × 2 Lanes) 、 1 × MIPI DCPHY CSI RX (DPHY 支持V2.0 版本支持4Lane/2Lane/1Lane模式; CPHY 支持V1.1 版本支持0/1/2 Trio模式) 1 × DVP (8/10/12/16-bit, BT.601/BT.656 and BT.1120)

视频输出	1 × HDMI2.1(4096×2160@120Hz)/eDP1.3(4096×2160@60Hz支持1Lane/2Lane/4Lane 模式) 1 × DP1.4 (4096×2160@120Hz) 1 × EBC 输出接口 (支持 E-ink EPD (Electronic Paper Display), 2560×1920) 1 × MIPI_DCPHY_TX(支持V2.0 版本支持0/1/2/3 Lane模式; C-PHY 支持V1.1 版本支持0/1/2 Trio模式; 2560×1600@60Hz) 1 × LCDC TX(支持并行24bit RGB 模式1920×1080@60Hz、16bit BT1120 模式1920×1080@60Hz、8bit BT656 模式720×576@60Hz 以及MCU模式)
音频	2 × SAI (4T/4R)、3 × SAI (1T/1R), 支持I2S/TDM/PCM 模式, 支持高达192KHz 的采样率 2 × SPDIF TX & RX (8ch;最大支持24bits 解析度) 2 × PDM (最高8 channels, 音频分辨率16~24 位, 采样率达192KHz, 支持PDM 主接收模式) 2 × DSM (支持双倍数据速率接口; 支持8 线和16 线串行传输模式; DSMC_CLKP/N 最高速率为100MHz)
UFS	1 × UFS2.0总线
USB	1 × USB3.2 Gen1 OTG0 (与DP1.4复用) 1 × USB3.2 Gen1 OTG1 (与PCIe 2.1/SATA 3.1复用)
PCIe/SATA	1 x PCIe2.1/SATA3.1 (1 lane) 1 x PCIe2.1/SATA3.1/USB3.2 Gen1 (1 lane)
网络	2 × RGMII 支持2路千兆以太网

扩展接口	2 × FlexBus数据总线 12 × UART 5 × SPI, 支持主从模式 2 × CAN FD 9 × I2C 2 × I3C 2 × SDIO v3.0 16 × PWM, 支持红外输入, 时钟计数 8 × ADC, 1MS/s, 12bits 133 × GPIO
其他	
核心板尺寸	40.5mm X 40.5mm X 4mm
接口类型	300Pin LCC (邮票孔152PIN) +LGA (背面焊盘148PIN) 封装
PCB规格	1.5mm 10层高密板, 沉金工艺

1.7 工作环境

工作环境	
工作温度	0°C~+70°C [RK3576 商业级] -40°C~+85°C [RK3576J 工业级]
存储温度	-40°C ~ +85°C
存储湿度	0%~90% RH (无凝露)

2、硬件设计说明

2.1 电源系统设计说明【必看】

IDO-SOM7609-S1核心板主电源输入VCC5V0_SYS_S5（核心板引脚C1、C2、C3、C4、C5、C6、C7）。

核心板提供4个电源输出引脚为VCC_1V8_S3、VCC_3V3_S3、VCC_1V8_S0、VCC_3V3_S0。用于3.3V电源域和1.8V电源域的引脚参考电平，**底板使用时应限流100mA**。

与电源系统设计相关的其它引脚，包括 PMIC_VDC 、PMIC_EXT_EN_OUT 、PWRON_L 、RESET_L。分别用于上电开机，开关机控制输出，系统开关机、系统复位。

电源相关引脚	引脚编号	方向	引脚说明
VCC5V0_SYS_S5_IN	1、2	电源输入	系统的主要输入供电，保障5V@2A持续和4A瞬间电流供电能力。供电范围3.6V~5V
VCC_1V8_S3	151	电源输出	1.8V对外供电，用于1.8V电源域参考电平， 待机不掉电 。
VCC_3V3_S3	152	电源输出	3.3V对外供电，用于3.3V电源域参考电平， 待机不掉电 。
VCC_1V8_S0	72	电源输出	1.8V对外供电，用于1.8V电源域参考电平， 待机掉电 。
VCC_3V3_S0	73	电源输出	3.3V对外供电，用于3.3V电源域参考电平， 待机掉电 。
VCCIO2_IN	71	电源输入	GPIO2组IO电源域参考电平输入
VCCIO4_IN	37	电源输入	GPIO4组IO电源域参考电平输入
VCCIO5_IN	38	电源输入	GPIO5组IO电源域参考电平输入

PMIC_VDC	150	电源检测输入	检测DC电源，用于插电开机控制。VDC电压第一次>0.55V，自动触发开机。无需插电自动开机时，可下拉到地。
PMIC_EXT_EN_OUT	B2	开关机控制输出	开机时输出高电平，关机时输出低电平
PWRON_L	149	开关机信号输入	开关机信号输入检测引脚，低电平有效
RESET_L	B3	系统复位信号输入	系统复位信号输入检测引脚，低电平有效，默认悬空

核心板峰值电流表

电源名称	最小电压	标称值	最大电压	峰值电流	待机电流
VCC5V0_SY S_S5_IN	4.5V	5.0V	5.4V	5V/1200mA	5V/8mA

上电时序要求：

1. 核心板主供电**VCC5V0_SYS_S5_IN**（核心板引脚1、2）优先供电。
2. 底板**1.8V** 和 **3.3V** 供电在**VCC_1V8_S0**输出后再上电，可用**VCC_1V8_S0**作为底板**1.8V** 和 **3.3V** 供电使能。

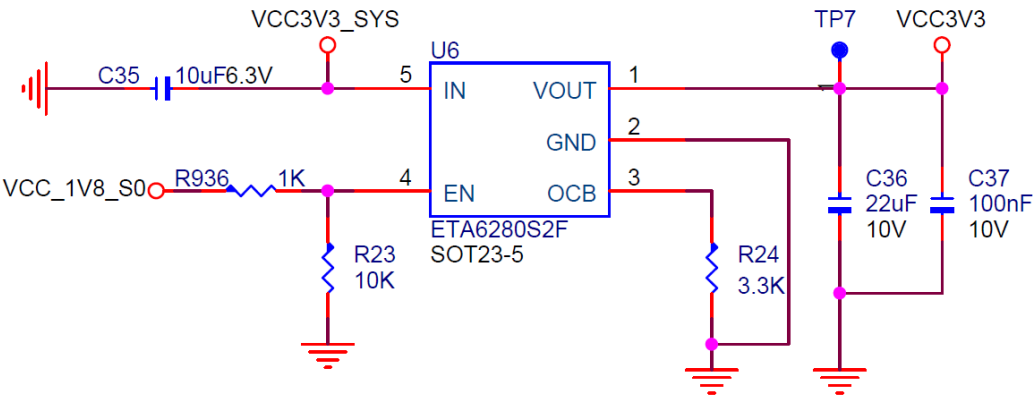
电源设计注意事项：

1. 核心板**VCC5V0_SYS_S5_IN** 注意浪涌保护，过冲电压必须<5.5V，否则容易烧坏核心板电源芯片。
2. 严格按照上电时序要求。
3. **VCCIO2_IN**, **VCCIO4_IN**, **VCCIO5_IN** 三组IO供电，务必从核心板输出电源**VCC_1V8_S3**、**VCC_3V3_S3**、**VCC_1V8_S0**、**VCC_3V3_S0** 中四选一供电。
4. **VCC_1V8_S3**、**VCC_3V3_S3**、**VCC_1V8_S0**、**VCC_3V3_S0** 四组供电输出，只能用于IO电压域供电，不得用于负载供电，**供电限流100mA**。
5. 注意各路IO引脚电平匹配。
6. 注意各路IO不得在核心板上电前对核心板带电输出，IO向核心板灌电会导致启动异常或芯片损伤。

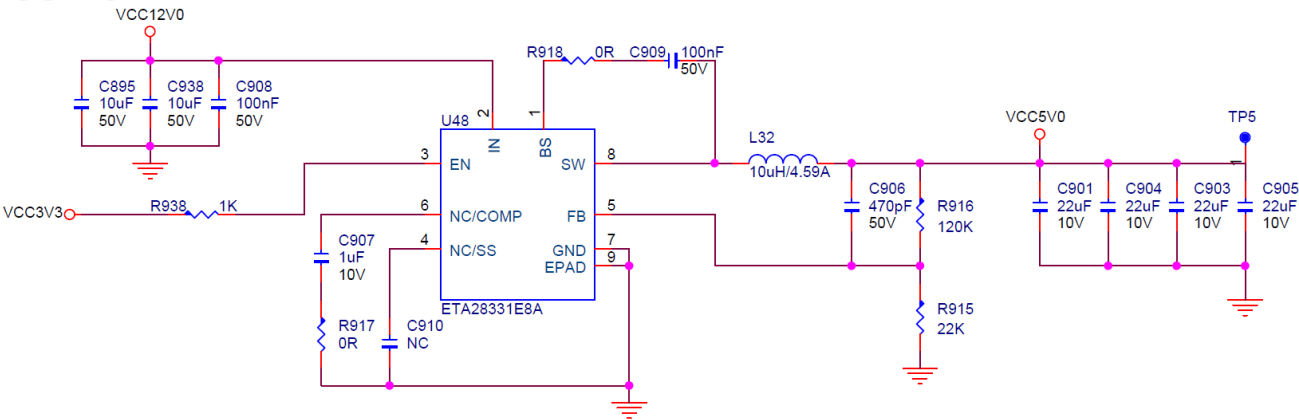
关于待机：

1. 待机指示

待机时VCC_1V8_S0、VCC_3V3_S0会掉电， 底板外围电源在待机时需要关闭的可以用VCC_1V8_S0控制。参考下图：



VCC5V0



2. RK3576进入深度待机状态时，只有CPU和DDR部分区域保持供电，大部分的IO电源是断电的，所以需要深度待机时，仍然可以保持状态的IO，需要选期待机时保持供电的IO组。IDO-SOM7609-S1核心板深度待机后保持供电的IO组为PMUIO0和PMUIO1组。如下图示：

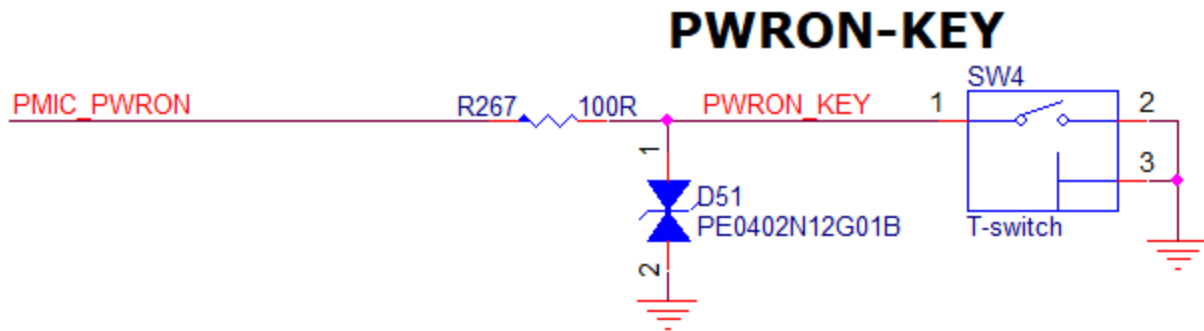
PMUIO0	REF_CLK0_OUT/AUPLL_CLK_IN_M0/GPIO0_A0_d	H13
Domain	CLK_32K_IN/CLK0_32K_OUT/I2C6_SCL_M0/GPIO0_A2_d	H12
Operating	PWR_CTRL3/I2C6_SDA_M0/GPIO0_A5_d	H11
VCC_1V8_S3	SDMMC0_DET/SPI2_CS_N1_M0/GPIO0_A7_u	G13
	AUPLL_CLK_IN_M1/SPI2_CS_N0_M0/I2C0_SCL_M0/GPIO0_B0_z	G12
	SPI2_MISO_M0/I2C0_SDA_M0/GPIO0_B1_z	G11

U1	
H9	REF_CLK1_OUT/I2C1_SCL_M1/UART4_TX_M2/PWM1_CH0_M0/GPIO0_B4_d
H8	REF_CLK2_OUT/I2C1_SDA_M1/UART4_RX_M2/PWM1_CH1_M0/GPIO0_B5_d
H7	SDMMC0_PWREN/SDMMC1_DETN_M2/HDMI_TX_HPDIN_M1/EDP_TX_HPDIN_M1/PWM1_CH2_M0/GPIO0_B6_d
H6	I2C2_SCL_M0/UART1_TX_M0/NPU_AVS/PWM1_CH4_M0/GPIO0_B7_d
H5	I2C2_SDA_M0/UART1_RX_M0/CPULIT_AVS/PWM1_CH3_M0/GPIO0_C0_d
H4	I2C0_SCL_M1/UART8_TX_M2/I3C0_SCL_M0/GPIO0_C1_d
H3	I2C0_SDA_M1/UART8_RX_M2/I3C0_SDA_M0/GPIO0_C2_d
H2	PDM0_CLK1_M0/HDMI_TX_CEC_M1/SPI0_CSN1_M0/PWM0_CH1_M0/GPIO0_C3_d
G9	SAI0_MCLK_M1/PDM0_CLK0_M0/UART10_TX_M2/PWM0_CH0_M0/GPIO0_C4_d
G8	SAI0_SDO0_M1/DP_HPDIN_M1/UART10_RX_M2/I3C0_SDA_PU_M0/GPIO0_C5_d
G7	SAI0_SCLK_M1/I2C3_SCL_M1/SPI0_CSN0_M0/GPIO0_C6_d
G6	SAI0_LRCK_M1/I2C3_SDA_M1/SPI0_CLK_M0/GPIO0_C7_d
G5	SAI0_SDI0_M1/PDM0_SDI0_M0/SPI0_MOSI_M0/GPIO0_D0_d
G4	SAI0_SDI1_M1/SAI0_SDO3_M1/PDM0_SDI1_M0/SPI0_MISO_M0/GPIO0_D1_d
G3	SAI0_SDI2_M1/SAI0_SDO2_M1/PDM0_SDI2_M0/I2C4_SCL_M0/CPUBIG_AVS/PWM1_CH5_M0/UART1_CTSN_M0/GPIO0_D2_d
G2	SAI0_SDI3_M1/SAI0_SDO1_M1/PDM0_SDI3_M0/I2C4_SDA_M0/GPU_AVS/PWM2_CH0_M0/UART1_RTSN_M0/GPIO0_D3_d
I20	UART0_TX_M0/JTAG_TCK_M1/GPIO0_D4_u
I19	UART0_RX_M0/JTAG_TMS_M1/GPIO0_D5_u
..	

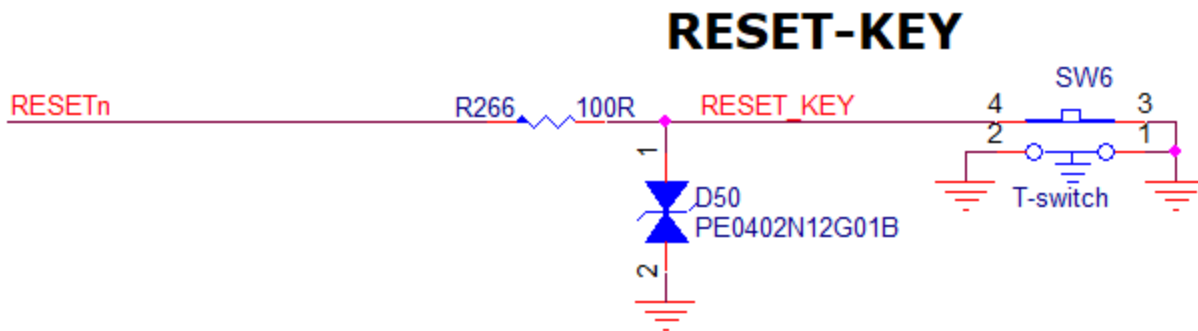
PMUIO1
Domain
Operating
VCC_3V3_S3

3. IDO-SOM7609-S1核心板的待机功耗实际测试在【5mA-8mA】5V。

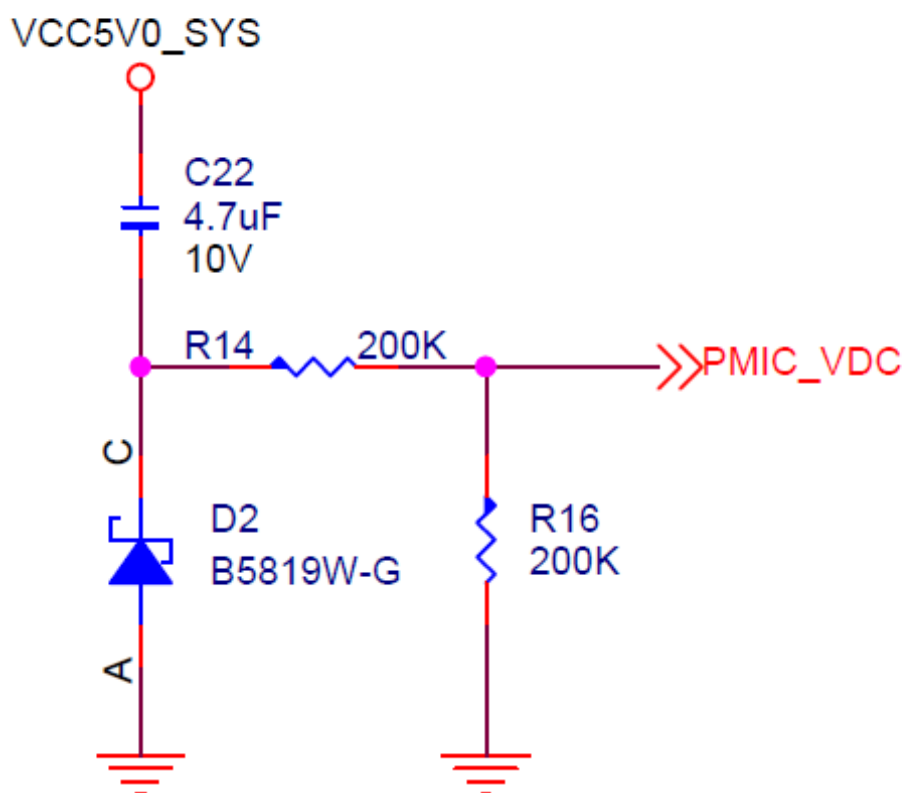
开关机按键参考设计：



复位按键参考设计：



上电自动开机的PMIC_VDC参考设计：



2.2 调试下载相关电路【必看】

所有基于IDO-SOM7609-S1的底板设计，都强烈建议保留下面三种调试下载相关电路！

1. USB0 OTG接口，主要用于固件下载及ADB调试

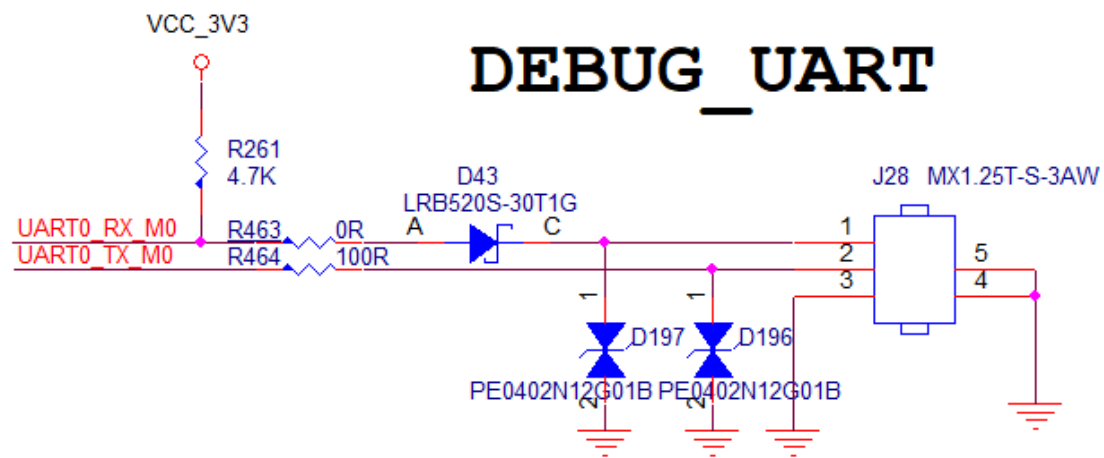
具体电路参考[2.4节 USB3.2/2.0](#)

2. 调试串口, 用于系统日志消息和控制终端命令行操作，系统默认使用的调试串口是UART0（M0组）。

UART资源	引脚编号	UART信号定义	电源域
UART0 (M0组)	119	UART0_RX_M0	PMUIO1(调试串口)
	120	UART0_TX_M0	

设计注意事项：

调试串口在使用时经常连接USB转UART TTL 模块，经常在SOM7609-S1未上电时，UART0_RX_M0已经由USB转UART TTL 模块灌电。强烈建议采用RS232芯片转换或者采用下面转换电路避免引脚灌电：



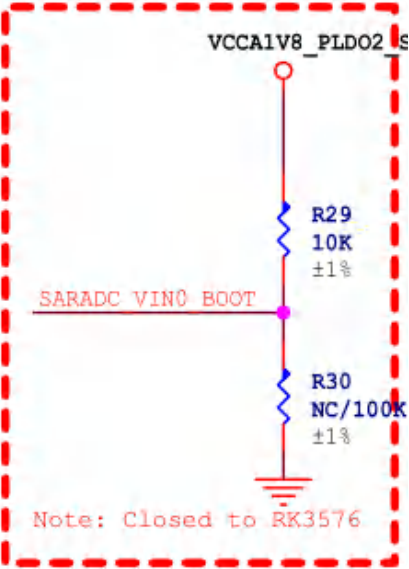
3. 启动模式及功能按键

引脚号	引脚定义	电源域	描述
G18	SARADC_IN0_BOOT	1.8V	BOOT模式选择，用于启动模式选择，引脚悬空时，内部模认分压从eMMC优先启动；一般做成BOOT按键，按下按键短接到GND，再上电可强制进入Maskrom烧录模式
5	SARADC_IN1_KEY/RECOVERY	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板内部上拉10K电阻到1.8V。

SARADC_IN0_BOOT在核心板上按照下图config11已经做了分压电阻，启动顺序为eMMC--USB。
SOM7609-S1核心板上的分压配置如下图：

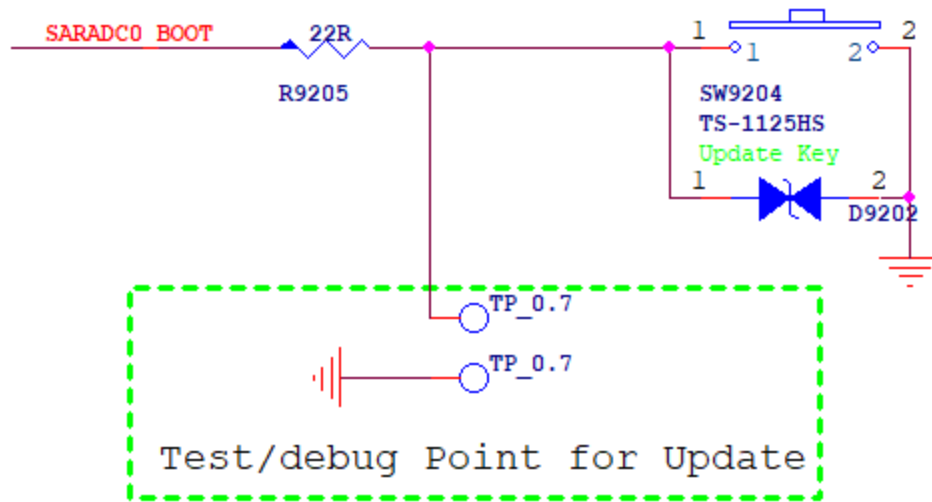
BOOT MODE CONFIG

Config Table for SARADC_VIN0_BOOT				
Item	Rup	Rdown	ADC Value	Boot Mode
Config1	NC	10K	0	USB (Maskrom mode)
Config2	10K	1.13K	416	FSPI0->USB
Config3	10K	2.49K	816	FSPI1_M0->EMMC->USB
Config4	10K	4.3K	1231	FSPI1_M1->EMMC->USB
Config5	10K	6.8K	1658	FSPI0->UFS->USB
Config6	10K	10K	2048	FSPI1_M0->UFS->USB
Config7	10K	14.7K	2437	UFS->USB
Config8	10K	23.2K	2862	UFS->SDMMC0->USB
Config9	10K	40.2K	3279	RFU
Config10	10K	88.7K	3680	EMMC->SDMMC0->USB
Config11	10K	NC	4095	EMMC->USB



底板上的BOOT按键参考电路，如下图：

Maskrom/Update Key

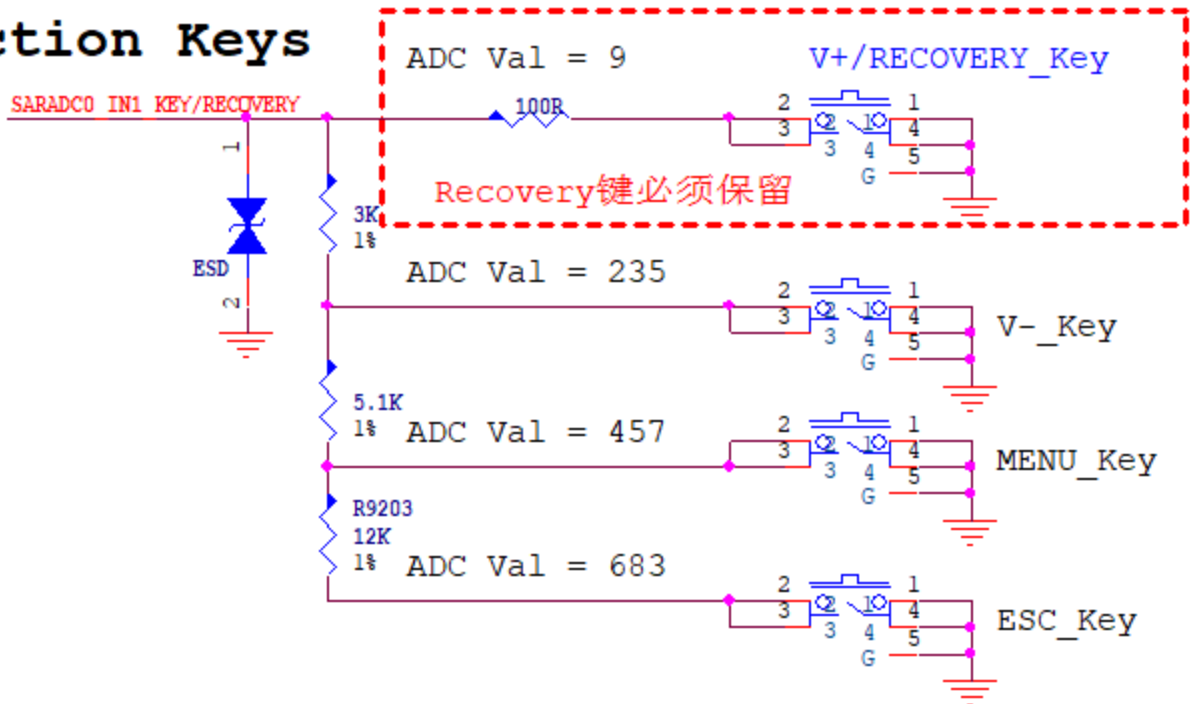


当系统变“**砖**”时，启动时BOOT模式按键处于按下状态，即将SARADC_IN0_BOOT保持为低电平（0V），则 RK3576 进入 Maskroom 模式，当 PC 识别到 USB 设备时，即可进行固件烧写。

注意：为了方便开发，建议预留BOOT按键或预留测试点。

SARADC_IN1_KEY/RECOVERY系统默认用作功能按键，核心板上已经做了10K电阻上拉，功能按键参考下图设计：

Function Keys



注意：为了方便开发，强烈建议必须保留SARADC_IN1_KEY/RECOVERY按键。

2.3 SDIO接口设计

SOM7609-S1核心板扩展出2路MMC/SDIO资源, 兼容SDIO3.0和MMC ver4.51, 4bit数据位宽, 可用于扩展SD卡和WIFI模块, 最高可支持 200MHz。SDMMC主要用于连接SD存储卡, 也可用于WiFi模块SDIO接口。

2.3.1 SDMMC0接口

- SDMMC0接口复用在VCCIO1电源域;
- SDMMC0支持System Boot, 默认分配接SD卡功能; 支持EMMC/UFS为空片时, 通过SD卡来升级固件, 同时也支持EMMC/UFS启动后, 通过SD卡对EMMC/UFS进行固件升级;
- 当接SD卡时: 支持SD3.0模式兼容SD2.0模式: IO电平默认供3.3V电源, 待和SD卡协商跑SD3.0模式后, 供电电压软件自动切换成1.8V供电; (SDIO2.0模式电平为3.3V, SDIO3.0模式电平为1.8V)

SDMMC0引脚资源如下表所示:

引脚编号	引脚名称	电源域	备注
19	SDMMC0_CLK	VCCIO1	SD时钟发送
18	SDMMC0_CMD	VCCIO1	SD命令发送/接收
17	SDMMC0_D3	VCCIO1	SD数据发送/接收3
16	SDMMC0_D2	VCCIO1	SD数据发送/接收2
15	SDMMC0_D1	VCCIO1	SD数据发送/接收1
14	SDMMC0_D0	VCCIO1	SD数据发送/接收0
G13	SDMMC0_DET_N	PMUIO0	SD卡插入检测
H7	SDMMC0_PWREN	PMUIO1	SD卡供电控制

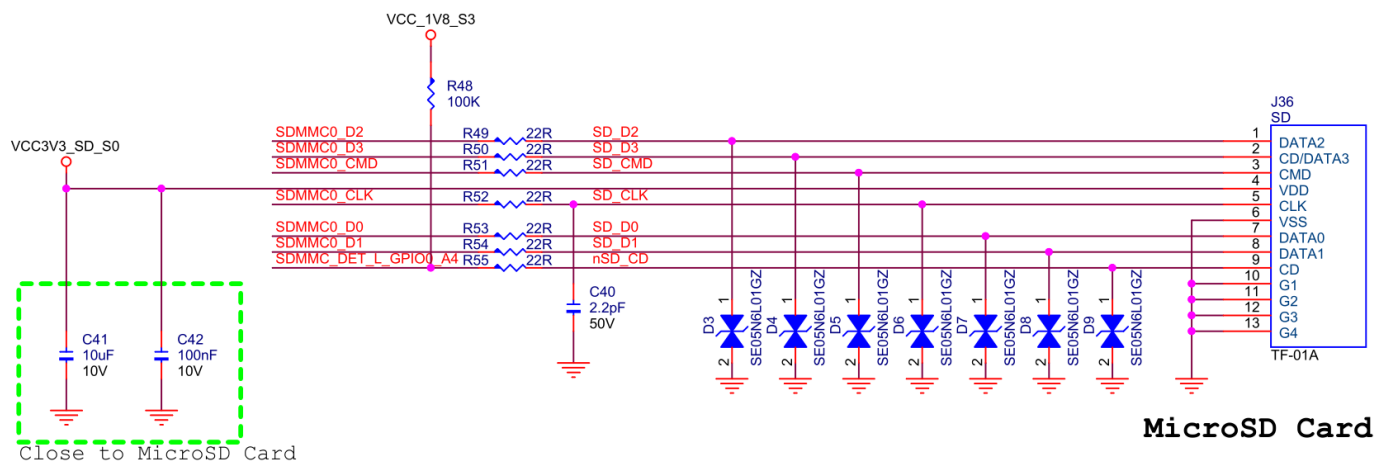


图5. MMC外接TF卡参考设计

2.3.2 SDMMC1接口

●SDMMC1接口复用两个位置，一个在VCCIO3电源域，一个在VCCIO4电源域，只能使用其中一个，要么全部用VCCIO3电源域，要么全部用VCCIO4电源域，不支持有些使用VCCIO3电源域，有些使用VCCIO4电源域；

●不支持System Boot；

●VCCIO3供电电源为1.8V，VCCIO4供电电源为1.8V or 3.3V，根据外设需要选择对应的电压，需要注意和外设的IO电压保持一致；

SDMMC1_M0引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
12	SDMMC1_CLK_M0	VCC_1V8_S3	SD时钟发送
11	SDMMC1_CMD_M0	VCC_1V8_S3	SD命令发送/接收
9	SDMMC1_D3_M0	VCC_1V8_S3	SD数据发送/接收3
10	SDMMC1_D2_M0	VCC_1V8_S3	SD数据发送/接收2
8	SDMMC1_D1_M0	VCC_1V8_S3	SD数据发送/接收1
7	SDMMC1_D0_M0	VCC_1V8_S3	SD数据发送/接收0
A2	SDMMC1_DETN_M0	VCC_1V8_S3	SD卡插入检测
A1	SDMMC1_PWREN_M0	VCC_1V8_S3	SD卡供电控制

SDMMC1_M1引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
B15	SDMMC1_CLK_M1	VCCIO4_IN	SD时钟发送
B14	SDMMC1_CMD_M1	VCCIO4_IN	SD命令发送/接收
B12	SDMMC1_D3_M1	VCCIO4_IN	SD数据发送/接收3
B11	SDMMC1_D2_M1	VCCIO4_IN	SD数据发送/接收2
B10	SDMMC1_D1_M1	VCCIO4_IN	SD数据发送/接收1
B9	SDMMC1_D0_M1	VCCIO4_IN	SD数据发送/接收0
A18	SDMMC1_DETN_M1	VCCIO4_IN	SD卡插入检测
B16	SDMMC1_PWREN_M1	VCCIO4_IN	SD卡供电控制

注意:

- 1.走线阻抗控制50Ω，参考面完整，整组走线等长控制±200mil；
- 2.建议串匹配电阻（典型值22Ω），时钟信号匹配电阻靠近SOM7609引脚侧放置，时钟信号预留2.2pF电容；
- 3.请确保外设的IO电平与CPU的IO电平保持一致，否则需要做电平匹配处理。

2.4 USB3.2/2.0设计

SOM7609-S1核心板引出2路USB3.2 OTG和2路USB2.0 OTG，其中USB2_OTG0为系统固件烧录口，初期设计必须引出作为升级和调试。设计底板如要扩展多USB接口，可以使用USB2_OTG1通过USB HUB芯片去实现扩展。

2.4.1 USB3 OTG0/DP1.4 接口应用

USB2_OTG0（固件下载口，采用TYPEC接口）引脚资源如下表所示：

引脚编号	引脚名称	连接方式	备注
82	USB3_OTG0_SSRX1P	串接0Ω 电阻	可复用为DP_TX_D0P信号

81	USB3_OTG0_SSRX1N		可复用为DP_TX_D0N信号
80	USB3_OTG0_SSTX1P	串接100nF 电容	可复用为DP_TX_D1P信号
79	USB3_OTG0_SSTX1N		可复用为DP_TX_D1N信号
84	USB3_OTG0_SSRX2P	串接0Ω 电阻	可复用为DP_TX_D2P信号
83	USB3_OTG0_SSRX2N		可复用为DP_TX_D2N信号
85	USB3_OTG0_SSTX2P	串接100nF 电容	可复用为DP_TX_D3P信号
86	USB3_OTG0_SSTX2N		可复用为DP_TX_D3N信号
E7	DP_TX_AUXP	串接100nF 电容	/
E6	DP_TX_AUXN		/
77	USB2_OTG0_DM	串接2.2Ω 电阻	OTG0可用于下载烧录功能
78	USB2_OTG0_DP		
F8	USB2_OTG0_VBUSDET	电阻分压检测≤3.3V	OTG0 VBUS检测，高有效
F9	USB2_OTG0_ID	/	USB OTG0 ID 识别 Micro USB 接口时需要使用

由于USB3的OTG和USB2.0的OTG是同一个USB3的控制器，因此USB3和USB2.0的OTG只能同时做Device或者做HOST，不能USB3的OTG做HOST，USB2.0的OTG做Device或者USB3的OTG做Device而USB2.0的OTG做HOST。

USB3 OTG0 Controller和DP1.4 Controller通过USB3/DP1.4的Combo PHY组合成一个完整的TYPE-C口，此Combo PHY支持Display Alter mode，Lane0和Lane2在DP mode下做TX，在USB mode下做RX；TX和RX共享Lane0和Lane2。

这个USB3/DP1.4的Combo PHY支持Lane间的交换（SWAP）， 因此一个TYPE-C标准口可以有如下五种
的配置：

●配置一： Type-C 4Lane(with DP function)

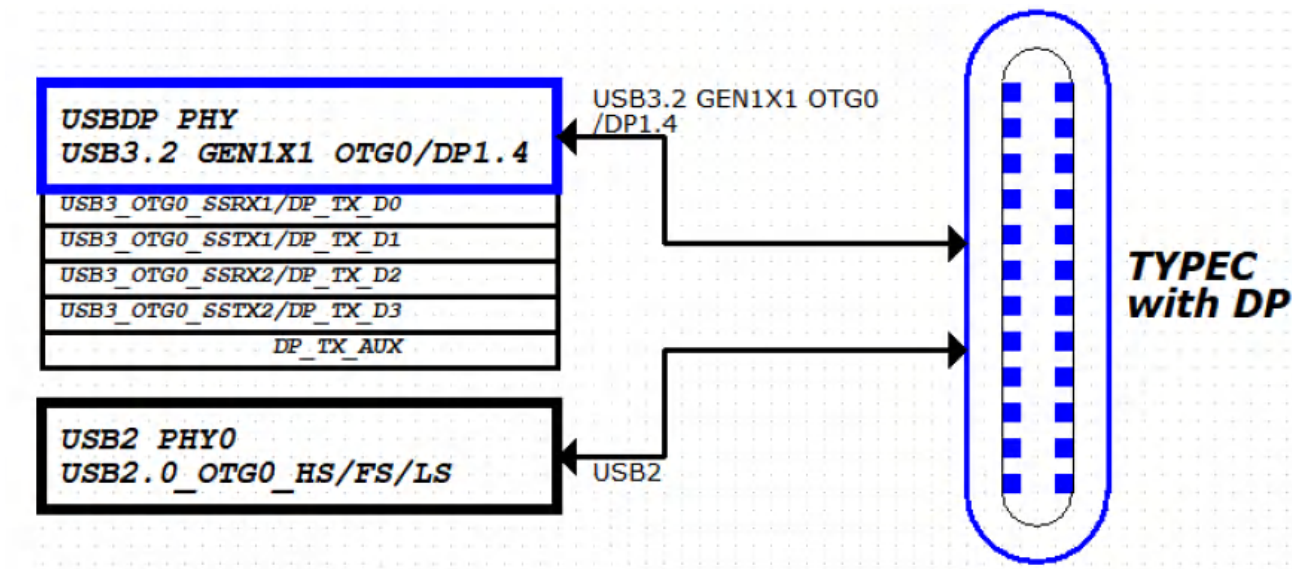


图6. TYPEC 4Lane与DP的连接框图

●配置二： USB2.0 OTG+DP1.4 4Lane(Swap OFF)

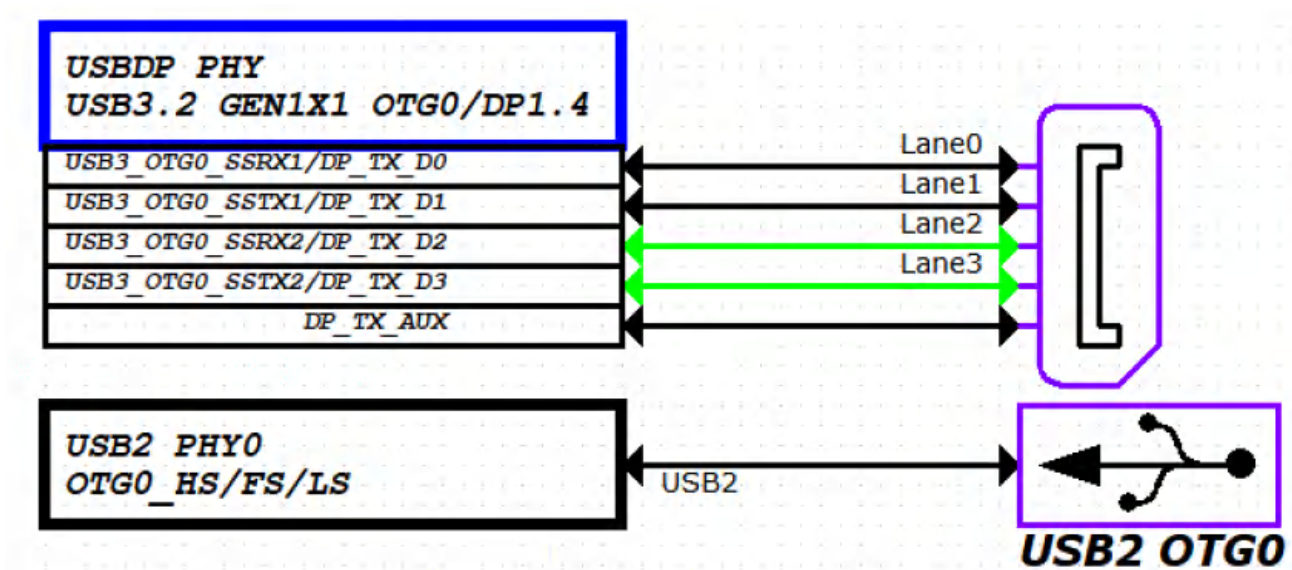


图7. USB2.0 OTG+DP 4Lane的连接框图

●配置三： USB2.0 OTG+DP1.4 4Lane(Swap ON)

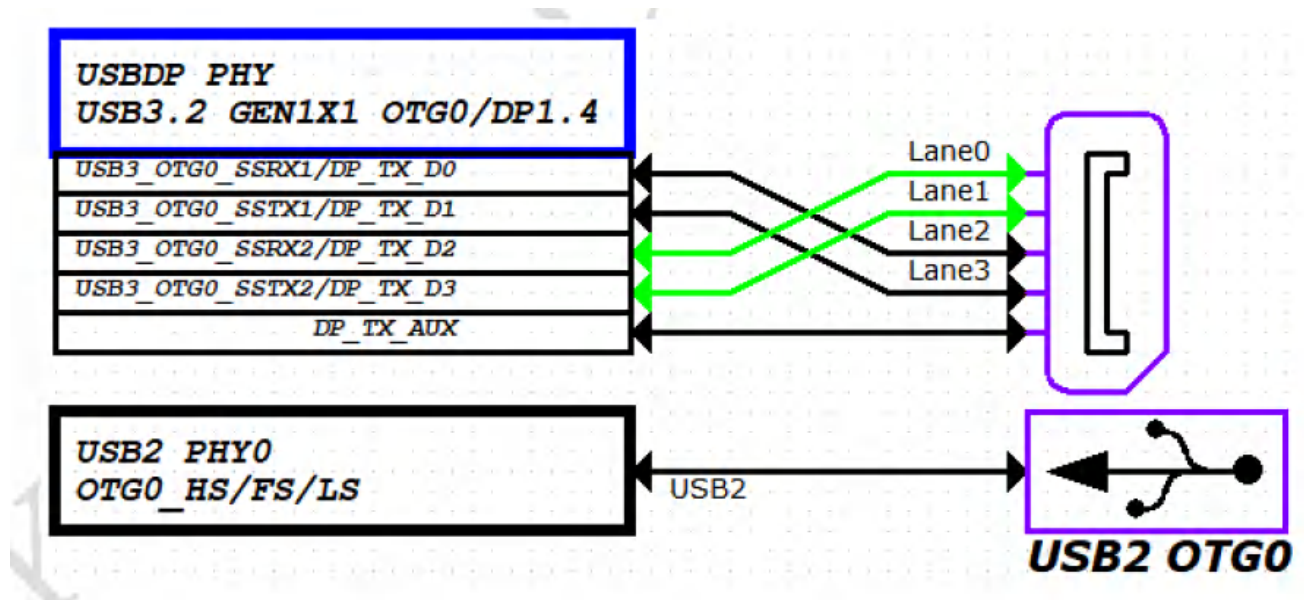


图8. USB2.0 OTG+DP 4Lane(Swap ON)的连接框图

●配置四：USB3.2 Gen1x1 OTG0+DP1.4 2Lane(Swap OFF)

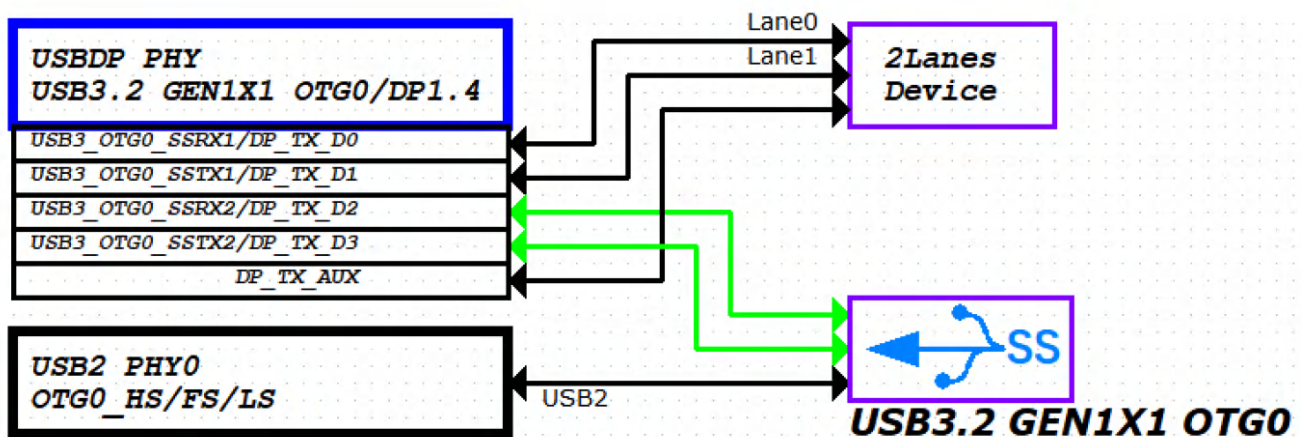


图9. USB3.2 Gen1x1 OTG0+DP 2Lane(Swap OFF)的连接框图

●配置五：USB3.2 Gen1x1 OTG0+DP1.4 2Lane(Swap ON)

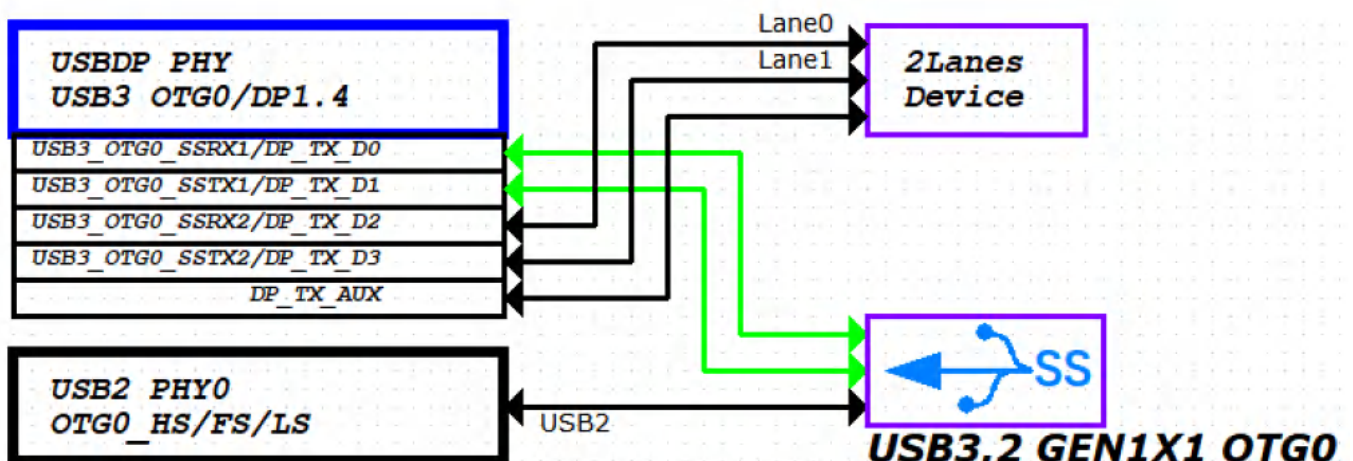


图10. USB3.2 Gen1x1 OTG0+DP 2Lane(Swap ON) 连接框图

注意:

RK3576支持从USB 3.2 Gen1x1 OTG0接口的USB3_OTG0_SSRX1P/N与USB3_OTG0_SSTX1P/N信号下载固件。需要支持USB3.0升级固件且需要支持2Lane DP时，必须采用USB3.2 Gen1x1 OTG0+DP 2Lane(Swap ON)的方案。

2.4.2 USB3 OTG1接口应用

USB3_OTG1引脚资源如下表所示：

引脚编号	引脚名称	连接方式	备注
132	USB3_OTG1_SSTXP	串接100nF 电容	/
131	USB3_OTG1_SSTXN		/
134	USB3_OTG1_SSRXP	串接0Ω 电阻	/
133	USB3_OTG1_SSRXN		/
75	USB2_OTG1_DM	串接2. 2Ω 电阻	USB2.0 OTG1功能
76	USB2_OTG1_DP		
F6	USB2_OTG1_VBUSDET	电阻分压检测<=3.3V	OTG1 VBUS检测，高有效
F7	USB2_OTG1_ID	/	USB OTG1 ID 识别 Micro USB 接口时需要使用

PCIE1/SATA1/USB3 OTG1组成Comb PHY1， USB3 OTG1控制器与PHY的内部复用图如下：

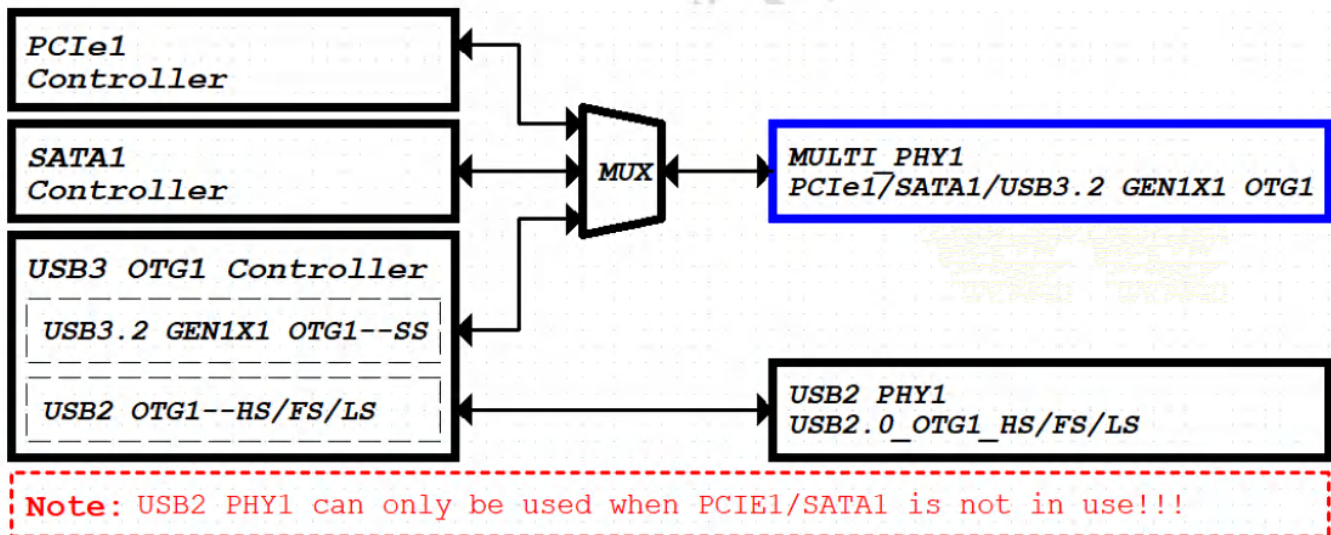


图11. USB3 OTG1 Controller与PHY的内部复用关系

由于USB3的OTG1和USB2.0的OTG1是同一个USB3的控制器，因此USB3和USB2.0的OTG1只能同时做Device或者做HOST，不能USB3的OTG做HOST，USB2.0的OTG做Device或者USB3的OTG做Device而USB2.0的OTG做HOST。

注意:

PCIE1/SATA1/USB3 OTG1的COMBO PHY1设置成PCIE或者SATA功能时，USB3 OTG1功能不能使用，并且USB2.0 PHY1也不能使用；因此要使用USB2.0 OTG1时，PCIE1/SATA1/USB3 OTG1的COMBO PHY1必须设置成USB3功能！！

PCIE1/SATA1/USB3 OTG1的COMBO PHY1中USB3 OTG1的应用方式有如下几种：

●配置一：USB3.2 Gen1x1 OTG1

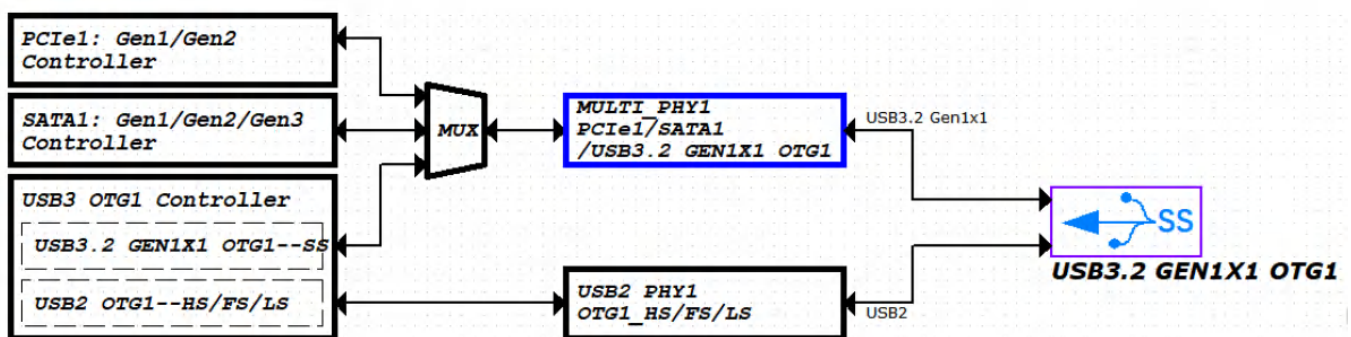


图12. USB3.2 OTG1的连接框图

●配置一：USB2 OTG1

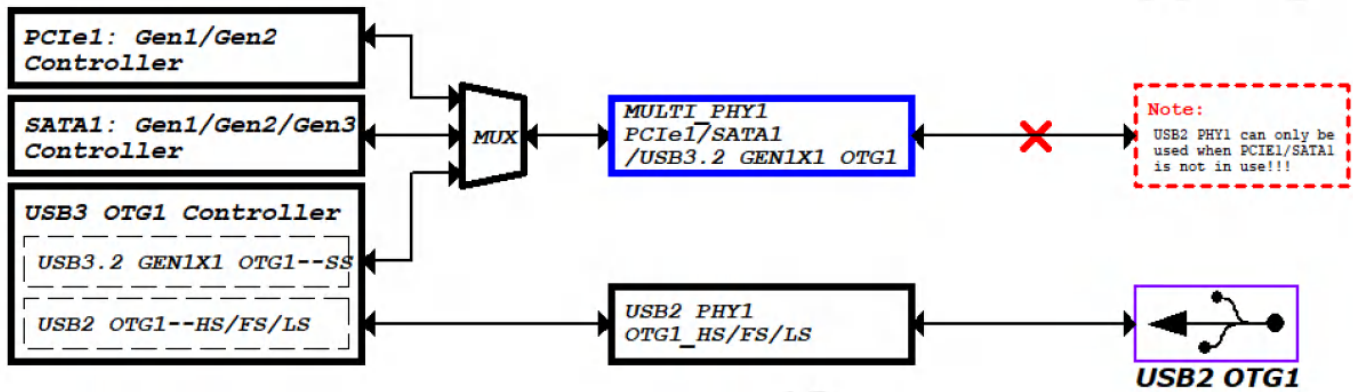


图13. USB2 OTG1的连接框图

●配置一：USB2/USB3不用，PCIE和SATA的具体应用方式详见PCIE和SATA章节

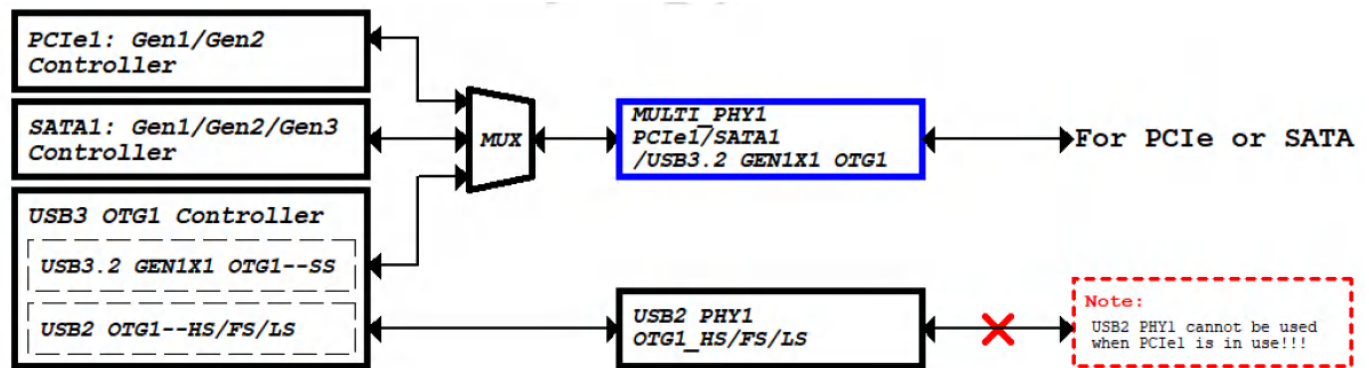


图14. USB2/USB3不用的连接框图

USB2/USB3设计中请注意：

- USB2_OTG0_DP/USB2_OTG0_DM是系统固件烧写口，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，否则会无法调试及生产烧写固件；
- USB2_OTG0_ID内部有大概12Kohm电阻上拉到1.8V
- USB2_OTG0_VBUSDET是OTG和Device模式检测脚，芯片内部有一个下拉40Kohm的电阻；高为DEVICE设备，2.7~3.3V，TYP: 3.0V。

OTG模式可以设置以下三种模式：

- OTG模式：根据ID脚状态自动切换是Device模式或HOST模式，ID高为Device，ID拉低为HOST，处在Device模式时，还会判断VBUSDET脚是否为高（大于2.3V），如果为高，才会拉高DP，开始枚举；
- Device模式：设置为这个模式时，无需ID脚，只需判断VBUSDET脚是否为高（大于2.3V），如果为高，才会拉高DP，开始枚举；

●HOST模式：设置为这个模式时，ID和VBUSDET状态都无需要关心。（如果产品只需要HOST模式，但是由于USB2_OTG0_DP/ USB2_OTG0_DM是系统固件烧写口，在调试与生产过程都需要用这个口，烧写和adb调试时，需要设置成Device模式，因此USB2_OTG0_VBUSDET信号也必须接）。

在uboot起来前默认为Device模式，进uboot后，可根据实际需求配置这三种模式。

若采用TYPEC接口，Pin“USB2_OTG0_VBUSDET”通过一个4.7K上拉电阻接到3.3V即可；若采用Micro USB2.0接口，采用如下电路：

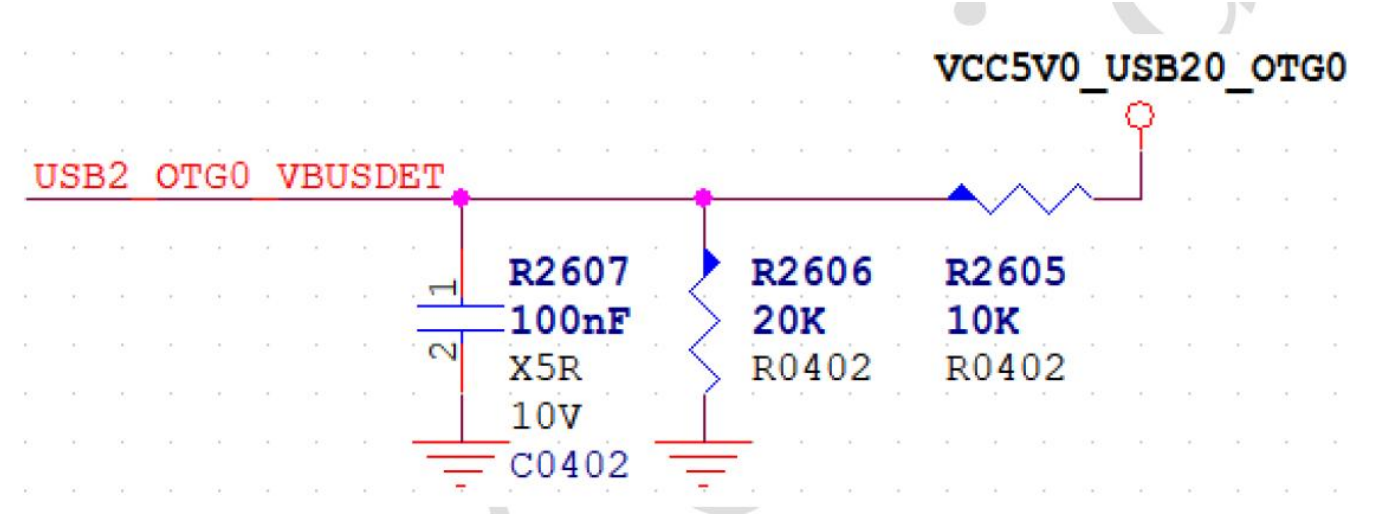


图15. USB2_OTG0_VBUSDET检测电路

- 为提高USB性能，PHY各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- 为加强抗静电和浪涌能力，信号上必须预留ESD器件，USB2.0信号的ESD寄生电容不得超过3pF，另外USB2.0信号的DP/DN串接2.2ohm电阻，加强抗静电浪涌能力，不得删减，见下图，举例USB2_OTG0_DP/DN，其它USB2接口也需要同样处理；

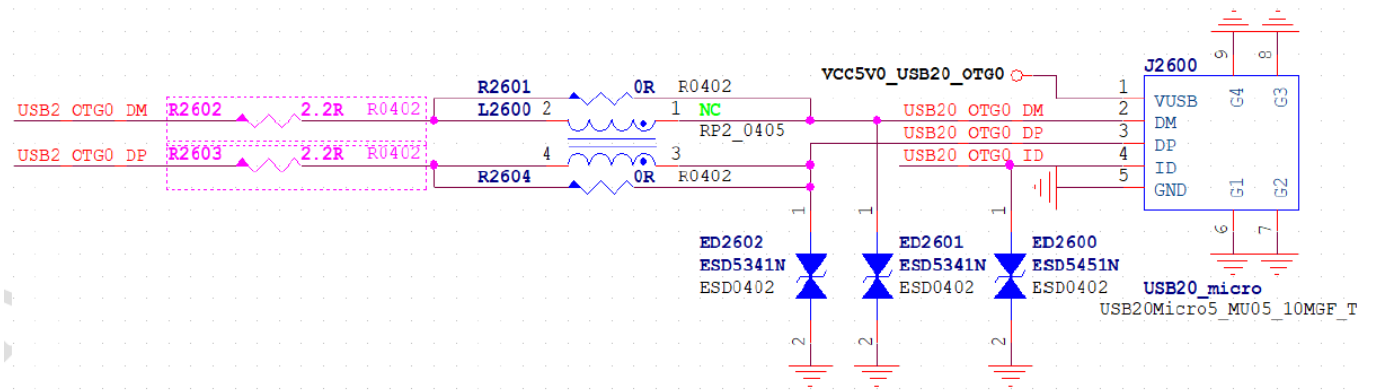


图16. USB2信号串接2.2ohm电阻电路

●为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感，见下图，举例USB2_OTG0_DP/DM，其它USB2接口也需要同样处理。

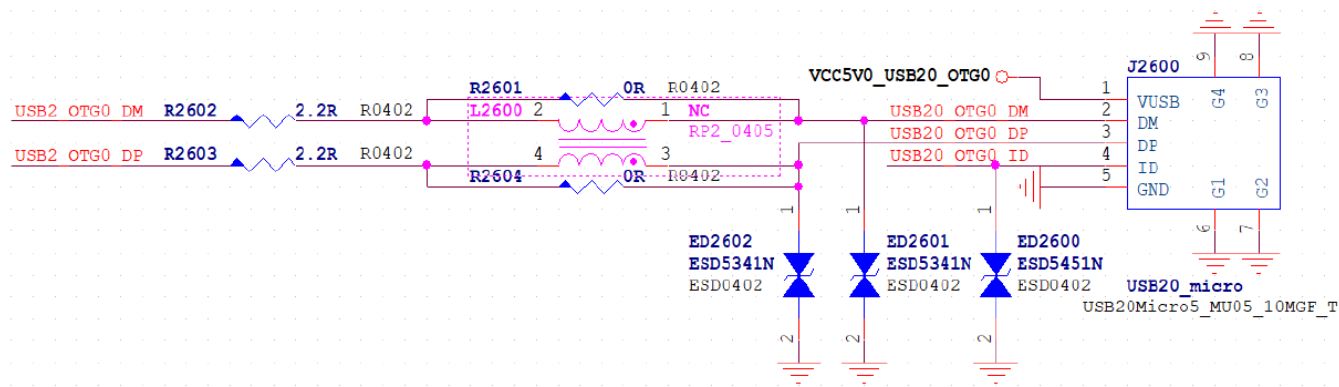


图17. USB2信号串共模电感电路

如果有用USB2_OTG0_ID信号，为加强抗静电和浪涌能力，信号上必须预留ESD器件，而且串接100ohm电阻，不得删减，见下图：

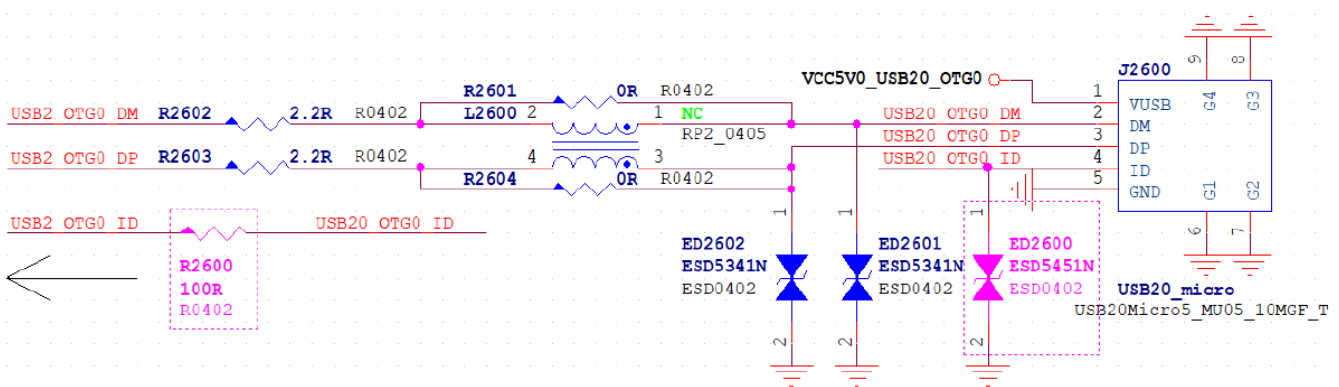


图18. USB2_OTG0_ID脚电路

当HOST功能时，5V电源建议增加限流开关，限流大小根据应用需要可调整，限流开关使用3.3V的GPIO控制，建议5V电源增加22uF和100nF以上的电容滤波；若USB口可能接移动硬盘，建议滤波增加电容到100uF以上。

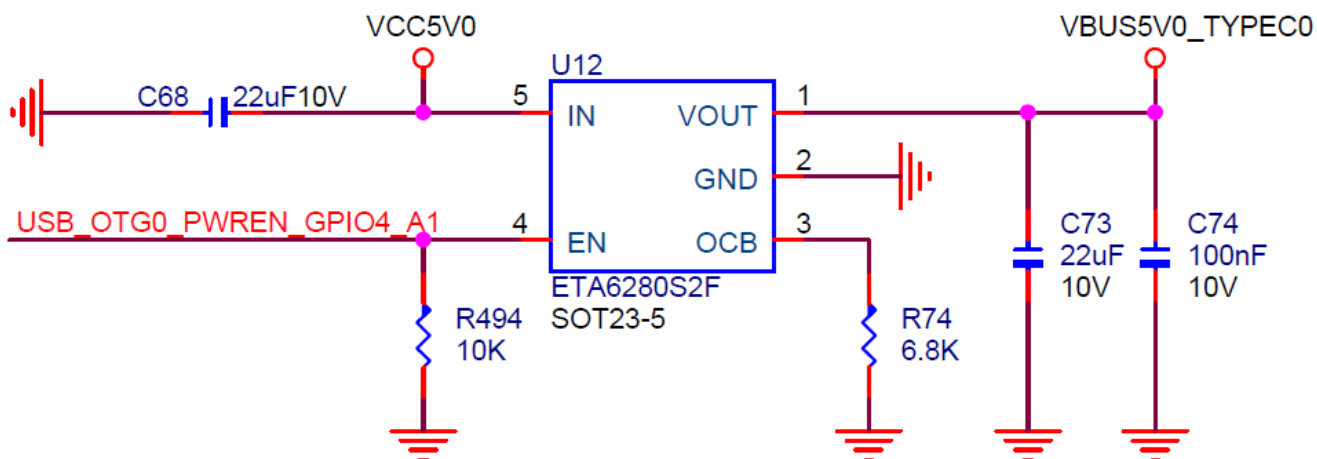


图19. USB 5V限流开关电路

USB3.0协议要求在SSTXP/N线上增加100nF交流耦合电容，AC耦合电容建议使用更低的ESR和ESL，也可减少线路上的阻抗变化。

TYPE-C座子所有信号都必须增加ESD器件，布局时靠近USB连接器放置。对于SSTXP/N，SSRX/N信号，ESD寄生电容不得超过0.3pF。

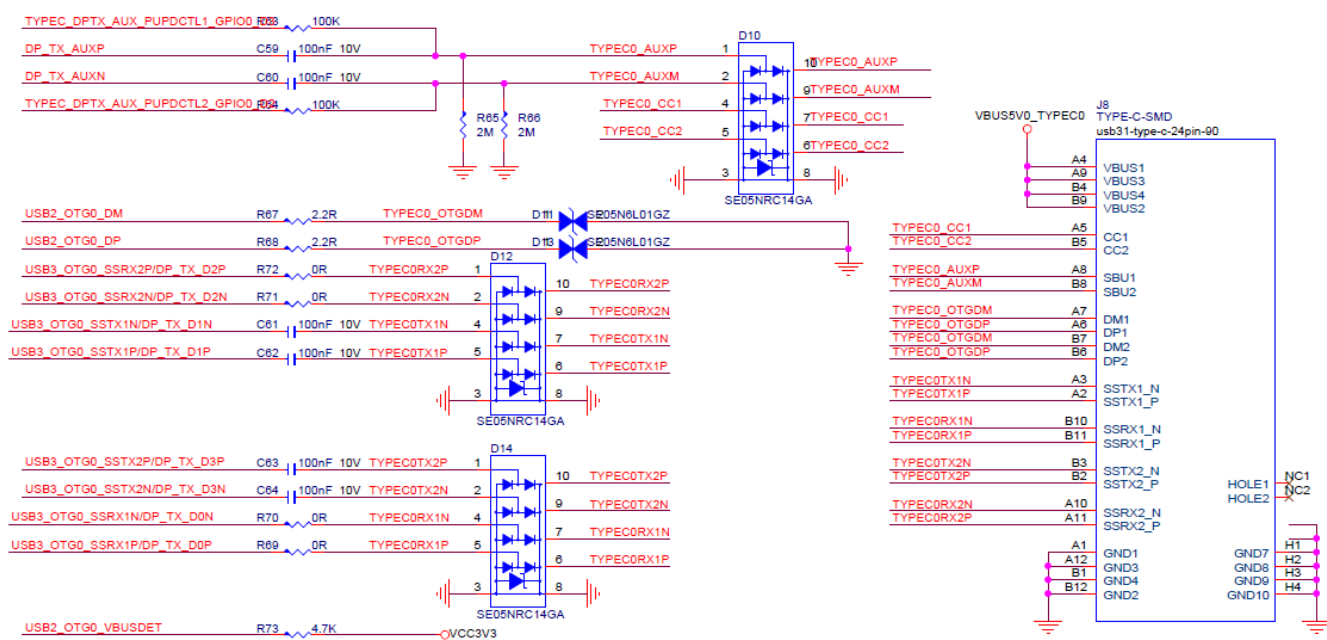
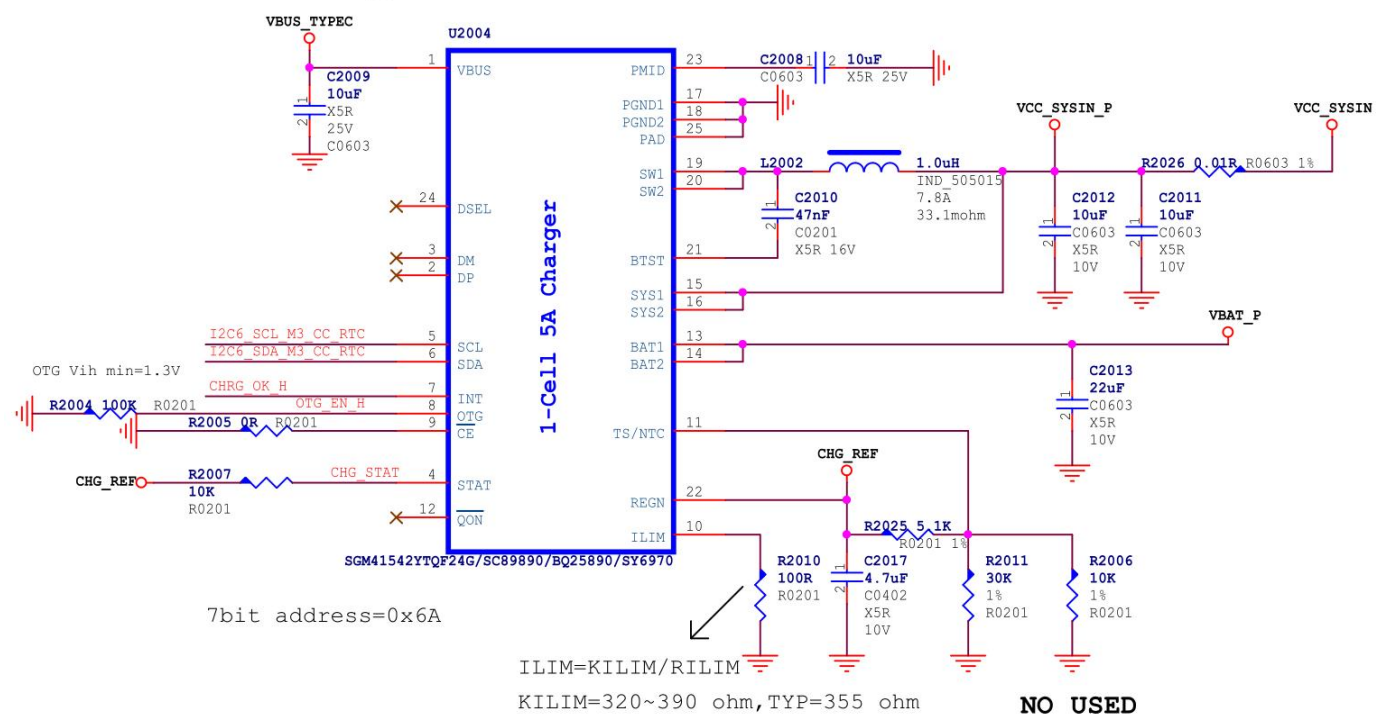


图20. TYPE-C座子的ESD电路

2.4.3 单节电池接口设计 (Type C)

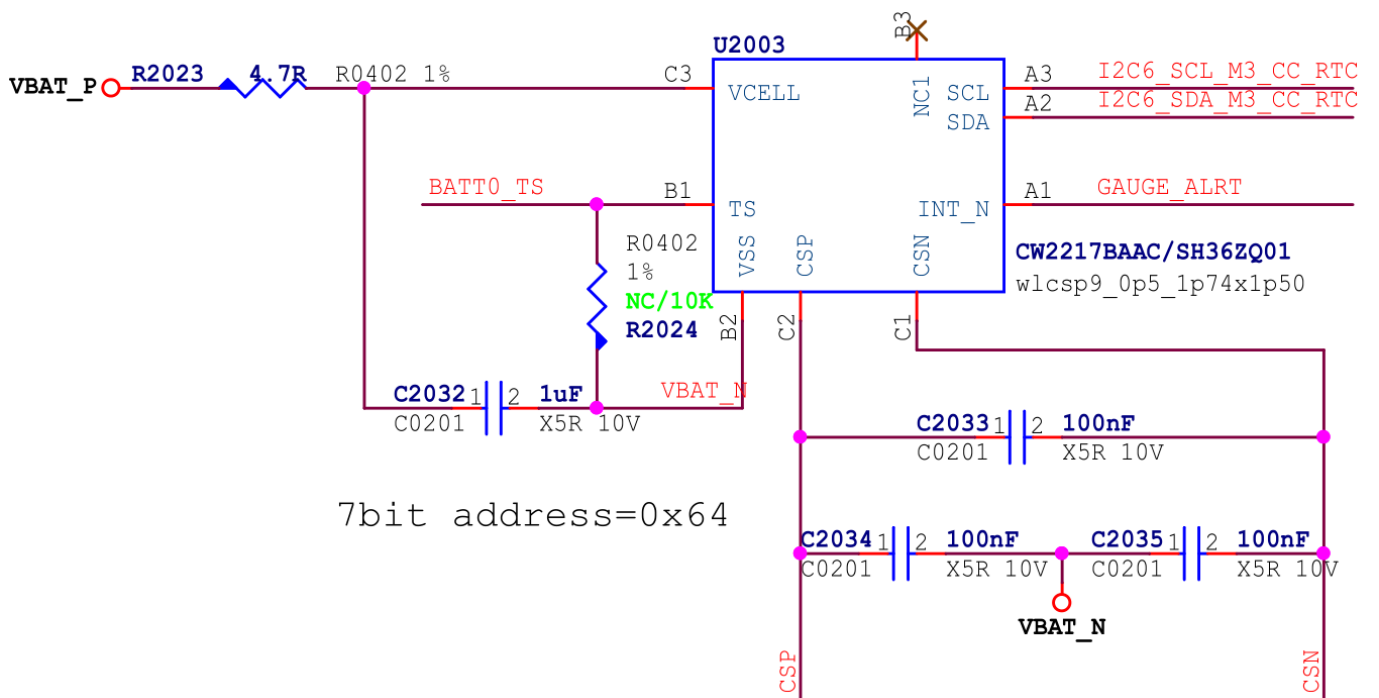
IDO-SOM7609-S1核心板支持做1路全功能型的Type C接口，支持快充、显示输出、固件烧录口。注意目前方案只支持单节电池，另外需要检测电池电量功能，可以增加电量计芯片，但是首先推荐是电池包内部自带I2C接口的电量计芯片。Type C接口连接详细参考2.4.1章节。

Charger IC



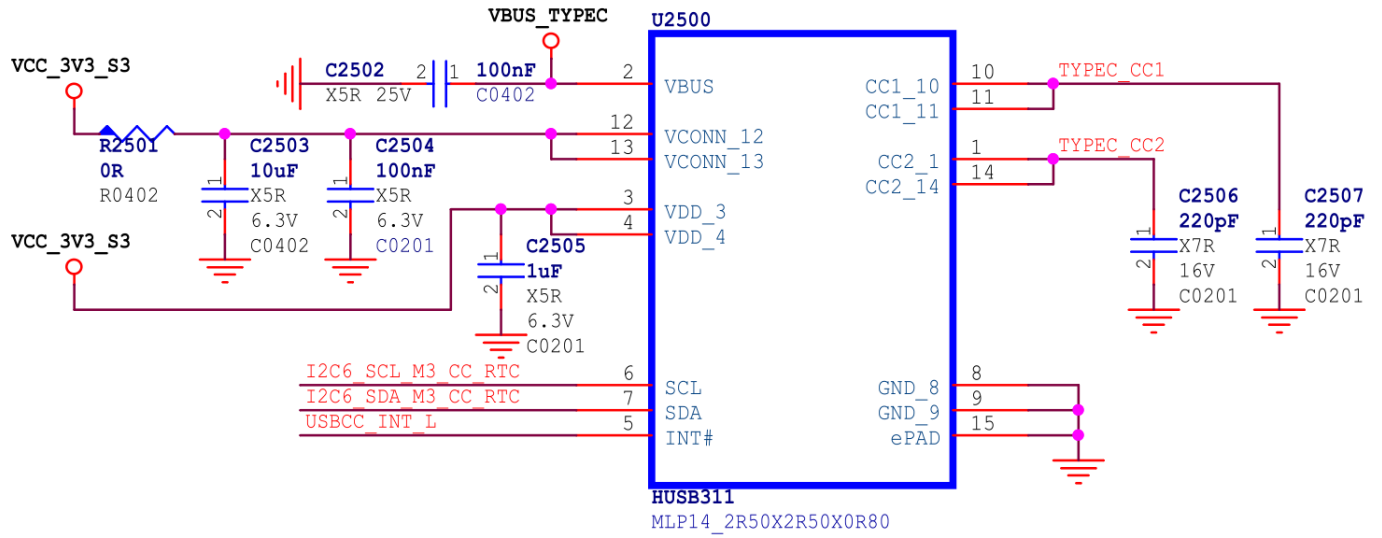
电池充放电管理芯片

Gas Gauge



电量计芯片

CC



Note:

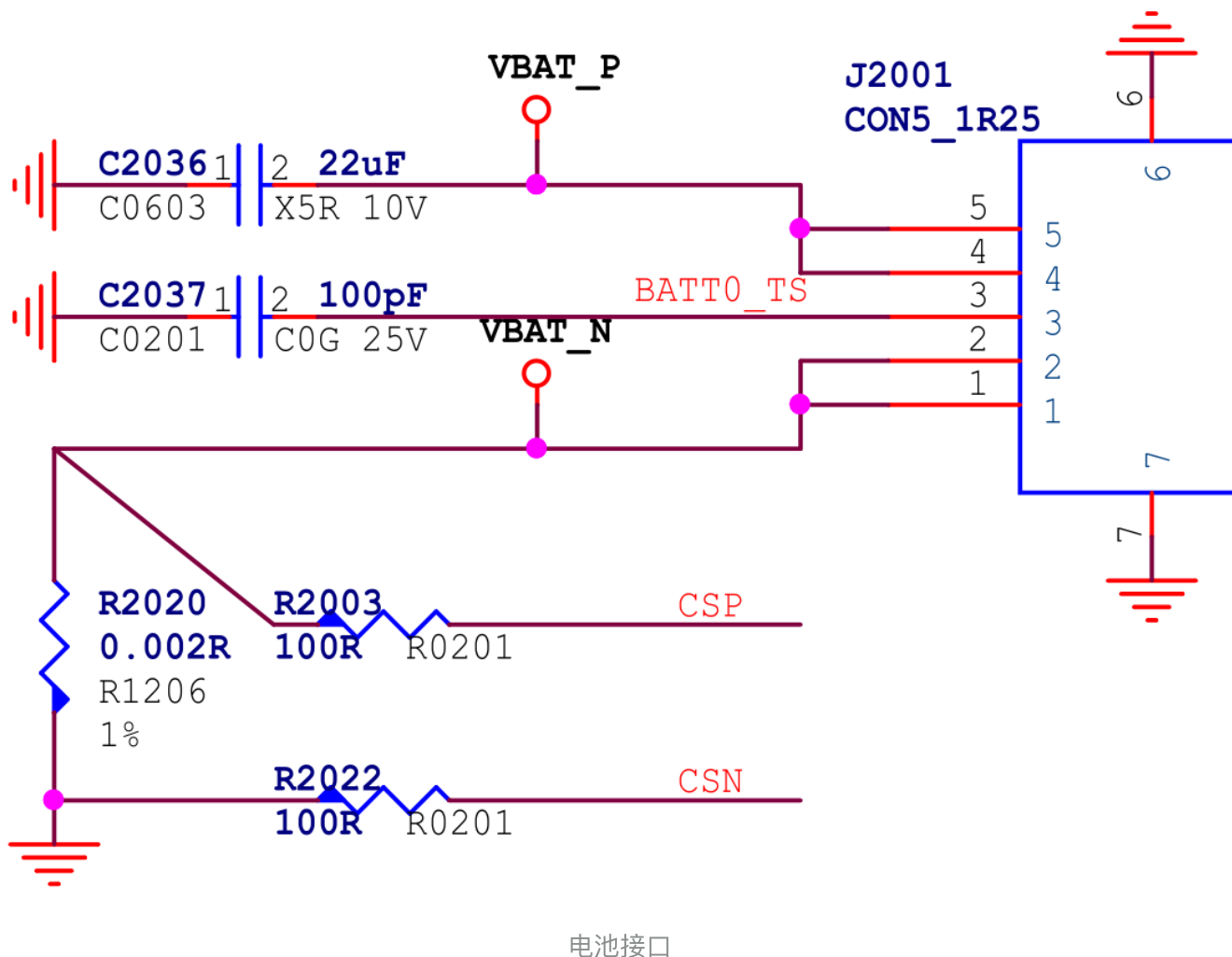
7bit address=0x22

VBUS of FUSB302BMPX: 4 to 21 TYP = 5V

VDD of FUSB302BMPX: 3 to 5.5 TYP = 3.3V

VCONN of FUSB302BMPX: 3 to 5.5

Type C快充协议芯片



2.5 GMAC接口电路

SOM7609-S1引出两个GMAC控制器，分别为GMAC0和GMAC1，提供RMII或RGMII接口连接外置Ethernet PHY。GMAC0 复用在两个不同的电源域，GMAC0_M0 复用在 VCCIO5 电源域，GMAC0_M1 复用在VCCIO4 电源域。二处复用不能同时使用，每次只能用其中一组。

GMAC0 RGMII引脚资源列表如下表所示：

引脚编号	引脚组别	RGMII /RMII信号定义	电源域
47	M0	RGMII0_TXD0_M0 /RMII0_TX0_M0	VCCIO5
48		RGMII0_TXD1_M0 /RMII0_TX1_M0	VCCIO5

49		RGMIIO_TXD2_M0	VCCIO5
50		RGMIIO_TXD3_M0	VCCIO5
46		RGMIIO_TXCTL_M0 /RMII0_TXEN_M0	VCCIO5
51		RGMIIO_TXCLK_M0	VCCIO5
39		RGMIIO_RXD0_M0 /RMII0_RX0_M0	VCCIO5
43		RGMIIO_RXD1_M0 /RMII0_RX1_M0	VCCIO5
42		RGMIIO_RXD2_M0	VCCIO5
41		RGMIIO_RXD3_M0	VCCIO5
40		RGMIIO_RXCLT_M0 /RMII0_RXCTL_M0	VCCIO5
44		RGMIIO_RXCLK_M0	VCCIO5
56		RGMIIO_MCLKINOUT_M0 /RMII0_CLK_M0	VCCIO5
54		RGMIIO_MDC_M0 /RMII0_MDC_M0	VCCIO5
53		RGMIIO_MDIO_M0 /RMII0_MDIO_M0	VCCIO5
B12	M1	RGMIIO_TXD0_M1	VCCIO4
B11		RGMIIO_TXD1_M1	VCCIO4
B16		RGMIIO_TXD2_M1	VCCIO4
B14		RGMIIO_TXD3_M1	VCCIO4
B10		RGMIIO_TXCTL_M1	VCCIO4

B15		RGMII0_TXCLK_M1	VCCIO4
B9		RGMII0_RXD0_M1	VCCIO4
A19		RGMII0_RXD1_M1	VCCIO4
A13		RGMII0_RXD2_M1	VCCIO4
A12		RGMII0_RXD3_M1	VCCIO4
A17		RGMII0_RXCLT_M1	VCCIO4
A18		RGMII0_RXCLK_M1	VCCIO4
B17		RGMII0_MCLKINOUT_M1	VCCIO4
A15		RGMII0_MDC_M1	VCCIO4
A14		RGMII0_MDIO_M1	VCCIO4

GMAC1 复用在两个不同的电源域，GMAC1_M0 复用在 VCCIO4 电源域，GMAC1_M1 复用在 VCCIO3 电源域。二处复用不能同时使用，每次只能用其中一组。

GMAC1 RGMII引脚资源列表如下表所示：

引脚编号	引脚组别	RGMII 信号定义	电源域
22	M0	RGMII1_TXD0_M0	VCCIO4
24		RGMII1_TXD1_M0	VCCIO4
23		RGMII1_TXD2_M0	VCCIO4
25		RGMII1_TXD3_M0	VCCIO4
21		RGMII1_TXCTL_M0	VCCIO4
26		RGMII1_TXCLK_M0	VCCIO4
30		RGMII1_RXD0_M0	VCCIO4
32		RGMII1_RXD1_M0	VCCIO4
31		RGMII1_RXD2_M0	VCCIO4
28		RGMII1_RXD3_M0	VCCIO4
29		RGMII1_RXCLT_M0	VCCIO4

33		RGMII1_RXCLK_M0	VCCIO4
B18		RGMII1_MCLKINOUT_M0	VCCIO4
35		RGMII1_MDC_M0	VCCIO4
36		RGMII1_MDIO_M0	VCCIO4
A3	M1	RGMII1_TXD0_M1	VCC_1V8_S3
A4		RGMII1_TXD1_M1	VCC_1V8_S3
9		RGMII1_TXD2_M1	VCC_1V8_S3
11		RGMII1_TXD3_M1	VCC_1V8_S3
B5		RGMII1_TXCTL_M1	VCC_1V8_S3
12		RGMII1_TXCLK_M1	VCC_1V8_S3
B6		RGMII1_RXD0_M1	VCC_1V8_S3
A6		RGMII1_RXD1_M1	VCC_1V8_S3
7		RGMII1_RXD2_M1	VCC_1V8_S3
8		RGMII1_RXD3_M1	VCC_1V8_S3
A7		RGMII1_RXCLT_M1	VCC_1V8_S3
10		RGMII1_RXCLK_M1	VCC_1V8_S3
B7		RGMII1_MCLKINOUT_M1	VCC_1V8_S3
A8		RGMII1_MDC_M1	VCC_1V8_S3
A9		RGMII1_MDIO_M1	VCC_1V8_S3

千兆以太网接口可以参考我司提供的开发板参考原理图。

注意：引脚的电源域为1.8V，部分PHY芯片IO电压可能不支持1.8V，必要时加高速电平转换芯片或更换PHY芯片。

2.6 音频接口设计

SOM7609-S1外扩的音频接口清单：

音频接口资源	资源详情	说明
SAI	5路	支持高至 128 通道
SPDIF	2路	8通道
PDM	2路	8通道

音频接口可以参考我司提供的开发板参考原理图ES8388部分。

SAI 接口的全称为串行音频接口（Serial Audio Interface），是一种用于数字音频数据通信的串行接口，支持广泛的音频协议，支持 PCM、I2S 和 TDM 等标准格式，可满足单声道、立体声以及多声道音频传输。

作为应用最广泛的数字音频接口，SAI 可用于音频 ADC、音频 DAC、音频 Codec、DSP 等外设的通讯，也可为视频输入/输出接口提供集成的音频输入与输出支持。

- 1.支持 8 至 32bits 的位宽，包括常见的如 32bits、24bits、16bits；
- 2.支持高至 128 通道（slots）；
- 3.支持单声道（Mono）模式；
- 4.主模式（Master）下的 TX/RX、从模式（Slave）下的 RX，SCLK 设计速率上限为 50M；
- 5.从模式（Slave）下的 TX，SCLK 设计速率上限为 25M；

SAIO 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
B9	M0	SAIO_SDO0_M0	VCCIO4	SAI 串行输出数据线0
B10		SAIO_SDO1_M0	VCCIO4	SAI 串行输出数据线1
B15		SAIO_SDO2_M0	VCCIO4	SAI 串行输出数据线2
B18		SAIO_SDO3_M0	VCCIO4	SAI 串行输出数据线3
B11		SAIO_SDI0_M0	VCCIO4	SAI 串行输入数据线0

B12		SAI0_SDI1_M0	VCCIO4	SAI 串行输入数据线1
B14		SAI0_SDI2_M0	VCCIO4	SAI 串行输入数据线2
B16		SAI0_SDI3_M0	VCCIO4	SAI 串行输入数据线3
A18		SAI0_MCLK_M0	VCCIO4	SAI 系统时钟输出
A12		SAI0_SCLK_M0	VCCIO4	SAI 连续串行时钟，位时钟
A13		SAI0_LRCK_M0	VCCIO4	SAI 帧时钟，用于声道选择
G8	M1	SAI0_SDO0_M1	PMUIO1	SAI 串行输出数据线
G2		SAI0_SDO1_M1/SAI0_SDI3_M1	PMUIO1	SAI 串行输出数据线/SAI 串行输入数据线
G3		SAI0_SDO2_M1/SAI0_SDI2_M1	PMUIO1	SAI 串行输出数据线/SAI 串行输入数据线
G4		SAI0_SDO3_M1/SAI0_SDI1_M1	PMUIO1	SAI 串行输出数据线/SAI 串行输入数据线
G5		SAI0_SDI0_M1	PMUIO1	SAI 串行输入数据线
G9		SAI0_MCLK_M1	PMUIO1	SAI 系统时钟输出
G7		SAI0_SCLK_M1	PMUIO1	SAI 连续串行时钟，位时钟
G6		SAI0_LRCK_M1	PMUIO1	SAI 帧时钟，用于声道选择

SAI1 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
67	M0	SAI1_SDO0_M0	VCCIO2	SAI 串行输出数据线
C5		SAI1_SDO1_M0/SAI1_SDI3_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
C6		SAI1_SDO2_M0/SAI1_SDI2_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
C7		SAI1_SDO3_M0/SAI1_SDI1_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
68		SAI1_SDI0_M0	VCCIO2	SAI 串行输入数据线

69		SAI1_MCLK_M0	VCCIO2	SAI 系统时钟输出
70		SAI1_SCLK_M0	VCCIO2	SAI 连续串行时钟，位时钟
66		SAI1_LRCK_M0	VCCIO2	SAI 帧时钟，用于声道选择
D5	M1	SAI1_SDO0_M1	VCCIO5	SAI 串行输出数据线
59		SAI1_SDO1_M1	VCCIO5	SAI 串行输出数据线
60		SAI1_SDO2_M1	VCCIO5	SAI 串行输出数据线
58		SAI1_SDO3_M1	VCCIO5	SAI 串行输出数据线
57		SAI1_SDI0_M1	VCCIO5	SAI 串行输入数据线
D3		SAI1_SDI1_M1	VCCIO5	SAI 串行输入数据线
D4		SAI1_SDI2_M1	VCCIO5	I2S输入数据1
C3		SAI1_SDI3_M1	VCCIO5	I2S主时钟MCLK
D2		SAI1_MCLK_M1	VCCIO5	SAI 系统时钟输出
C2		SAI1_SCLK_M1	VCCIO5	SAI 连续串行时钟，位时钟
D6		SAI1_LRCK_M1	VCCIO5	SAI 帧时钟，用于声道选择

SAI2 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
A6	M0	SAI2_SDO_M0	VCC_1V8_S3	SAI 串行输出数据线
A9		SAI2_SDI_M0	VCC_1V8_S3	SAI 串行输入数据线
B7		SAI2_MCLK_M0	VCC_1V8_S3	SAI 系统时钟输出
A7		SAI2_SCLK_M0	VCC_1V8_S3	SAI 连续串行时钟，位时钟
A8		SAI2_LRCK_M0	VCC_1V8_S3	SAI 帧时钟，用于声道选择
25	M1	SAI2_SDO_M1	VCCIO4	SAI 串行输出数据线
26		SAI2_SDI_M1	VCCIO4	SAI 串行输入数据线
28		SAI2_MCLK_M1	VCCIO4	SAI 系统时钟输出

33		SAI2_SCLK_M1	VCCIO4	SAI 连续串行时钟，位时钟
23		SAI2_LRCK_M1	VCCIO4	SAI 帧时钟，用于声道选择
42	M2	SAI2_SDO_M2	VCCIO5	SAI 串行输出数据线
41		SAI2_SDI_M2	VCCIO5	SAI 串行输入数据线
44		SAI2_MCLK_M2	VCCIO5	SAI 系统时钟输出
50		SAI2_SCLK_M2	VCCIO5	SAI 连续串行时钟，位时钟
49		SAI2_LRCK_M2	VCCIO5	SAI 帧时钟，用于声道选择

SAI3 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
10	M1	SAI3_SDO_M1	VCC_1V8_S3	SAI 串行输出数据线
9		SAI3_SDI_M1	VCC_1V8_S3	SAI 串行输入数据线
12		SAI3_MCLK_M1	VCC_1V8_S3	SAI 系统时钟输出
7		SAI3_SCLK_M1	VCC_1V8_S3	SAI 连续串行时钟，位时钟
8		SAI3_LRCK_M1	VCC_1V8_S3	SAI 帧时钟，用于声道选择
A17	M2	SAI3_SDO_M2	VCCIO4	SAI 串行输出数据线
A19		SAI3_SDI_M2	VCCIO4	SAI 串行输入数据线
B17		SAI3_MCLK_M2	VCCIO4	SAI 系统时钟输出
A14		SAI3_SCLK_M2	VCCIO4	SAI 连续串行时钟，位时钟
A15		SAI3_LRCK_M2	VCCIO4	SAI 帧时钟，用于声道选择
18	M3	SAI3_SDO_M3	VCCIO1	SAI 串行输出数据线
17		SAI3_SDI_M3	VCCIO1	SAI 串行输入数据线
15		SAI3_MCLK_M3	VCCIO1	SAI 系统时钟输出
19		SAI3_SCLK_M3	VCCIO1	SAI 连续串行时钟，位时钟
16		SAI3_LRCK_M3	VCCIO1	SAI 帧时钟，用于声道选择

SAI4 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
68	M0	SAI4_SDO_M0	VCCIO2	SAI 串行输出数据线
67		SAI4_SDI_M0	VCCIO2	SAI 串行输入数据线
69		SAI4_MCLK_M0	VCCIO2	SAI 系统时钟输出
C8		SAI4_SCLK_M0	VCCIO2	SAI 连续串行时钟，位时钟
C9		SAI4_LRCK_M0	VCCIO2	SAI 帧时钟，用于声道选择
63	M1	SAI4_SDO_M1	VCCIO5	SAI 串行输出数据线
55		SAI4_SDI_M1	VCCIO5	SAI 串行输入数据线
56		SAI4_MCLK_M1	VCCIO5	SAI 系统时钟输出
61		SAI4_SCLK_M1	VCCIO5	SAI 连续串行时钟，位时钟
62		SAI4_LRCK_M1	VCCIO5	SAI 帧时钟，用于声道选择
F3	M2	SAI4_SDO_M2	VCCIO6	SAI 串行输出数据线
F2		SAI4_SDI_M2	VCCIO6	SAI 串行输入数据线
E4		SAI4_MCLK_M2	VCCIO6	SAI 系统时钟输出
F1		SAI4_SCLK_M2	VCCIO6	SAI 连续串行时钟，位时钟
F4		SAI4_LRCK_M2	VCCIO6	SAI 帧时钟，用于声道选择
30	M3	SAI4_SDO_M3	VCCIO4	SAI 串行输出数据线
21		SAI4_SDI_M3	VCCIO4	SAI 串行输入数据线
32		SAI4_MCLK_M3	VCCIO4	SAI 系统时钟输出
22		SAI4_SCLK_M3	VCCIO4	SAI 连续串行时钟，位时钟
24		SAI4_LRCK_M3	VCCIO4	SAI 帧时钟，用于声道选择

SOM7609-S1引出两个 SPDIF TX 数字音频接口，最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips

Digital Interface Format 是 SONY 、 PHILIPS 数字音频接口的简称。就传输载体而言， SPDIF 又分为同

轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异， SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

SPDIF0 引脚配置列表如下表所示：

引脚编号	信号定义	电源域
64	SPDIF_TX0_M0	VCCIO2
63	SPDIF_TX0_M1	VCCIO5
B18	SPDIF_TX0_M2	VCCIO4

SPDIF1 引脚配置列表如下表所示：

引脚编号	信号定义	电源域
47	SPDIF_TX1_M0	VCCIO5
A19	SPDIF_TX1_M1	VCCIO4
A10	SPDIF_TX1_M2	VCC_1V8_S3

PDM0引脚配置列表如下表所示：

引脚编号	引脚分组	信号定义	电源域	说明
G2	M0	PDM0_SDI3_M0	PMUIO1	PDM 输入数据线
G3		PDM0_SDI2_M0	PMUIO1	PDM 输入数据线
G4		PDM0_SDI1_M0	PMUIO1	PDM 输入数据线
G5		PDM0_SDI0_M0	PMUIO1	PDM 输入数据线
G9		PDM0_CLK0_M0	PMUIO1	PDM sampling clock
H2		PDM0_CLK1_M0	PMUIO1	PDM sampling clock
B11	M2	PDM0_SDI3_M2	VCC_1V8_S3	PDM 输入数据线

11		PDM0_SDI2_M2	VCC_1V8_S3	PDM 输入数据线
B6		PDM0_SDI1_M2	VCC_1V8_S3	PDM 输入数据线
B5		PDM0_SDI0_M2	VCC_1V8_S3	PDM 输入数据线
12		PDM0_CLK0_M2	VCC_1V8_S3	PDM sampling clock
A10		PDM0_CLK1_M2	VCC_1V8_S3	PDM sampling clock
B11	M3	PDM0_SDI3_M3	VCCIO4	PDM 输入数据线
B12		PDM0_SDI2_M3	VCCIO4	PDM 输入数据线
B14		PDM0_SDI1_M3	VCCIO4	PDM 输入数据线
B16		PDM0_SDI0_M3	VCCIO4	PDM 输入数据线
A18		PDM0_CLK0_M3	VCCIO4	PDM sampling clock
B15		PDM0_CLK1_M3	VCCIO4	PDM sampling clock

PDM1引脚配置列表如下表所示：

引脚编号	引脚分组	信号定义	电源域	说明
23	M0	PDM1_SDI3_M0	VCCIO4	PDM 输入数据线
33		PDM1_SDI2_M0	VCCIO4	PDM 输入数据线
31		PDM1_SDI1_M0	VCCIO4	PDM 输入数据线
25		PDM1_SDI0_M0	VCCIO4	PDM 输入数据线
26		PDM1_CLK0_M0	VCCIO4	PDM sampling clock
28		PDM1_CLK1_M0	VCCIO4	PDM sampling clock
C8	M1	PDM1_SDI3_M1	VCCIO2	PDM 输入数据线
C6		PDM1_SDI2_M1	VCCIO2	PDM 输入数据线
C7		PDM1_SDI1_M1	VCCIO2	PDM 输入数据线
68		PDM1_SDI0_M1	VCCIO2	PDM 输入数据线
C9		PDM1_CLK0_M1	VCCIO2	PDM sampling clock

C5		PDM1_CLK1_M1	VCCIO2	PDM sampling clock
53	M2	PDM1_SDI3_M2	VCCIO5	PDM 输入数据线
54		PDM1_SDI2_M2	VCCIO5	PDM 输入数据线
39		PDM1_SDI1_M2	VCCIO5	PDM 输入数据线
46		PDM1_SDI0_M2	VCCIO5	PDM 输入数据线
43		PDM1_CLK0_M2	VCCIO5	PDM sampling clock
40		PDM1_CLK1_M2	VCCIO5	PDM sampling clock

2.7 视频输出接口电路

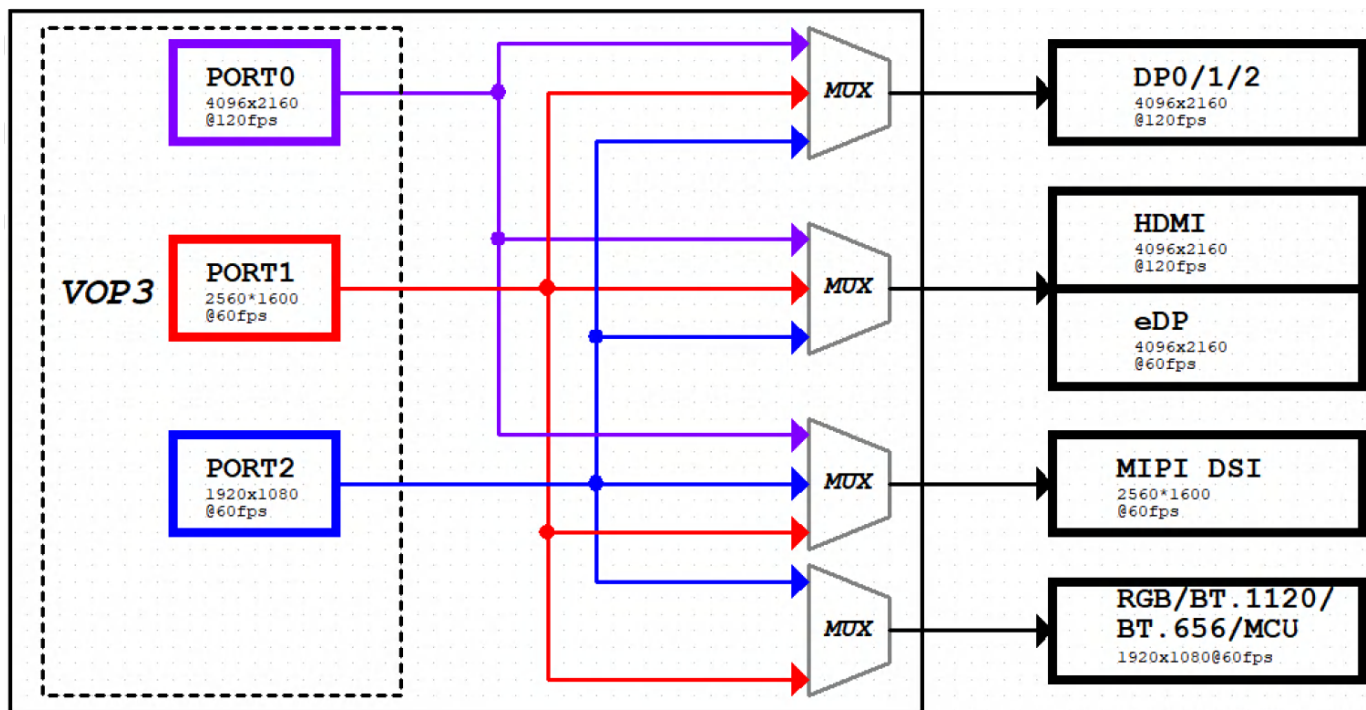
RK3576芯片的VOP显示输出处理器，它从系统存储器的帧缓冲器中读取视频数据和UI数据，执行相应的处理，如裁剪、色域空间转换、缩放和叠加，并输出到每个高速显示接口。

有三个Port输出，可以从DP、HDMI/eDP、MIPI DSI、LCDC(Parallel Interface)视频接口输出。

最大的视频输出能力：

- 三屏异显方案，如4096x2160@60Hz，2560x1600@60Hz，1920x1080@60Hz；
- 双屏异显方案，如4096x2160@120Hz，2560x1600@60Hz。

VOP和视频接口输出路径图：



2.7.1 HDMI2.1接口

RK3576内置一个HDMI/eDP TX Combo PHY；支持以下两个模式：

●HDMI TX 模式：最高支持 HDMI2.1，支持 HDMI FRL 模式并向下兼容 HDMI TMDS 模式，支持 RGB/YUV444/YUV422/YUV420(Up to 10bit)格式。

●HDMI2.1 TX模式

RK3576支持HDMI2.1并向下兼容HDMI2.0和HDMI1.4。

HDMI2.1工作在FRL模式；HDMI2.0及以下模式时，工作在TMDS模式。

采用AC耦合电压模式驱动器。

如下图所示，AC耦合电容容值采用220nF，不得随意更改，交流耦合电容建议更低的ESR和ESL，也可减少线路上的阻抗变化。

$$C_j \leq 0.2 \text{ pF}$$

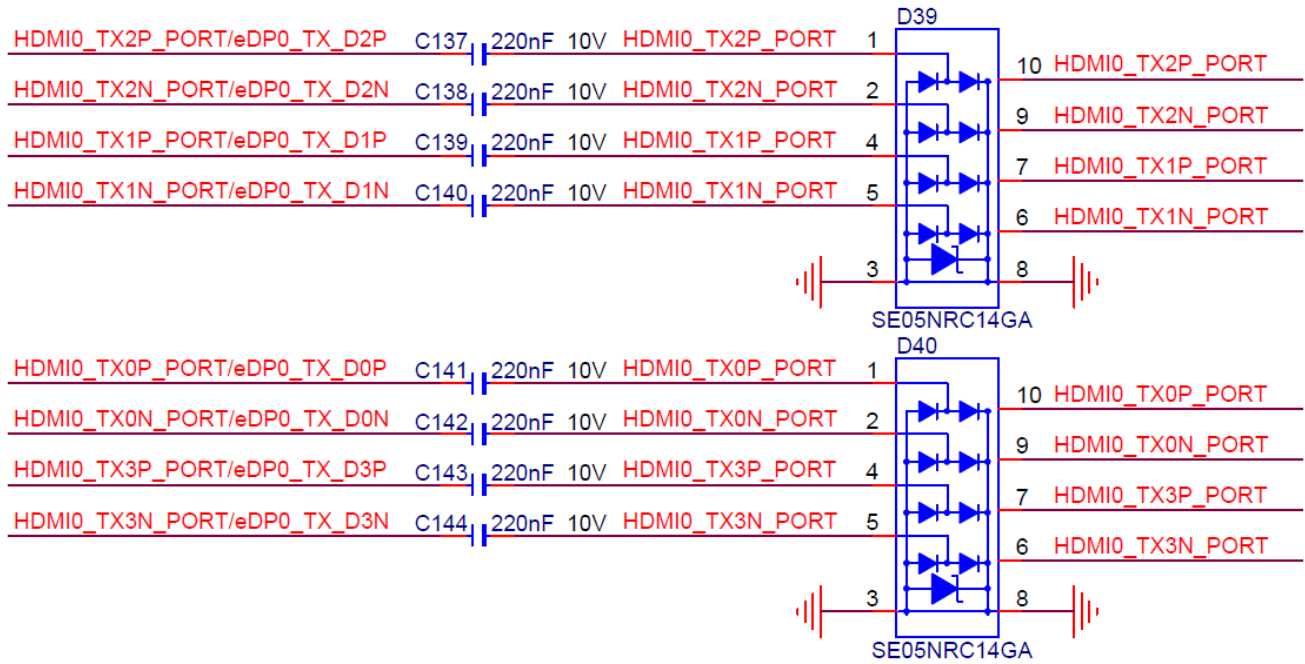


图21. HDMI TX AC耦合电容外围电路

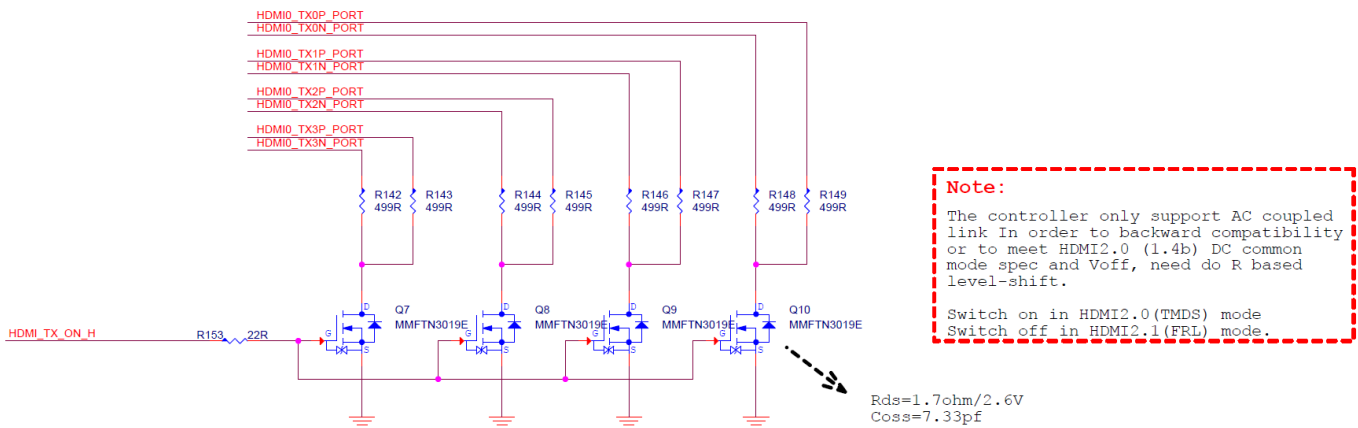


图22. HDMI TX模式外围电路

●HDMI_TX_ON_H配置为低电平，四个MOS管不导通。HDMI_TX_ON_H配置为高电平，MOS管会导通，对地590ohm电阻与Sink端上拉50ohm电阻形成一个直流偏置，大约3V。

●如果只要工作在HDMI2.0及以下模式时，外接是HDMI A座，可以考虑省成本方案，考虑需要过HDMI认证，可删除三个MOS管，对地590ohm电阻合并之后和MOS连接，AC电容不能删减，见如下设计示意图。

●如果只要工作在HDMI2.0及以下模式时，板上对接HDMI接收芯片（比如RK628F），不需要HDMI_TX_ON_H控制MOS管打开/关闭，MOS管可以全部删除，只留8个590ohm直接接地，AC电容不能删减。

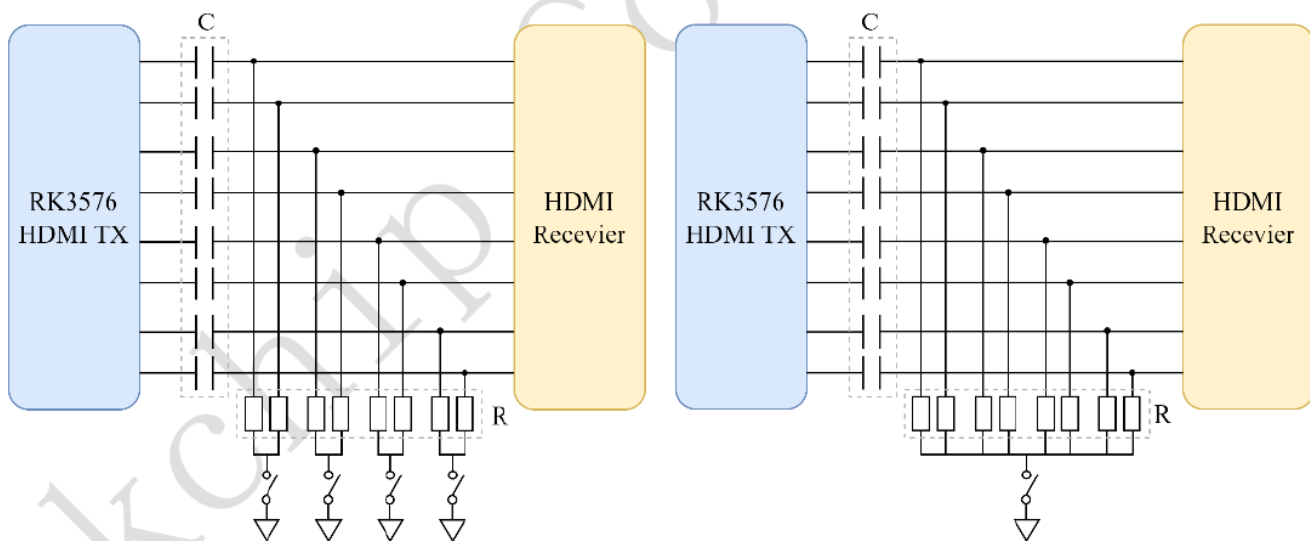
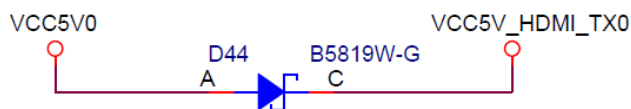


图23. RK3576 HDMI TMDS only模式外围电路

HDMI2.1的连接座上HPDIN信号与HDMI_TX_SBDN复用，检测到HDMI设备插入时，HDMITX_HPDIIN_M0输出高电平通知RK3576。



HDMI TX eARC

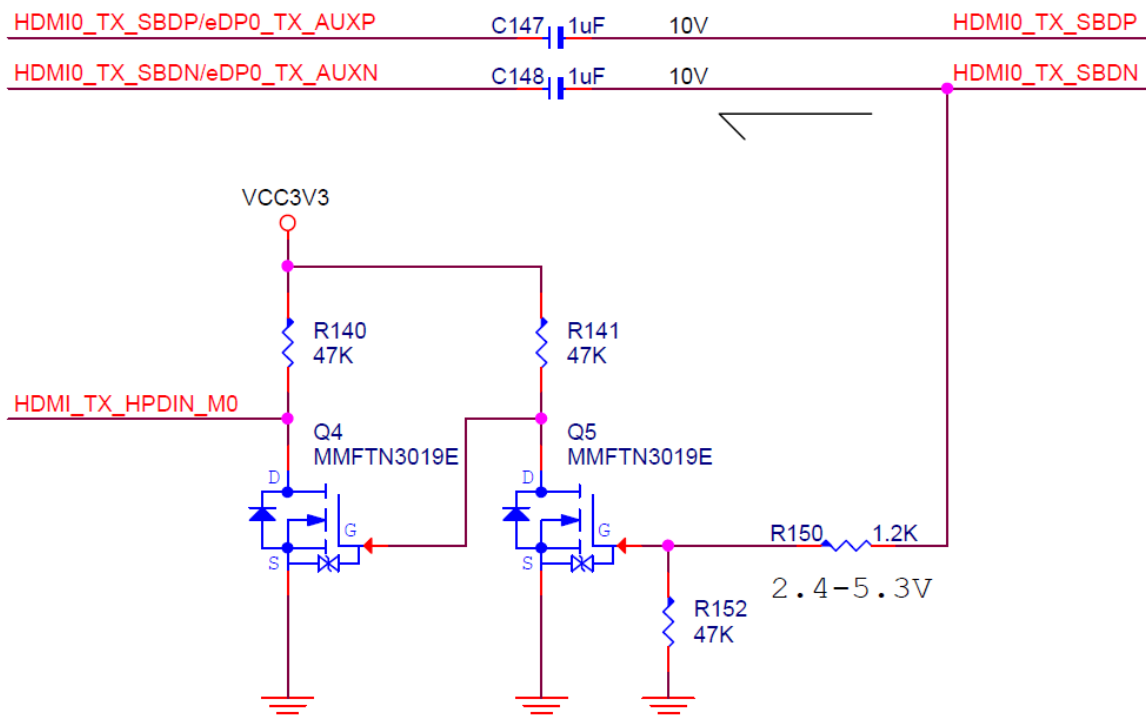


图24. HDMI TX HPD电路

HDMI_TX_HPDI复用到普通GPIO域中，电平随所在电源域电压，电源域供电电压有更改，外围电路的上拉电阻电源也必须同步调整。

HDMI_TX_CEC是HDMI控制器CEC功能复用到普通GPIO上功能，电平随所在电源域电压，电源域供电电压有更改，外围电路的上拉电阻电源也必须同步调整。

注意：RK3576芯片的I2C是不支持5V电平的，所以DDC/I2C总线需要增加电平转换电路。HDMI高速差分线在LAYOUT设计时尽量避免换层，走线尽量短，参考面保证完整，100Ω差分阻抗控制。

HDMI0_TX引脚列表如下表所示：

引脚编号	信号定义	说明
E9	HDMI_TX_SBDN/EDP_TX_AUX N	clock negative differential output
E10	HDMI_TX_SBDP/EDP_TX_AUXP	clock positive differential output
99	HDMI_TX_D3N/EDP_TX_D3N	Lane3 data negative differential output
100	HDMI_TX_D3P/EDP_TX_D3P	Lane3 data positive differential output
102	HDMI_TX_D0N/EDP_TX_D0N	Lane0 data negative differential output
103	HDMI_TX_D0P/EDP_TX_D0P	Lane0 data positive differential output
104	HDMI_TX_D1N/EDP_TX_D1N	Lane1 data negative differential output
105	HDMI_TX_D1P/EDP_TX_D1P	Lane1 data positive differential output
106	HDMI_TX_D2N/EDP_TX_D2N	Lane2 data negative differential output
107	HDMI_TX_D2P/EDP_TX_D2P	Lane2 data positive differential output

HDMI接口CEC电路电平转换设计如下图所示。

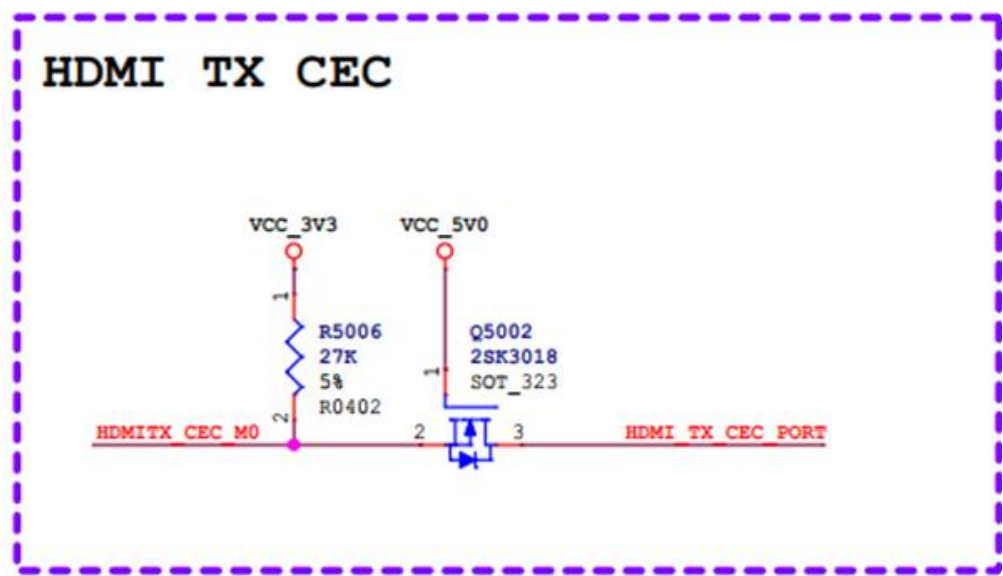


图25. CEC电平转换参考设计图

DDC/I2C总线电平转换电路设计如下图所示。

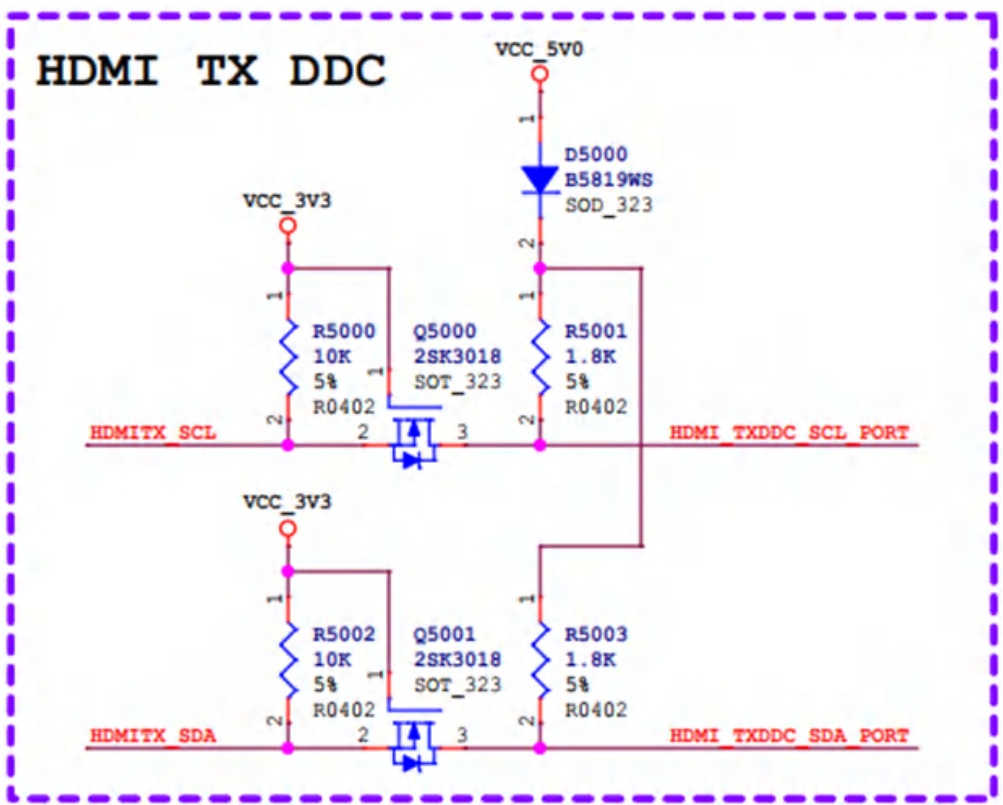


图26. DDC/I2C总线电平转换参考设计图

2.7.2 eDP TX接口

- eDP TX 模式：最高支持 eDP1.3，最大分辨率支持 4K@60Hz，支持 RGB/YUV444/YUV422(Up to10bit)格式。
- 每个Lane速率可支持1.62/2.7/5.4Gbps；
- 支持1Lane或2Lane或4Lane模式；
- 支持AUX通道，速率可达1Mbps；
- 不支持Swap。

eDP_TX_D0P/D0N、eDP_TX_D1P/D1N、eDP_TX_D2P/D2N、eDP_TX_D3P/D3N需要串接的100nF交流耦合电容，交流耦合电容建议使用更低的ESR和ESL，也可减少线路上的阻抗变化。

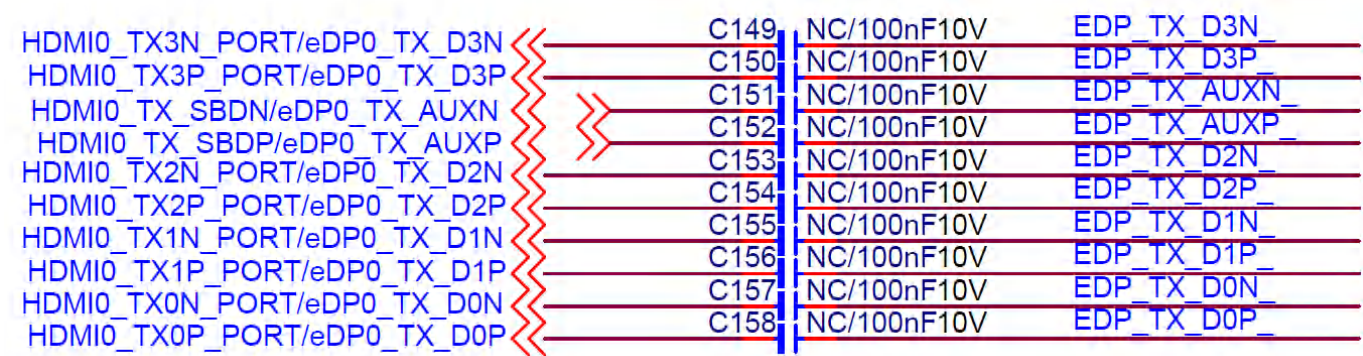


图27. eDP TX 信号交流耦合电容

2.7.3 MIPI_DCPHY_TX接口

RK3576有一个MIPI D-PHY/C-PHY Combo PHY TX：

- D-PHY支持V2.0版本，D-PHY模式有0/1/2/3 Lane，每个Lane 2根线；最高传输速率2.5Gbps/Lane。
- MIPI_DPHY_TX最大分辨率支持2560x1600@60Hz。
- C-PHY支持V1.1版本，C-PHY模式有0/1/2 Trio，每个Trio A/B/C 3根线；最高传输速率1.7Gsps/Trio。
- MIPI_CPHY_TX最大分辨率支持2560x1600@60Hz。

MIPI_DPHY_TX引脚资源列表如下表所示：

引脚号	引脚定义	描述
96	MIPI_DPHY_DSI_TX_D3P	MIPI-发送-D3-正

97	MIPI_DPHY_DSI_TX_D3N	MIPI-发送-D3-负
94	MIPI_DPHY_DSI_TX_D2P	MIPI-发送-D2-正
95	MIPI_DPHY_DSI_TX_D2N	MIPI-发送-D2-负
92	MIPI_DPHY_DSI_TXCLKP	MIPI-时钟-正
93	MIPI_DPHY_DSI_TX_CLKN	MIPI-时钟-负
90	MIPI_DPHY_DSI_TX_D1P	MIPI-发送-D1-正
91	MIPI_DPHY_DSI_TX_D1N	MIPI-发送-D1-负
88	MIPI_DPHY_DSI_TX_D0P	MIPI-发送-D0-正
89	MIPI_DPHY_DSI_TX_D0N	MIPI-发送-D0-负

注意：

1. MIPI高速差分对，差分阻抗按照100Ω控制，走线参考面完整。

2.7.4 DP TX接口

RK3576支持一个DP1.4 TX PHY（和USB3 OTG0 Combo），最大输出分辨率可达4K@YUV422-120Hz。

- 每个Lane速率可支持1.62/2.7G/5.4/8.1Gbps；
- 支持1Lane或2Lane或4Lane模式；
- 支持RGB/YUV444/YUV422/YUV420 (up to 10bit)格式；
- 支持Multi Stream Transport(MST)。
- 支持Swap on和Swap off两种模式

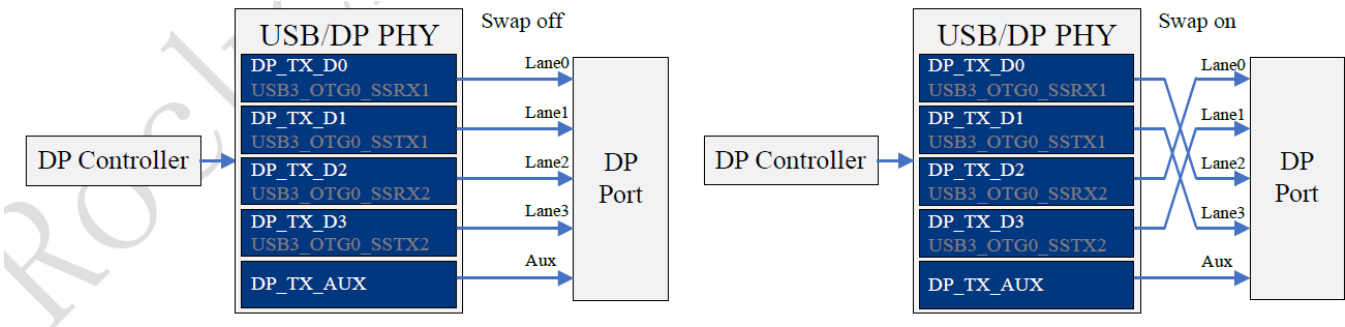


图28. RK3576 DP Swap ON/OFF模式图

●支持3 Channels的MST(Multi-Stream Transport)显示。MST支持三屏异显最大能力为：4096x2160@60Hz、2560x1600@60Hz、1920x1080@60Hz。

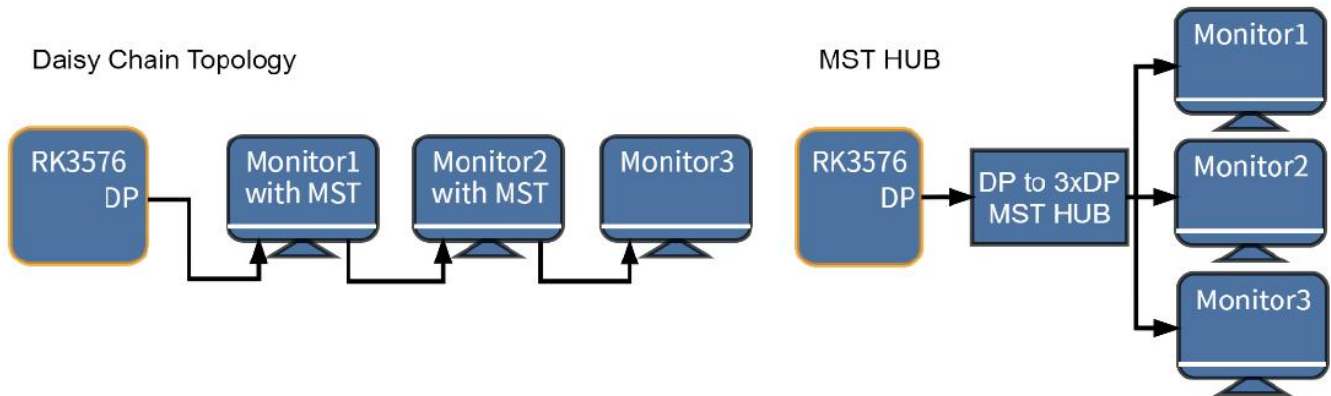


图29. RK3576 DP 3 Channels MST模式图

●DP_TX_D0P/D0N、DP_TX_D1P/D1N、DP_TX_D2P/D2N、DP_TX_D3P/D3N需要串接的100nF交流耦合电容，交流耦合电容建议使用更低的ESR和ESL，也可减少线路上的阻抗变化。

DP_TX引脚资源列表如下表所示：

引脚号	引脚定义	描述
82	DP_TX_D0P	DP数据Lane0输出
81	DP_TX_D0N	
80	DP_TX_D1P	DP数据Lane1输出
79	DP_TX_D1N	
84	DP_TX_D2P	DP数据Lane2输出
83	DP_TX_D2N	
85	DP_TX_D3P	DP数据Lane3输出
86	DP_TX_D3N	
E7	DP_TX_AUXP	DP AUX通道
E6	DP_TX_AUXN	

注意：

1. DP高速差分对，差分阻抗按照100Ω控制，走线参考面完整；
2. 如果DP和TYPE C3.0兼容设计，差分阻抗按照95Ω控制，走线参考面完整。

2.7.5 LCDC/BT1120/MCU TX接口

RK3576 LCDC TX接口，支持并行24bit RGB模式、16bit BT1120模式、8bit BT656模式以及MCU模式，其中，RGB、BT1120以及BT656的分辨率支持如下：

- 24bit RGB模式：最大输出分辨率可达1920x1080@60Hz；
- 16bit BT1120模式：最大输出分辨率可达1920x1080@60Hz；
- 8bit BT656模式：最大分辨率为720x576@60Hz支持PAL和NTSC；

RGB、BT1120、BT656、MCU复用关系如下表：

interface	RGB888 (MCU24)	RGB666	RGB565	BT656 (8bit)	BT1120 (16bit)	MCU (8bit)	MCU (16bit)
dclk	dclk	dclk	dclk	dclk	dclk	mcu_rs	mcu_rs
vsync	vsync	vsync	vsync			mcu_csn	mcu_csn
hsync	hsync	hsync	hsync			mcu_wrn	mcu_wrn
den	den	den	den			mcu_rdn	mcu_rdn
data	data	data	data	data[7:0]	data[15:0]	data[7:0]	data[15:0]
VO_LCDC_D23	✓R7	✓	✓	✗	✓ (D15)	✓ (D7_m1)	✓ (D15)
VO_LCDC_D22	✓R6	✓	✓	✗	✓ (D14)	✓ (D6_m1)	✓ (D14)
VO_LCDC_D21	✓R5	✓	✓	✗	✓ (D13)	✓ (D5_m1)	✓ (D13)
VO_LCDC_D20	✓R4	✓	✓	✗	✓ (D12)	✓ (D4_m1)	✓ (D12)
VO_LCDC_D19	✓R3	✓	✓	✗	✓ (D11)	✓ (D3_m1)	✓ (D11)
VO_LCDC_D18	✓R2	✓	✗	✗	✗	✗	✗
VO_LCDC_D17	✓R1	✗	✗	✗	✗	✗	✗
VO_LCDC_D16	✓R0	✗	✗	✗	✗	✗	✗
VO_LCDC_D15	✓G7	✓	✓	✗	✓ (D10)	✓ (D2_m1)	✓ (D10)
VO_LCDC_D14	✓G6	✓	✓	✗	✓ (D9)	✓ (D1_m1)	✓ (D9)
VO_LCDC_D13	✓G5	✓	✓	✗	✓ (D8)	✓ (D0_m1)	✓ (D8)
VO_LCDC_D12	✓G4	✓	✓	✓D7	✓ (D7)	✓ (D7_m0)	✓ (D7)
VO_LCDC_D11	✓G3	✓	✓	✓D6	✓ (D6)	✓ (D6_m0)	✓ (D6)
VO_LCDC_D10	✓G2	✓	✓	✓D5	✓ (D5)	✓ (D5_m0)	✓ (D5)
VO_LCDC_D9	✓G1	✗	✗	✗	✗	✗	✗
VO_LCDC_D8	✓G0	✗	✗	✗	✗	✗	✗
VO_LCDC_D7	✓B7	✓	✓	✓D4	✓ (D4)	✓ (D4_m0)	✓ (D4)
VO_LCDC_D6	✓B6	✓	✓	✓D3	✓ (D3)	✓ (D3_m0)	✓ (D3)
VO_LCDC_D5	✓B5	✓	✓	✓D2	✓ (D2)	✓ (D2_m0)	✓ (D2)
VO_LCDC_D4	✓B4	✓	✓	✓D1	✓ (D1)	✓ (D1_m0)	✓ (D1)
VO_LCDC_D3	✓B3	✓	✓	✓D0	✓ (D0)	✓ (D0_m0)	✓ (D0)
VO_LCDC_D2	✓B2	✓	✗	✗	✗	✗	✗
VO_LCDC_D1	✓B1	✗	✗	✗	✗	✗	✗
VO_LCDC_D0	✓B0	✗	✗	✗	✗	✗	✗
Remarks		Select high order		Not supported M1	Support YC SWAP	Support M1	Select high order

LCDC 引脚资源如下表所示：

引脚编号	MIPI引脚定义	电源域
42	VO_LCDC_D0	VCCIO5
41	VO_LCDC_D1	VCCIO5

44	VO_LCDC_D2	VCCIO5
D2	VO_LCDC_D3	VCCIO5
C2	VO_LCDC_D4	VCCIO5
D6	VO_LCDC_D5	VCCIO5
D5	VO_LCDC_D6	VCCIO5
59	VO_LCDC_D7	VCCIO5
49	VO_LCDC_D8	VCCIO5
50	VO_LCDC_D9	VCCIO5
60	VO_LCDC_D10	VCCIO5
58	VO_LCDC_D11	VCCIO5
57	VO_LCDC_D12	VCCIO5
51	VO_LCDC_D13	VCCIO5
47	VO_LCDC_D14	VCCIO5
48	VO_LCDC_D15	VCCIO5
46	VO_LCDC_D16	VCCIO5
39	VO_LCDC_D017	VCCIO5
43	VO_LCDC_D18	VCCIO5
56	VO_LCDC_D19	VCCIO5
40	VO_LCDC_D20	VCCIO5
54	VO_LCDC_D21	VCCIO5
53	VO_LCDC_D22	VCCIO5
55	VO_LCDC_D23	VCCIO5
61	VO_LCDC_CLK	VCCIO5
D4	VO_LCDC_HSYNC	VCCIO5
C3	VO_LCDC_VSYNC	VCCIO5

D3	VO_LCDC_DEN	VCCIO5
----	-------------	--------

LCD屏和触摸屏设计注意点:

- LED背光升压IC的FB端限流电阻，请选用1%精度电阻，并按功率需求选择合适的封装尺寸。
- LED背光升压IC的EN/PWM管脚，选择内部下拉的GPIO，外接下拉电阻，避免上电时出现闪屏现象。
- LED背光的驱动电压输出，请选择合适额定电压的滤波电容。
- LED背光升压电路的肖特基二极管请根据工作电流选择合适的型号，并注意二极管的反向击穿电压，避免在空载时反向击穿。
- LED背光升压电路的电感请根据实际型号匹配感量，饱和电流，DCR等。
- 屏和触摸屏的信号电平要与芯片的IO驱动电平匹配，如RST/Stand by等信号。
- 屏的电源必须可控制，上电时，默认不提供。
- 屏和触摸屏的去耦电容不得删减，必须保留。
- TP的I2C总线必须加2.2K上拉到VCC3V3_TP电源，建议不和其它设备共用总线，如果一定要共用，注意上拉电源和地址是否冲突。
- 带Charge pump的TP IC，请注意电容的额定电压。
- 对于屏，当通过FPC与板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。
- 串行接口的屏在接口处建议预留共模电感。

2.9 视频输入接口电路

SOM7609-S1核心板引出3组MIPI_DPHY_CSI信号，最多支持5个MIPI CSI摄像头接口，其中：

- 1.4x2Lane MIPI CSI D-PHY 或 2个4Lane MIPI CSI D-PHY (2.5Gbps/lane)
- 2.1x4lane MIPI CSI D-PHY 或 3 C-PHY trios

支持 1xDVP， 8/10/12/16-bit 标准 DVP 接口，最高 150MHz 数据输入; 支持 BT.601/BT.656 和 BT.1120 VI 接口。

2.9.1 MIPI DPHY CSI RX接口

RK3576有两个MIPI DPHY CSI RX接口，都支持MIPI V1.2版本，每个通道最大传输速率为2.5Gbps。

MIPI DPHY CSI1/2 RX接口模式支持情况：

- 支持4Lane模式，MIPI_DPHY_CSI1_RX_D[3:0]数据参考MIPI_DPHY_CSI1_RX_CLK
- 支持2Lane+2Lane模式：
- MIPI DPHY CSI1_RX_D[1:0]数据参考MIPI_DPHY_CSI1_RX_CLK
- MIPI DPHY CSI2_RX_D[1:0]数据参考MIPI_DPHY_CSI2_RX_CLK

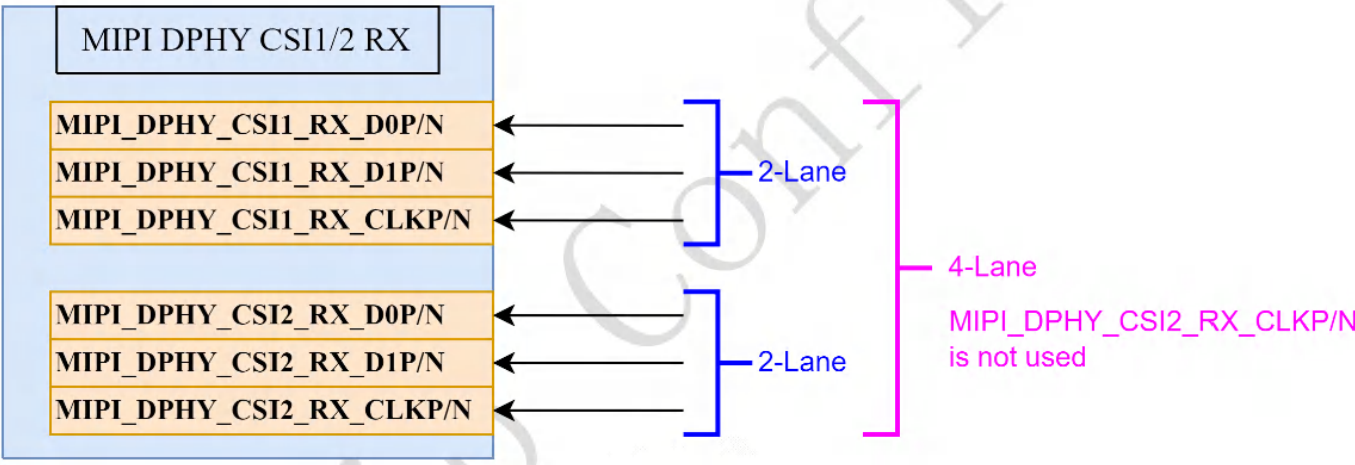


图30. RK3576 MIPI DPHY CSI1/2 RX工作模式与数据、时钟分配

MIPI DPHY CSI3/4 RX接口模式支持情况：

- 支持4Lane模式，MIPI_DPHY_CSI3_RX_D[3:0]数据参考MIPI_DPHY_CSI3_RX_CLK
- 支持2Lane+2Lane模式：
- MIPI DPHY CSI3_RX_D[1:0]数据参考MIPI_DPHY_CSI3_RX_CLK
- MIPI DPHY CSI4_RX_D[1:0]数据参考MIPI_DPHY_CSI4_RX_CLK

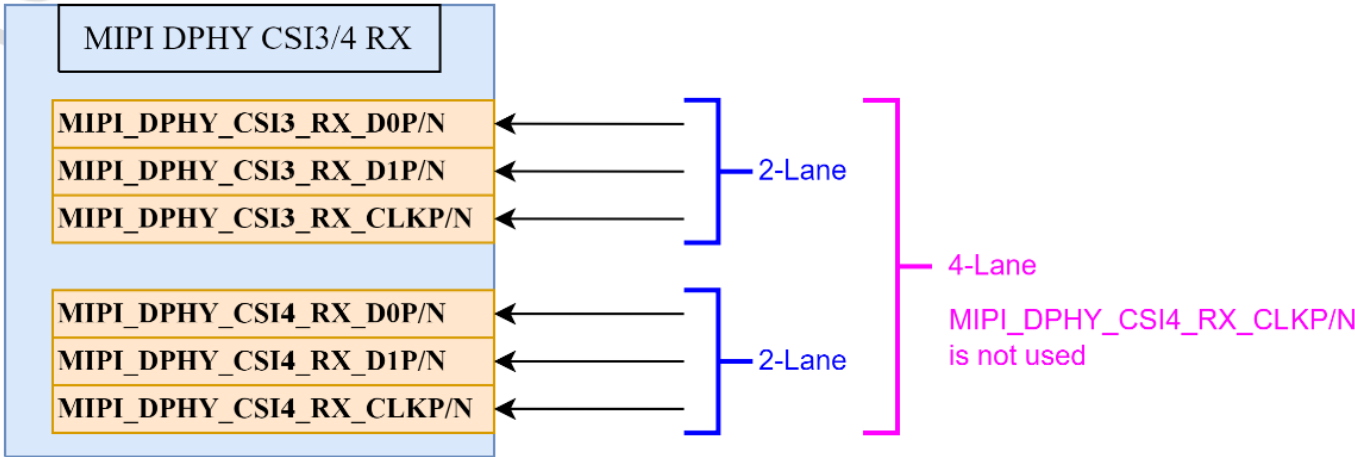


图31. RK3576 MIPI DPHY CSI3/4 RX工作模式与数据、时钟分配

MIPI DPHY CSI1/2引脚资源列表如下表所示：

引脚号	引脚定义	描述
117	MIPI_DPHY_CSI1_RX_D0P	MIPI CSI1 数据Lane0输入
118	MIPI_DPHY_CSI1_RX_D0N	
115	MIPI_DPHY_CSI1_RX_D1P	MIPI CSI1 数据Lane1输入
116	MIPI_DPHY_CSI1_RX_D1N	
109	MIPI_DPHY_CSI1_RX_CLKP	MIPI CSI1 时钟输入
110	MIPI_DPHY_CSI1_RX_CLKN	
113	MIPI_DPHY_CSI1_RX_D2P/ MIPI_DPHY_CSI2_RX_D0P	MIPI CSI1 数据Lane2输入/ MIPI CSI2 数据Lane0输入
114	MIPI_DPHY_CSI1_RX_D2N/ MIPI_DPHY_CSI2_RX_D0N	
111	MIPI_DPHY_CSI1_RX_D3P/ MIPI_DPHY_CSI2_RX_D1P	MIPI CSI1 数据Lane3输入/ MIPI CSI2 数据Lane1输入
112	MIPI_DPHY_CSI1_RX_D3N/ MIPI_DPHY_CSI2_RX_D1N	
E18	MIPI_DPHY_CSI2_RX_CLKP	MIPI CSI2 时钟输入
E19	MIPI_DPHY_CSI2_RX_CLKN	

注意：MIPI–CSI高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

MIPI DPHY CSI3/4引脚资源列表如下表所示：

引脚号	引脚定义	描述
146	MIPI_DPHY_CSI3_RX_D0P	MIPI CSI3 数据Lane0输入
147	MIPI_DPHY_CSI3_RX_D0N	
144	MIPI_DPHY_CSI3_RX_D1P	MIPI CSI3 数据Lane1输入

145	MIPI_DPHY_CSI3_RX_D1N	
142	MIPI_DPHY_CSI3_RX_CLKP	MIPI CSI3 时钟输入
143	MIPI_DPHY_CSI3_RX_CLKN	
140	MIPI_DPHY_CSI3_RX_D2P/ MIPI_DPHY_CSI4_RX_D0P	MIPI CSI3 数据Lane2输入/ MIPI CSI4 数据Lane0输入
141	MIPI_DPHY_CSI3_RX_D2N/ MIPI_DPHY_CSI4_RX_D0N	
138	MIPI_DPHY_CSI3_RX_D3P/ MIPI_DPHY_CSI4_RX_D1P	MIPI CSI3 数据Lane3输入/ MIPI CSI4 数据Lane1输入
139	MIPI_DPHY_CSI3_RX_D3N/ MIPI_DPHY_CSI4_RX_D1N	
136	MIPI_DPHY_CSI4_RX_CLKP	MIPI CSI4 时钟输入
137	MIPI_DPHY_CSI4_RX_CLKN	

注意：MIPI–CSI高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

2.9.2 MIPI_DCPHY_CSI_RX接口

RK3576有一个MIPI DCPHY CSI RX Combo PHY；DPHY支持V2.0版本，CPHY支持V1.1版本。DPHY模式有4Lane，最高传输速率4.5Gbps/Lane；CPHY模式有3Trios，最高传输速率5.7Gbps/Trio。

DPHY和CPHY配置支持情况：

●MIPI DCPHY Combo PHY的TX和RX只能支持同时配置成DPHY TX、DPHY RX模式，或同时配置成CPHY TX、CPHY RX模式。不支持一个配置成DPHY TX一个配置成CPHY RX，或者一个配置成CPHY TX一个配置成DPHY RX。

MIPI DCPHY工作在DPHY模式时支持情况：

- 支持4Lane/2Lane/1Lane模式，MIPI_DPHY_CSI0_RX[3:0]数据参考MIPI_DPHY_CSI0_RX_CLK；
- 不支持拆分成 2Lane+2Lane。

MIPI DCPHY工作在CPHY模式时支持情况：

●支持0/1/2 Trio，每个Trio有Trio_A/Trio_B/Trio_C 3根线，MIPI_CPHY_CSI_RX_TRIO[2:0]_A, MIPI_CPHY_CSI_RX_TRIO[2:0]_B, MIPI_CPHY_CSI_RX_TRIO[2:0]_C。

MIPI_DPHY0_RX引脚资源列表如下表所示：

引脚号	引脚定义	描述
F17	MIPI_DPHY_CSI0_RX_D0P	MIPI_DPHY_CSI0_RX数据 Lane0输入
F18	MIPI_DPHY_CSI0_RX_D0N	
F14	MIPI_DPHY_CSI0_RX_D1P	MIPI_DPHY_CSI0_RX数据 Lane1输入
F15	MIPI_DPHY_CSI0_RX_D1N	
F11	MIPI_DPHY_CSI0_RX_CLKP	MIPI_DPHY_CSI0_RX时钟输入
F12	MIPI_DPHY_CSI0_RX_CLKN	
E15	MIPI_DPHY_CSI0_RX_D2P	MIPI_DPHY_CSI0_RX数据 Lane2输入
E16	MIPI_DPHY_CSI0_RX_D2N	
E12	MIPI_DPHY_CSI0_RX_D3P	MIPI_DPHY_CSI0_RX数据 Lane3输入
E13	MIPI_DPHY_CSI0_RX_D3N	

注意：MIPI–CSI高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

2.9.3 CIF(DVP)接口

CIF接口电源域为VCCIO4供电，实际产品设计中，需要根据产品Camera的实际IO供电要求（1.8V or 3.3V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

CIF接口支持以下格式：

- 支持BT601 RAW8/10/12 YCbCr 422 8bit input
- 支持BT656 YCbCr 422 8–bit progressive/interlaced input
- 支持16–Pins BT1120 YCbCr 422 8–bit progressive/interlaced input
- 支持2/4 mixed BT.656/BT1120 YCbCr 422 input

CIF[15:0]的8/10/12/16bit数据对应关系如下表，支持高对齐和低对齐：

RK3576 CIF数据对应关系表：

低对齐	Mode	16bit	12bit	10bit	8bit	高对齐	Mode	16bit	12bit	10bit	8bit
	VI_CIF_D0	VI_CIF_D0	VI_CIF_D0	VI_CIF_D0	VI_CIF_D0		VI_CIF_D0	VI_CIF_D0			
	VI_CIF_D1	VI_CIF_D1	VI_CIF_D1	VI_CIF_D1	VI_CIF_D1		VI_CIF_D1	VI_CIF_D1			
	VI_CIF_D2	VI_CIF_D2	VI_CIF_D2	VI_CIF_D2	VI_CIF_D2		VI_CIF_D2	VI_CIF_D2			
	VI_CIF_D3	VI_CIF_D3	VI_CIF_D3	VI_CIF_D3	VI_CIF_D3		VI_CIF_D3	VI_CIF_D3			
	VI_CIF_D4	VI_CIF_D4	VI_CIF_D4	VI_CIF_D4	VI_CIF_D4		VI_CIF_D4	VI_CIF_D4	VI_CIF_D0		
	VI_CIF_D5	VI_CIF_D5	VI_CIF_D5	VI_CIF_D5	VI_CIF_D5		VI_CIF_D5	VI_CIF_D5	VI_CIF_D1		
	VI_CIF_D6	VI_CIF_D6	VI_CIF_D6	VI_CIF_D6	VI_CIF_D6		VI_CIF_D6	VI_CIF_D6	VI_CIF_D2	VI_CIF_D0	
	VI_CIF_D7	VI_CIF_D7	VI_CIF_D7	VI_CIF_D7	VI_CIF_D7		VI_CIF_D7	VI_CIF_D7	VI_CIF_D3	VI_CIF_D1	
	VI_CIF_D8	VI_CIF_D8	VI_CIF_D8	VI_CIF_D8			VI_CIF_D8	VI_CIF_D8	VI_CIF_D4	VI_CIF_D2	VI_CIF_D0
	VI_CIF_D9	VI_CIF_D9	VI_CIF_D9	VI_CIF_D9			VI_CIF_D9	VI_CIF_D9	VI_CIF_D5	VI_CIF_D3	VI_CIF_D1
	VI_CIF_D10	VI_CIF_D10	VI_CIF_D10				VI_CIF_D10	VI_CIF_D10	VI_CIF_D6	VI_CIF_D4	VI_CIF_D2
	VI_CIF_D11	VI_CIF_D11	VI_CIF_D11				VI_CIF_D11	VI_CIF_D11	VI_CIF_D7	VI_CIF_D5	VI_CIF_D3
	VI_CIF_D12	VI_CIF_D12					VI_CIF_D12	VI_CIF_D12	VI_CIF_D8	VI_CIF_D6	VI_CIF_D4
	VI_CIF_D13	VI_CIF_D13					VI_CIF_D13	VI_CIF_D13	VI_CIF_D9	VI_CIF_D7	VI_CIF_D5
	VI_CIF_D14	VI_CIF_D14					VI_CIF_D14	VI_CIF_D14	VI_CIF_D10	VI_CIF_D8	VI_CIF_D6
	VI_CIF_D15	VI_CIF_D15					VI_CIF_D15	VI_CIF_D15	VI_CIF_D11	VI_CIF_D9	VI_CIF_D7

BT1120 16bit模式数据对应关系，支持YC Swap

RK3576 BT1120 16bit模式数据对应关系表：

Pin Name	默认模式		Swap 打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
VI_CIF_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
VI_CIF_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
VI_CIF_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
VI_CIF_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
VI_CIF_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
VI_CIF_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
VI_CIF_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
VI_CIF_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
VI_CIF_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
VI_CIF_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
VI_CIF_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
VI_CIF_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
VI_CIF_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
VI_CIF_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
VI_CIF_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
VI_CIF_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

2.9.3 CMIPI CSI RX/CIF设计时注意点

- Camera的DVDD供电有1.2V/1.5V/1.8V等不同情况，请根据Camera的规格书提供准确的电源，参考电路默认是1.2V；
 - 有些Camera的DVDD电流比较大，超过100mA建议使用DCDC供电；
 - Camera的几路电源有上电时序要求，请根据Camera的规格书相应调整上电时序，参考图默认上电时序为：1.8V-->1.2V-->2.8V；
 - 使用CIF接口的Camera时，要注意Camera 的DOVDD（IO电源）与VCCIO4供电必须用相同的电压；
 - 使用两个Camera时，可根据需求实际情况电源分开或合并，参考图默认是分开；
 - 若Camera带AF 功能，则VCC2V8_AF需要单独供电；或是与AVCC2V8_DVP共用，必须用磁珠隔离；
 - Camera的所有电源的去耦电容不得删减，必须保留，靠近座子放置；
 - Camera的PWDN信号必须使用GPIO控制，GPIO电平必须和Camera IO电平匹配；
 - Camera的Reset信号建议使用GPIO控制，GPIO电平必须和Camera IO电平匹配，Reset信号的100nF电容不得删除，靠近座子放置，加强抗静电能力；
 - Camera的MCLK可以从以下获取：
 - VI_CIF_CLKOUT
 - REF_CLK0_OUT/REF_CLK1_OUT/REF_CLK2_OUT
 - CAM_CLK0_OUT/CAM_CLK1_OUT/CAM_CLK2_OUT
 - 注意：时钟的电平必须和Camera IO电平匹配，如果不匹配，必须电平转换或电阻分压使电平匹配；
 - 如果两个Camera同型号，要注意I2C地址是否一样，如果地址也一样，那么需要两个I2C总线。
-

2.10 PCIe2.1电路

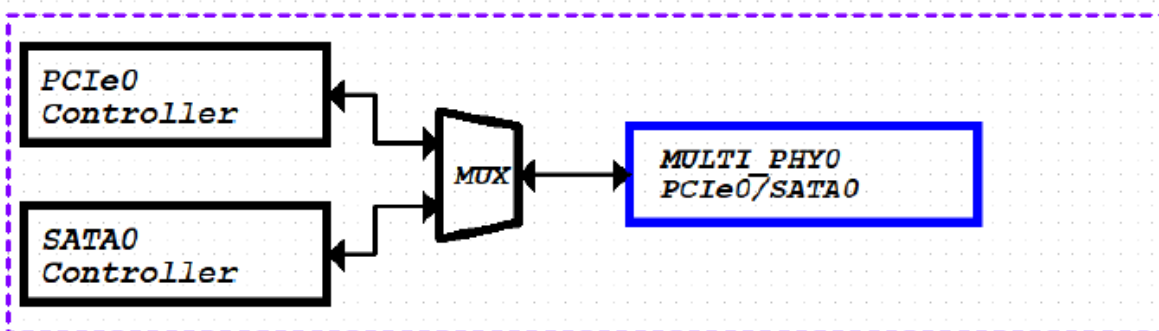
RK3576拥有2个PCIe2.1控制器，两个都只支持RC模式(RC是Root Complex缩写)，不支持EP，如下：

- Controller 0(1Lane), PCIe0 Controller x1 Lane(Only RC)
- Controller 1(1Lane), PCIe1 Controller x1 Lane(Only RC)

2个PCIe2.1控制器与SATA3.1/USB3.2_Gen1x1组成两个Combo PHY，一个是PCIe2.1/SATA3.1 Combo PHY0、另一个是PCIe2.1/SATA3.1/USB3.2_Gen1x1 Combo PHY1。

Controller和PHY之间的映射关系图如下：

PCIe Combo PHY0--PCIe0/SATA0



PCIe Combo PHY1-- PCIe1/SATA1/USB3.2 GEN1X1 OTG1

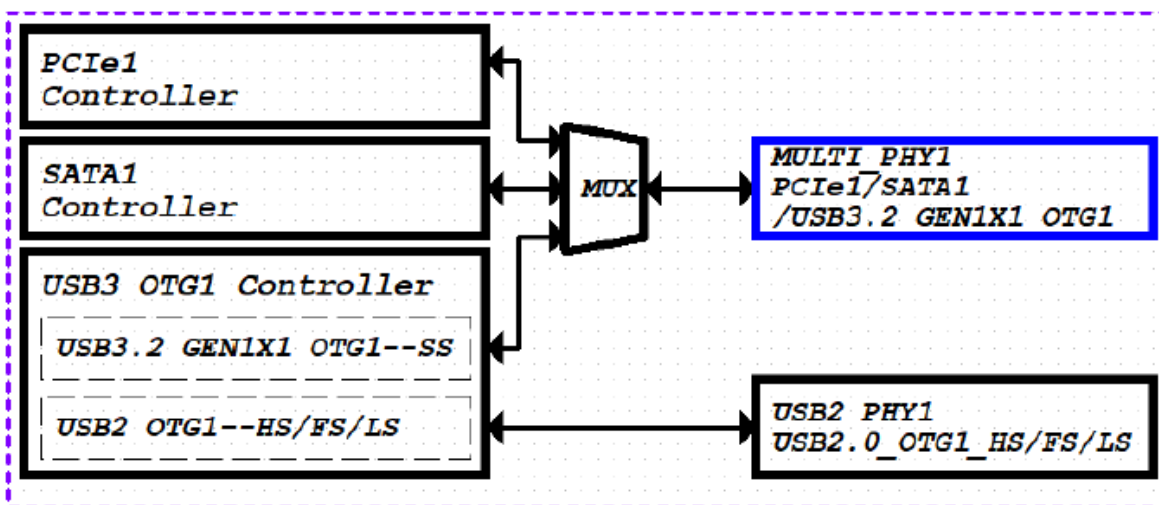


图32. RK3576 PCIe Controller与PHY的映射关系图

PCIE0/1_REFCLKP/N可支持输出也可支持输入，默认输出提供给EP设备，如下示意图：

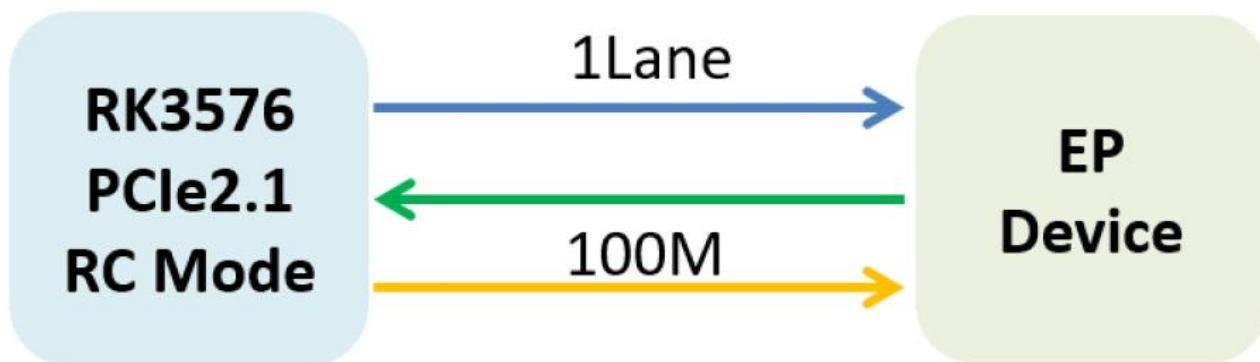


图33. PCIE0/1_REFCLKP/N时钟做输出时的路径图

PCIE0/1_REFCLKP/N若做输入时，示意图如下：

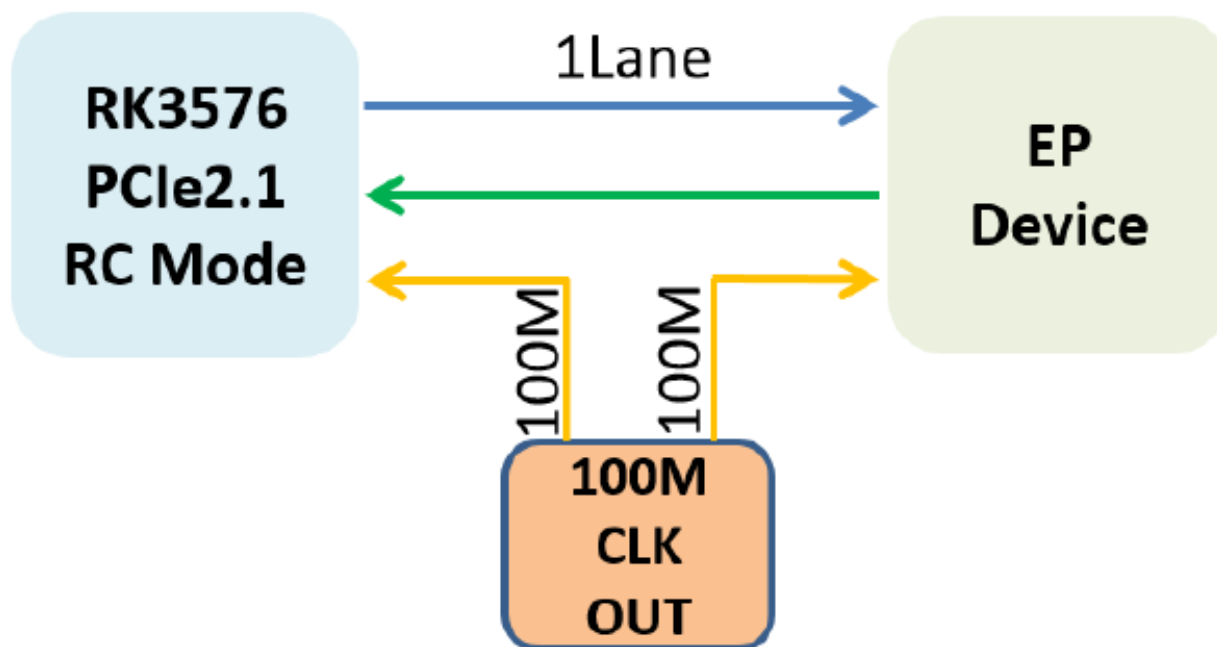


图34. PCIE0/1_REFCLKP/N时钟做输入时的路径图

PCle2.1设计中请注意：

- Slot设计时，外围电路及电源需要满足Spec要求；
- PCIe2.1接口的TXP/N差分信号上串接的100nF交流耦合电容，AC耦合电容建议使用更低的ESR和ESL，可减少线路上的阻抗变化；
- PCIe2.1的TXP和TXN信号支持极性反转（polarity inversion）功能，此功能是协议层的支持，无需软件做任何配置和修改；
- PCIe0/1_CLKREQN必须使用功能脚，不能用GPIO替代；
- PCIe0/1_PERSTN/WAKEN/PRSNT在RK3576上面不指定特定的IO，直接使用电平匹配的GPIO口来做控制功能脚就可以；
- 标准的PCIe Slot：PCIEx_CLKREQN，PCIEx_WAKEN，PCIEx_PERSTN正常为3.3V电平，需要注意做好电平匹配。
- 使用PCIe功能的时候，复用的SATA/USB功能无法使用，SATA/USB对应的功能详见其模块说明。
- PCIe2.1功能模块没有使用时，数据线PCIE0/1_TXP/TXN、PCIE0/1_RXP/RXN和参考时钟线PCIE0/1_REFCLKP/ REFCLKN悬空即可，注意软件对应的dts配置需要disable。

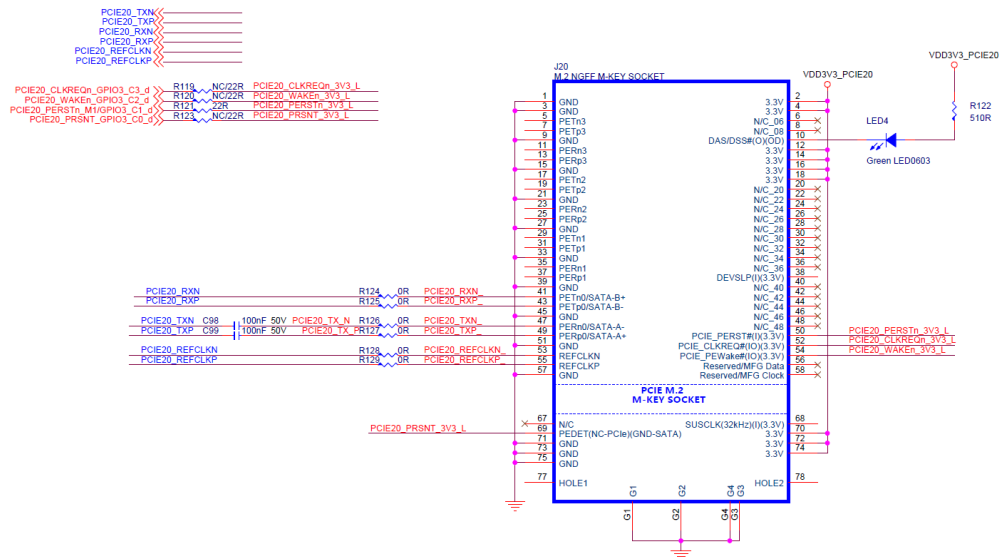
PCle0引脚资源列表如下表所示：

引脚编号	引脚定义	描述
127	PCIE0_TXP/SATA0_TXP	PCIE发送0-正

126	PCIE0_TXN/SATA0_TXN	PCIE发送0-负
125	PCIE0_RXP/SATA0_RXP	PCIE接收0-正
124	PCIE0_RXN/SATA0_RXN	PCIE接收0-负
123	PCIE0_REFCLKP	PCIE参考时钟-正
122	PCIE0_REFCLKN	PCIE参考时钟-负

PCIe1引脚资源列表如下表所示：

引脚编号	引脚定义	描述
132	PCIE1_TXP/SATA1_TXP/USB3_OTG1_SSTXP	PCIE发送0-正
131	PCIE1_TXN/SATA1_TXN/USB3_OTG1_SSTXN	PCIE发送0-负
134	PCIE1_RXP/SATA1_RXP/USB3_OTG1_SSRXP	PCIE接收0-正
133	PCIE1_RXN/ SATA1_RXN/USB3_OTG1_SSRX N	PCIE接收0-负
130	PCIE1_REFCLKP	PCIE参考时钟-正
129	PCIE1_REFCLKN	PCIE参考时钟-负



注意： PCIe高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

2.11 SATA3.1电路

RK3576芯片拥有2个SATA3.1控制器，和PCIe以及USB3_OTG1控制器复用Comb PHY0/1，具体路径请见下图。

- 支持SATA PM功能，每个port可以支持5个设备；
- 支持SATA 1.5Gb/s, SATA 3.0Gb/s, SATA 6.0Gb/s speeds ；
- 支持eSATA。

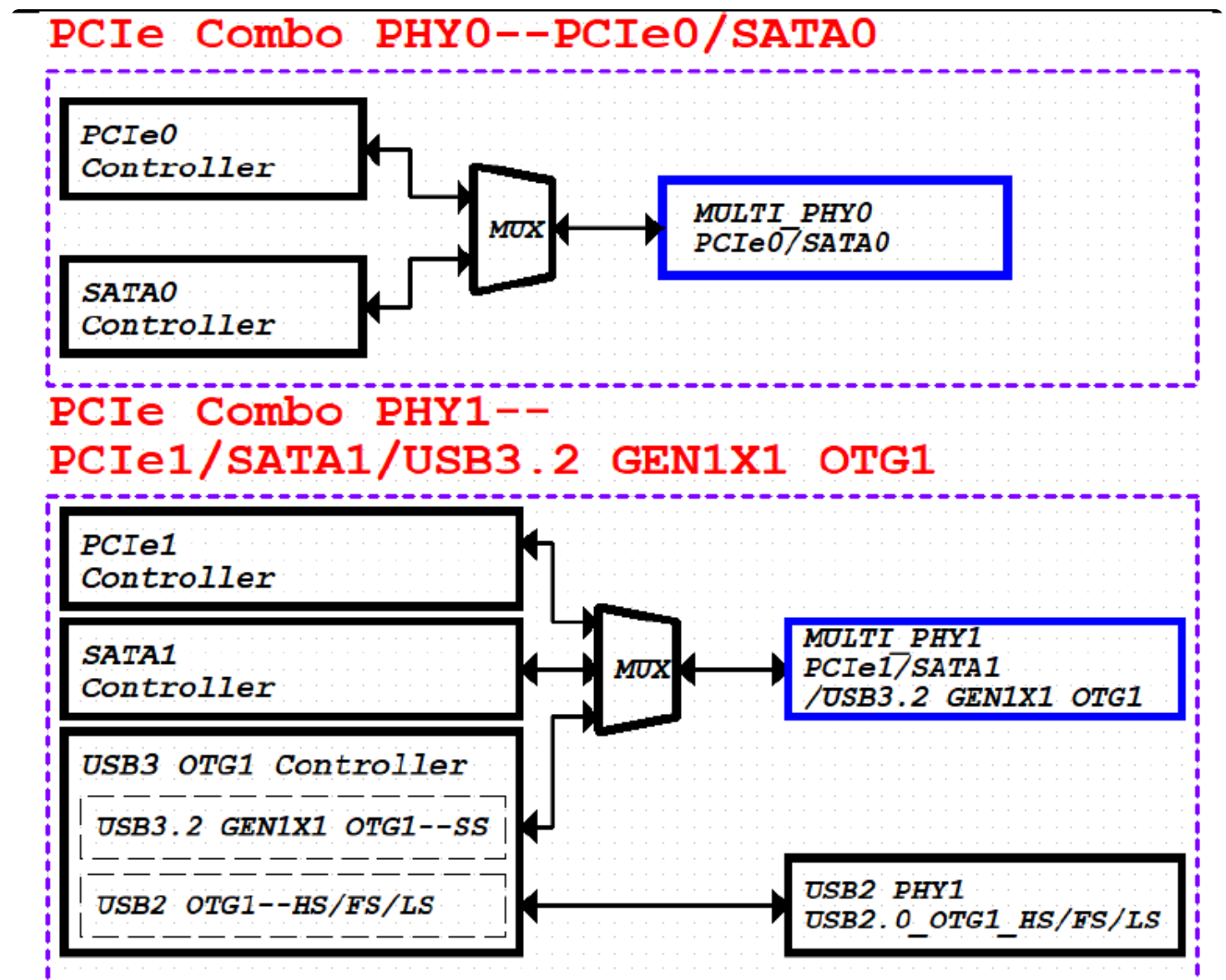


图36. PIPE_PHY0/1和SATA3.1控制器复用关系

SATA0/1控制器相关控制IO有：

●SATA0_ACTLED：SATA0接口有数据传输时LED闪烁控制输出；

●SATA1_ACTLED：SATA1接口有数据传输时LED闪烁控制输出；

●SATA_CPDET：SATA热拔插设备的插拔检测输入；

●SATA_MPSWIT：SATA热拔插设备的开关检测输入；

●SATA_CPPOD：SATA控制热拔插设备电源开关输出；

●其中SATA_CPDET、SATA_MPSWIT、SATA_CPPOD是SATA0/1共用接口，可通过寄存器配置是SATA0还是SATA1

●其中SATA0_ACTLED、SATA1_ACTLED复用到两个位置，一个在VCCIO6电源域，一个在VCCIO4电源域。

SATA信号引脚资源列表如下表所示：

SATA控制器	核心板引脚编号	SATA信号定义	信号说明
SATA0	127	SATA0_TXP	SATA 发送 DP
	126	SATA0_TXN	SATA 发送 DN
	125	SATA0_RXP	SATA 接收 DP
	124	SATA0_RXN	SATA 接收 DN
SATA1	132	SATA1_TXP	SATA 发送 DP
	131	SATA1_TXN	SATA 发送 DN
	134	SATA1_RXP	SATA 接收 DP
	133	SATA1_RXN	SATA 接收 DN

注意：走线按照100Ω差分阻抗。10nF耦合电容靠近SATA座子。走线长度<5inch。参考设计如下图：

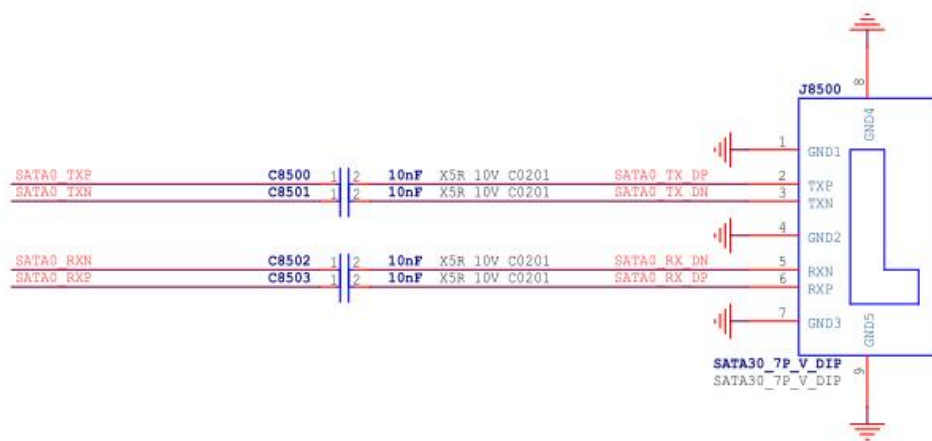


图37. SATA接口参考设计

2.12 UART 接口电路

SOM7609-S1核心板共引出12路UART，其中UART0_M0_DEBUG为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

注意：

1. 需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。
2. UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1，M2三组引脚可选配，同一个UART控制器同时只能配置一组引脚。
3. 调试串口默认为UART0 M0引脚组。
4. UART与RS485通信时，有3线模式和4线模式，如下图所示。3线模式时，UART的RTSN与RS485的RE和DE引脚连接在一起。4线模式时，RTSN与RS485的DE连接一起，CTSN与RS485的RE连接在一起。

UART信号定义及可复用引脚列表如下表所示：

UART资源	引脚编号	UART信号定义	电源域
UART0	119	UART0_RX_M0	PMUIO1 (VCC_3V3_S3)
	120	UART0_TX_M0	
	14	UART0_RX_M1	VCCIO1 (调试串口)

	15	UART0_TX_M1	
UART1	H5	UART1_RX_M0	VCCIO5
	H6	UART1_TX_M0	
	120	UART1_RTSN_M0	
	G2	UART1_CTSN_M0	
	B12	UART1_RX_M1	
	B11	UART1_TX_M1	VCCIO4
	B15	UART1_RTSN_M1	
	B14	UART1_CTSN_M1	
	54	UART1_RX_M2	
	40	UART1_TX_M2	VCCIO5
	53	UART1_RTSN_M2	
	55	UART1_CTSN_M2	
	B6	UART2_RX_M0	VCC_1V8_S3
	B5	UART2_TX_M0	
UART2	A3	UART2_RTSN_M0	
	A4	UART2_CTSN_M0	
	65	UART2_RX_M1	VCCIO2
	64	UART2_TX_M1	
	C5	UART2_RTSN_M1	
	C6	UART2_CTSN_M1	
	57	UART2_RX_M2	VCCIO5
	58	UART2_TX_M2	
	41	UART2_RTSN_M2	
	42	UART2_CTSN_M2	

UART3	A15	UART3_RX_M0	VCCIO4
	A14	UART3_TX_M0	
	A19	UART3_RTSN_M0	
	A17	UART3_CTSN_M0	
	63	UART3_RX_M1	VCCIO5
	62	UART3_TX_M1	
	58	UART3_RTSN_M1	
	57	UART3_CTSN_M1	
	12	UART3_RX_M2	VCC_1V8_S3
	11	UART3_TX_M2	
	9	UART3_RTSN_M2	
	10	UART3_CTSN_M2	
UART4	30	UART4_RX_M0	VCCIO4
	21	UART4_TX_M0	
	24	UART4_RTSN_M0	
	22	UART4_CTSN_M0	
	H8	UART4_RX_M1	VCC_1V8_S3
	H9	UART4_TX_M1	
	A1	UART4_RTSN_M1	
	A2	UART4_CTSN_M1	
	H8	UART4_RX_M2	PMUIO1 (VCC_3V3_S3)
	H9	UART4_TX_M2	
UART5	D3	UART5_RX_M0	VCCIO5
	D4	UART5_TX_M0	
	61	UART5_RTSN_M0	

	C3	UART5_CTSN_M0	VCCIO2
	C6	UART5_RX_M1	
	C5	UART5_TX_M1	
	70	UART5_RTSN_M1	
	66	UART5_CTSN_M1	
	18	UART5_RX_M2	VCCIO2
	19	UART5_TX_M2	
	16	UART5_RTSN_M2	
	17	UART5_CTSN_M2	
UART6	C9	UART6_RX_M0	VCCIO2
	C8	UART6_TX_M0	
	C5	UART6_RTSN_M0	
	C6	UART6_CTSN_M0	
	29	UART6_RX_M1	VCCIO4
	32	UART6_TX_M1	
	35	UART6_RTSN_M1	
	36	UART6_CTSN_M1	
	F3	UART6_RX_M3	VCC_3V3_S0
	F4	UART6_TX_M3	
UART7	A13	UART7_RX_M0	VCCIO4
	A12	UART7_TX_M0	
	A18	UART7_RTSN_M0	
	B16	UART7_CTSN_M0	

	14	UART7_RX_M2	VCCIO1
	15	UART7_TX_M2	
UART8	D5	UART8_RX_M0	VCCIO5
	D6	UART8_TX_M0	
	C2	UART8_RTSN_M0	
	D2	UART8_CTSN_M0	
	B10	UART8_RX_M1	VCCIO4
	B9	UART8_TX_M1	
	A12	UART8_RTSN_M1	
	A13	UART8_CTSN_M1	
	H3	UART8_RX_M2	PMUIO1 (VCC_3V3_S3)
	H4	UART8_TX_M2	
UART9	31	UART9_RX_M0	VCCIO4
	28	UART9_TX_M0	
	B17	UART9_RTSN_M0	
	B18	UART9_CTSN_M0	
	39	UART9_RX_M1	VCCIO5
	38	UART9_TX_M1	
	48	UART9_RTSN_M1	
	47	UART9_CTSN_M1	
	E1	UART9_RX_M2	VCC_3V3_S0
	E2	UART9_TX_M2	
UART10	56	UART10_RX_M0	VCCIO5
	57	UART10_TX_M0	
	40	UART10_RTSN_M0	

	54	UART10_CTSN_M0	VCC_1V8_S3
	A7	UART10_RX_M1	
	A6	UART10_TX_M1	
	B7	UART10_RTSN_M1	
	A10	UART10_CTSN_M1	
	G8	UART10_RX_M2	PMUIO1 (VCC_3V3_S3)
	G9	UART10_TX_M2	
UART11	60	UART11_RX_M0	VCCIO5
	59	UART11_TX_M0	
	50	UART11_RTSN_M0	
	49	UART11_CTSN_M0	
	26	UART11_RX_M1	VCCIO4
	25	UART11_TX_M1	
	23	UART11_RTSN_M1	
	33	UART11_CTSN_M1	
	E3	UART11_RX_M2	VCC_3V3_S0
	E4	UART11_TX_M2	

2.13 CAN总线

SOM7609–S1引出2个CAN总线控制器，支持 CAN FD，5Mbps。

CAN引脚复用信号较多，同一路CAN控制器可以分配到不同引脚分组。最多可有M0，M1组引脚可选配，同一个CAN控制器同时只能配置一组引脚。

CAN接口引脚资源如下表所示：

CAN资源	引脚分组	引脚编号	CAN信号定义	电源域
-------	------	------	---------	-----

CAN0	M0	14	CAN0_RX_M0	VCCIO1
		15	CAN0_TX_M0	
	M1	E1	CAN0_RX_M1	VCC_3V3_S0
		E2	CAN0_TX_M1	
	M2	C9	CAN0_RX_M2	VCCIO1
		C8	CAN0_TX_M2	
	M3	60	CAN0_RX_M3	VCCIO5
		49	CAN0_TX_M3	
CAN1	M0	15	CAN1_RX_M0	VCCIO1
		17	CAN1_TX_M0	
	M1	F1	CAN1_RX_M1	VCC_3V3_S0
		F2	CAN1_TX_M1	
	M3	A19	CAN1_RX_M3	VCCIO4
		A18	CAN1_TX_M3	

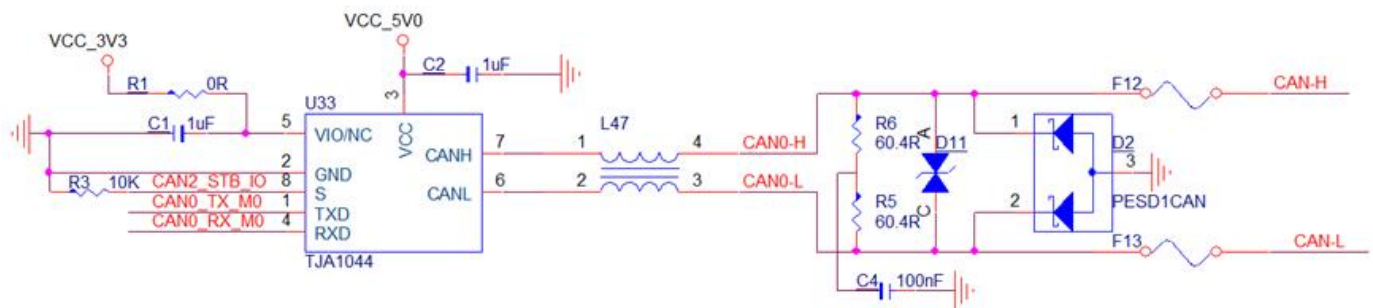


图38. CAN收发器参考设计

2.14 I2C 接口电路

SOM7609-S1核心板共引出9组I2C接口，使用时注意电平为1.8V或3.3V，必要时加电平转换电路。

注意：I2C引脚复用信号较多，同一路I2C控制器可以分配到不同引脚分组。最多可有M0，M1，M2，M3引脚可选配，同一个I2C控制器同时只能配置一组引脚。

I2C总线引脚资源如下表所示：

I2C资源	引脚分组	引脚编号	I2C信号定义	电源域
I2C0	M0	G12	I2C0_SCL_M0	PMUIO0 (VCC_1V8_S3)
		G11	I2C0_SDA_M0	
	M1	H4	I2C0_SCL_M1	PMUIO1 (VCC_3V3_S3)
		H3	I2C0_SDA_M1	
I2C2	M0	H6	I2C2_SCL_M0	PMUIO1 (VCC_3V3_S3)
		H5	I2C2_SDA_M0	
	M2	70	I2C2_SCL_M2	VCCIO2
		66	I2C2_SDA_M2	
	M3	E2	I2C2_SCL_M3	VCC_3V3_S0
		E1	I2C2_SDA_M3	
I2C3	M0	64	I2C3_SCL_M0	VCCIO2
		65	I2C3_SDA_M0	
	M1	G7	I2C3_SCL_M1	PMUIO1 (VCC_3V3_S3)
		G6	I2C3_SDA_M1	
	M2	D3	I2C3_SCL_M2	VCCIO5
		D4	I2C3_SDA_M2	
	M3	F4	I2C3_SCL_M3	VCC_3V3_S0
		F3	I2C3_SDA_M3	
I2C4	M0	G3	I2C4_SCL_M0	PMUIO1 (VCC_3V3_S3)
		G2	I2C4_SDA_M0	
	M1	C8	I2C4_SCL_M1	VCCIO2
		C9	I2C4_SDA_M1	

	M2	B9	I2C4_SCL_M2	VCCIO4
		B10	I2C4_SDA_M2	
	M3	58	I2C4_SCL_M3	VCCIO5
		57	I2C4_SDA_M3	
I2C5	M0	19	I2C5_SCL_M0	VCCIO1
		18	I2C5_SDA_M0	
	M1	B7	I2C5_SCL_M1	VCC_1V8_S3
		A10	I2C5_SDA_M1	
	M2	22	I2C5_SCL_M2	VCCIO4
		24	I2C5_SDA_M2	
	M3	59	I2C5_SCL_M3	VCCIO5
		60	I2C5_SDA_M3	
I2C6	M0	H12	I2C6_SCL_M0	PMUIO0 (VCC_1V8_S3)
		H11	I2C6_SDA_M0	
	M1	A1	I2C6_SCL_M1	VCC_1V8_S3
		A2	I2C6_SDA_M1	
	M2	21	I2C6_SCL_M2	VCCIO4
		30	I2C6_SDA_M2	
	M3	F2	I2C6_SCL_M3	VCC_3V3_S0
		F1	I2C6_SDA_M3	
I2C7	M1	A14	I2C7_SCL_M1	VCCIO4
		A15	I2C7_SDA_M1	
	M2	62	I2C7_SCL_M2	VCCIO5
		63	I2C7_SDA_M2	
	M3	E4	I2C7_SCL_M3	VCC_3V3_S0

		E3	I2C7_SDA_M3	
I2C8	M0	14	I2C8_SCL_M0	VCCIO1
		15	I2C8_SDA_M0	
	M1	B5	I2C8_SCL_M1	VCC_1V8_S3
		B6	I2C8_SDA_M1	
	M2	A12	I2C8_SCL_M2	VCCIO4
		A13	I2C8_SDA_M2	
	M3	46	I2C8_SCL_M3	VCCIO5
		39	I2C8_SDA_M3	
I2C9	M1	8	I2C9_SCL_M1	VCC_1V8_S3
		7	I2C9_SDA_M1	
	M2	36	I2C9_SCL_M2	VCCIO4
		35	I2C9_SDA_M2	
	M3	50	I2C9_SCL_M3	VCCIO5
		49	I2C9_SDA_M3	

2.15 I3C接口电路

SOM7609-S1核心板引出2路I3C总线，当工作于 I3C 兼容 I2C 模式时，需要用到 3 个 Pin，分别是 I3C_SCL、I3C_SDA、I3C_SDA_PU，其中I3C_SDA 通过上拉电阻接到 I3C_SDA_PU，I3C_SCL 通过上拉电阻接到上拉电源，上拉电源必须和 GPIO电源域电源保持一致。当只需要工作于 I2C 模式时，则只需要用到 2 个 Pin，分别是 I3C_SCL、I3C_SDA，硬件接线方法和I2C 一样。

1. 支持 I3C 总线主模式，纯 I3C 设备传输速率高达 12.5Mbit/s；
2. 兼容 I2C 总线主模式，纯 I2C 设备传输速率高达 400K bit/s；
3. 支持 7 位和 10 位寻址模式。

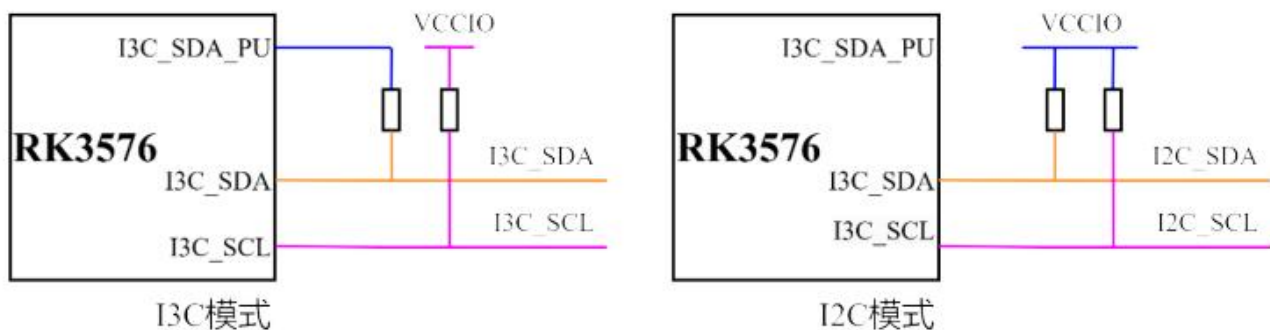


图39. I3C 的 I3C 模式和 I2C 模式接线示意图

I2C总线引脚资源如下表所示：

I3C资源	引脚分组	引脚编号	I2C信号定义	电源域
I3C0	M0	H4	I3C0_SCL_M0	PMUIO1 (VCC_3V3_S3)
		H3	I3C0_SDA_M0	
		G8	I3C0_SDA_PU_M0	
	M1	A8	I3C0_SCL_M1	VCC_1V8_S3
		A9	I3C0_SDA_M1	
		A7	I3C0_SDA_PU_M1	
I3C1	M0	32	I3C1_SCL_M0	VCCIO4
		29	I3C1_SDA_M0	
		B17	I3C1_SDA_PU_M0	
	M1	16	I3C1_SCL_M1	VCCIO1
		17	I3C1_SDA_M1	
		19	I3C1_SDA_PU_M1	
	M2	42	I3C1_SCL_M2	VCCIO5
		41	I3C1_SDA_M2	
		44	I3C1_SDA_PU_M2	

2.16 SARADC电路

SOM7609-S1共引出8路ADC接口，12bit精度，速度达到1MS/s，0~1.8V电压采样范围。

BOOT_SARADC_IN0默认做为ADC采样口，复用功能为BOOT强制烧录模式。系统启动时 BOOT 模式按键处于按下状态，即将BOOT_SARADC_IN0保持为低电平（0V），则 RK3576 进入Mask ROM烧写模式，当 PC 识别到 USB 设备时，松开按键使BOOT_SARADC_IN0恢复为高电平（1.8V），即可进行固件烧写。

SARADC_IN0_BOOT专用于SYSTEM BOOT启动顺序的设置，不能用于其它功能，通过上下拉电阻分压采样得到的值，用来判断从哪个接口进行BOOT，设置如下表：（Rup/Rdown代表上、下拉电阻）

SOM7609-S1 SARADC_IN0_BOOT配置表：

Item	Rup(Kohm)	Rdown(Kohm)	ADC	BOOT MODE
Config 1	NC	10	0	USB(Maskrom mode)
Config 2	10	1.13	416	FSPI0->USB
Config 3	10	2.49	816	FSPI1_M0->EMMC->USB
Config 4	10	4.3	1231	FSPI1_M1->EMMC->USB
Config 5	10	6.8	1658	FSPI0->UFS->USB
Config 6	10	10	2048	FSPI1_M0->UFS->USB
Config 7	10	14.7	2437	UFS->USB
Config 8	10	23.2	2862	UFS->SDMMC0->USB
Config 9	10	40.2	3279	RFU
Config 10	10	88.7	3680	EMMC->SDMMC0->USB
Config 11	10	NC	4095	EMMC->USB

RK3576设备连接好USB线，系统启动时 BOOT 模式按键处于按下状态，即将BOOT_SARADC_IN0保持为低电平（0V）。此时上电，系统可以直接进入Maskrom烧写模式，当 PC 识别到 USB 设备时，松开按键使SARADC_IN0_BOOT恢复为高电平（1.8V），即可进行固件烧写。另外为了方便开发，建议预留按键或 预留测试点。

SARADC_VIN1默认做为键值输入采样口，并复用为 Recovery 模式按键（不可修改）。核心板上 SARADC_VIN1通过10KΩ 上拉电阻上拉到 1.8V，默认为高电平（1.8V）。在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将 SARADC_VIN1保持为低电平（0V），则 RK3576 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC_VIN1恢复为高电平（1.8V），即可进行固件烧写。另外为了方便开发，建议预留按键或 预留测试点。在Android系统操作界面下，其它按键操作如，VOL-，Home等功能按键也通过SARADC_VIN1引脚实现，参考电路如下：

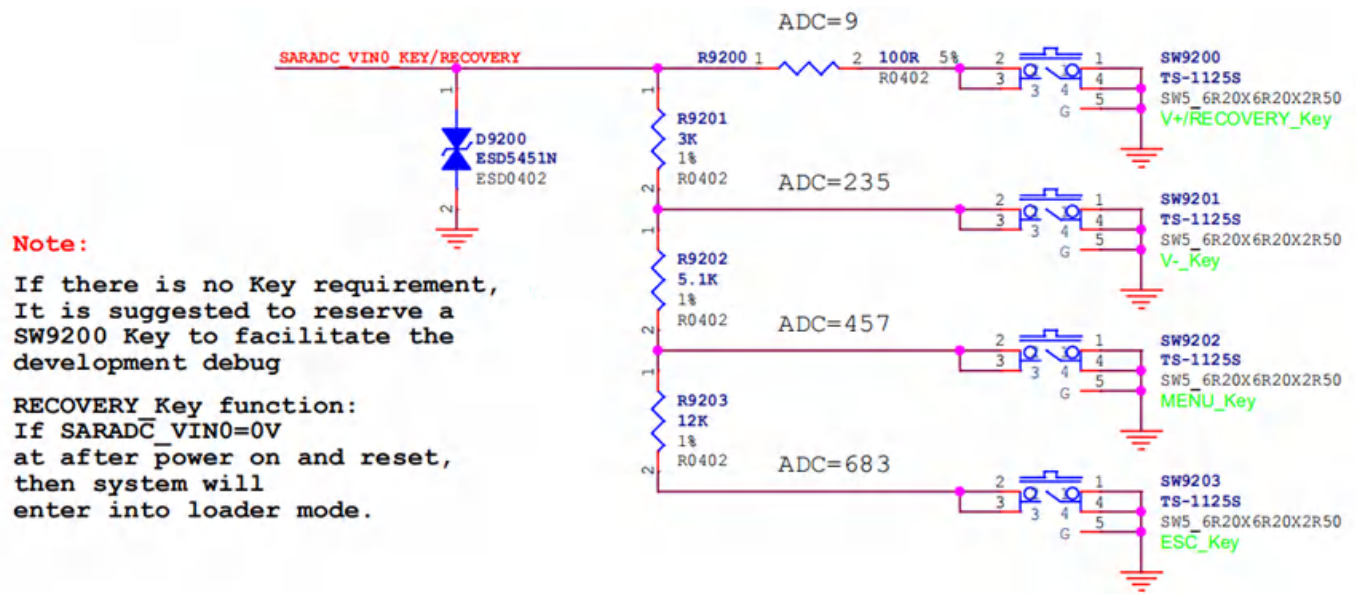


图40. RK3576 SARADC按键矩阵电路

SRADC引脚列表如下表所示：

引脚号	引脚定义	电源域	描述	
G18	SARADC_IN0_BOOT	1.8V	默认用于BOOT按键功能。核心板上拉10K电阻到1.8V	
5	SARADC_IN1	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V
G17	SARADC_IN2	1.8V	标准ADC输入	
G16	SARADC_IN3	1.8V	标准ADC输入	
G15	SARADC_IN4	1.8V	标准ADC输入	
H17	SARADC_IN5	1.8V	标准ADC输入	
H16	SARADC_IN6	1.8V	标准ADC输入	
H15	SARADC_IN7	1.8V	标准ADC输入	

注意：

1. SARADC 采样范围为0~1.8V，采样精度为 12bit 。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值， 实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于±35，即中心电压差必须大于132mV；
2. SARADC_VIN有使用时， 靠近核心板管脚必须并联1nF电容消抖；

3. 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100Ω 电阻加强抗静电浪涌能力（如果只有一个键时 ESD 必须靠近按键，先经过 ESD→100Ω电阻→1nF→核心板管脚）。

2.17 SPI接口电路

SOM7609-S1共引出5路SPI接口，可用于连接SPI通信接口的芯片或者模块。

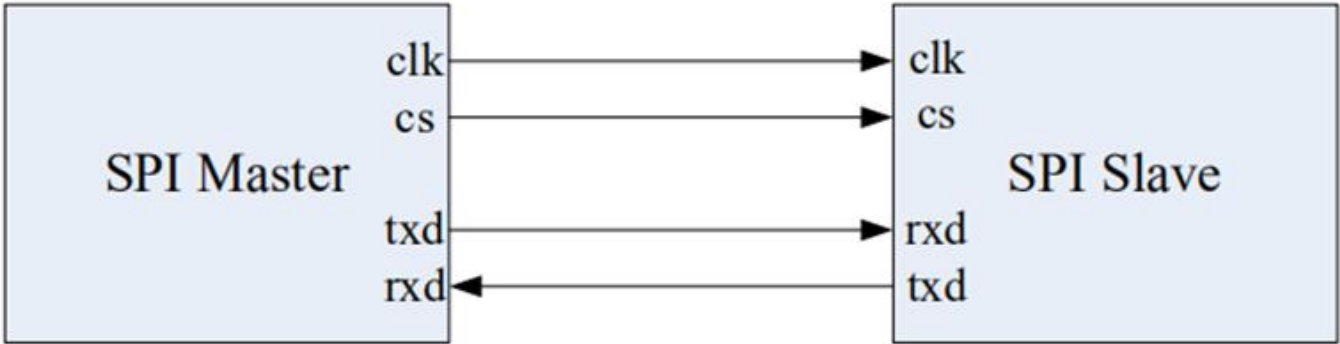


图41. SPI设备连接

SPI引脚资源列表如下表所示：

SPI接口	引脚分组	引脚编号	引脚定义	电源域	说明
SPI0	M0	G6	SPI0_CLK_M0	PMUIO1	Clock
		G4	SPI0_MISO_M0		Master Input Slave Output
		G5	SPI0_MOSI_M0		Master Output Slave input
		G7	SPI0_CSN0_M0		片选0
		H2	SPI0_CSN1_M0		片选1
	M1	19	SPI0_CLK_M1	VCCIO1	Clock
		15	SPI0_MISO_M1		Master Input Slave Output
		14	SPI0_MOSI_M1		Master Output Slave input

SPI1	M0	18	SPI0_CSN0_M1	VCCIO3	片选0
		16	SPI0_CSN1_M1		片选1
		19	SPI1_CLK_M0		Clock
		10	SPI1_MISO_M0		Master Input Slave Output
		8	SPI1_MOSI_M0		Master Output Slave input
		18	SPI1_CSN0_M0		片选0
	M1	11	SPI1_CSN1_M0	VCCIO4	片选1
		26	SPI1_CLK_M1		Clock
		23	SPI1_MISO_M1		Master Input Slave Output
		33	SPI1_MOSI_M1		Master Output Slave input
		25	SPI1_CSN0_M1		片选0
		28	SPI1_CSN1_M1		片选1
	M2	C2	SPI1_CLK_M2	VCCIO5	Clock
		D5	SPI1_MISO_M2		Master Input Slave Output
		D6	SPI1_MOSI_M2		Master Output Slave input
		D2	SPI1_CSN0_M2		片选0
		63	SPI1_CSN1_M2		片选1
	M0	G11	SPI2_MISO_M0	PMUIO0	Master Input Slave Output
		G12	SPI2_CSN0_M0		片选0

		G13	SPI2_CSN1_M0		片选1
	M1	A10	SPI2_CLK_M1	VCCIO3	Clock
		A4	SPI2_MISO_M1		Master Input Slave Output
		A3	SPI2_MOSI_M1		Master Output Slave input
		A2	SPI2_CSN0_M1		片选0
		A1	SPI2_CSN1_M1		片选1
	M2	55	SPI2_CLK_M2	VCCIO5	Clock
		60	SPI2_MISO_M2		Master Input Slave Output
		56	SPI2_MOSI_M2		Master Output Slave input
		59	SPI2_CSN0_M2		片选0
		53	SPI2_CSN1_M2		片选1
SPI3	M0	A14	SPI3_CLK_M0	VCCIO4	Clock
		A17	SPI3_MISO_M0		Master Input Slave Output
		A15	SPI3_MOSI_M0		Master Output Slave input
		A19	SPI3_CSN0_M0		片选0
		B18	SPI3_CSN1_M0		片选1
	M1	D3	SPI3_CLK_M1	VCCIO5	Clock
		D4	SPI3_MISO_M1		Master Input Slave Output

		C3	SPI3_MOSI_M1		Master Output Slave input
		51	SPI3_CSN0_M1		片选0
		61	SPI3_CSN1_M1		片选1
	M2	67	SPI3_CLK_M2	VCCIO2	Clock
		C9	SPI3_MISO_M2		Master Input Slave Output
		C8	SPI3_MOSI_M2		Master Output Slave input
		70	SPI3_CSN0_M2		片选0
		68	SPI3_CSN1_M2		片选1
SPI4	M0	F1	SPI4_CLK_M0	VCCIO6	Clock
		F2	SPI4_MISO_M0		Master Input Slave Output
		F3	SPI4_MOSI_M0		Master Output Slave input
		F4	SPI4_CSN0_M0		片选0
		E4	SPI4_CSN1_M0		片选1
	M1	R	SPI4_CLK_M1	VCCIO5	Clock
		50	SPI4_MISO_M1		Master Input Slave Output
		49	SPI4_MOSI_M1		Master Output Slave input
		43	SPI4_CSN0_M1		片选0
		41	SPI4_CSN1_M1		片选1

	M2	C5	SPI4_CLK_M2	VCCIO2	Clock
		C7	SPI4_MISO_M2		Master Input Slave Output
		C6	SPI4_MOSI_M2		Master Output Slave input
		68	SPI4_CSN0_M2		片选0
		66	SPI4_CSN1_M2		片选1
	M3	B15	SPI4_CLK_M3		Clock
		A18	SPI4_MISO_M3		Master Input Slave Output
		B16	SPI4_MOSI_M3		Master Output Slave input
		B14	SPI4_CSN0_M3		片选0
		B9	SPI4_CSN1_M3		片选1

注意：

- 1.当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可。
- 2.SPI时钟线建立串接端接电阻(典型值22Ω)，靠近核心板一侧引脚放置。

2.18 PWM设计说明

SOM7609-S1具引出16路PWM资源，部分PWM具有M0/M1/M2/M3四个通道，同时只能选择其中1个通道使用。

注意： RK3576芯片集成了3个独立的PWM控制器，最多可以有16个PWM通道。PWM0控制器有2个通道，分别是PWM0_CH0~PWM0_CH1，PWM1控制器有6个通道，分别是PWM1_CH0~PWM1_CH5，PWM2控制器有8个通道，分别是PWM2_CH0~PWM2_CH7。

3个PWM控制器的功能汇总如下：

功能	PWM0-2CH	PWM1-6CH	PWM2-8CH
波形发生器	NO	六个通道都支持，共享查找表（深度768）。举例：1路768粒度；3路256粒度；6路128粒度。	NO
IR 输入	只支持1个，可在PWM0_CH0~PWM0_CH1任意配置	NO	只支持1个，可在PWM2_CH0~PWM2_CH7任意配置
IR 输出	NO	NO	只支持1个，可在PWM2_CH0~PWM2_CH7任意配置
双相计数器	NO	支持3路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH3 组成一路双相计数器 CH1+CH4 组成一路双相计数器 CH2+CH5 组成一路双相计数器	支持4路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器
全局控制模式 (支持多通道配置的同步更新)	YES	YES	YES
输出偏移模式 (PWM 输出波形偏移指定的时间)	YES	YES	YES

PWM引脚资源列表如下表所示：

PWM通道	引脚编号	信号定义	电源域	说明
PWM0_CH0	G9	PWM0_CH0_M0	PMUIO1	/
	11	PWM0_CH0_M1	VCCIO3	
	23	PWM0_CH0_M2	VCCIO4	
	56	PWM0_CH0_M3	VCCIO5	
PWM0_CH1	H2	PWM0_CH1_M0	PMUIO1	/
	E3	PWM0_CH1_M1	VCCIO6	
	24	PWM0_CH1_M2	VCCIO4	
	51	PWM0_CH1_M3	VCCIO5	
PWM1_CH0	H9	PWM1_CH0_M0	PMUIO1	/

	7	PWM1_CH0_M1	VCCIO3	
	31	PWM1_CH0_M2	VCCIO4	
	55	PWM1_CH0_M3	VCCIO5	
PWM1_CH1	H8	PWM1_CH1_M0	PMUIO1	/
	8	PWM1_CH1_M1	VCCIO3	
	28	PWM1_CH1_M2	VCCIO4	
	53	PWM1_CH1_M3	VCCIO5	
PWM1_CH2	H7	PWM1_CH2_M0	PMUIO1	/
	A1	PWM1_CH2_M1	VCCIO3	
	33	PWM1_CH2_M2	VCCIO4	
	54	PWM1_CH2_M3	VCCIO5	
PWM1_CH3	H5	PWM1_CH3_M0	PMUIO1	/
	A8	PWM1_CH3_M1	VCCIO3	
	25	PWM1_CH3_M2	VCCIO4	
	43	PWM1_CH3_M3	VCCIO5	
PWM1_CH4	H6	PWM1_CH4_M0	PMUIO1	/
	A9	PWM1_CH4_M1	VCCIO3	
	26	PWM1_CH4_M2	VCCIO4	
	48	PWM1_CH4_M3	VCCIO5	
PWM1_CH5	G3	PWM1_CH5_M0	PMUIO1	/
	E4	PWM1_CH5_M1	VCCIO6	
	22	PWM1_CH5_M2	VCCIO4	
	47	PWM1_CH5_M3	VCCIO5	
PWM2_CH0	G2	PWM2_CH0_M0	PMUIO1	/
	E2	PWM2_CH0_M1	VCCIO6	

	21	PWM2_CH0_M2	VCCIO4	
	50	PWM2_CH0_M3	VCCIO5	
PWM2_CH1	E1	PWM2_CH1_M1	VCCIO6	/
	30	PWM2_CH1_M2	VCCIO4	
	49	PWM2_CH1_M3	VCCIO5	
PWM2_CH2	14	PWM2_CH2_M0	VCCIO1	/
	F2	PWM2_CH2_M1	VCCIO6	
	32	PWM2_CH2_M2	VCCIO4	
	D5	PWM2_CH2_M3	VCCIO5	
PWM2_CH3	15	PWM2_CH3_M0	VCCIO1	/
	F1	PWM2_CH3_M1	VCCIO6	
	29	PWM2_CH3_M2	VCCIO4	
	D2	PWM2_CH3_M3	VCCIO5	
PWM2_CH4	18	PWM2_CH4_M0	VCCIO1	/
	70	PWM2_CH4_M1	VCCIO2	
	35	PWM2_CH4_M2	VCCIO4	
	41	PWM2_CH4_M3	VCCIO5	
PWM2_CH5	69	PWM2_CH5_M0	VCCIO2	/
	F3	PWM2_CH5_M1	VCCIO6	
	36	PWM2_CH5_M2	VCCIO4	
	42	PWM2_CH5_M3	VCCIO5	
PWM2_CH6	67	PWM2_CH6_M0	VCCIO2	/
	F4	PWM2_CH6_M1	VCCIO6	
	B17	PWM2_CH6_M2	VCCIO4	
PWM2_CH7	68	PWM2_CH7_M0	VCCIO2	/

	B18	PWM2_CH7_M2	VCCIO4
	61	PWM2_CH7_M3	VCCIO5

注意：

- 根据PWM外设的IO电平，调整对应的电源域供电，必须保持一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。
- 当红外接收头信号输入时，需要注意以下：
 - 待机下，要支持红外接收头唤醒，而且考虑低功耗，只能选择PWM0_CH0/ PWM0_CH1当红外接收头输入；
 - 红外接收头的电源需要使用VCC_3V3_S3供电；
 - 红外接收头的电源需要22–100ohm电阻和10uF以上电容进行RC滤波；
 - 红外接收头默认采用38KHz，如果换成其它频率软件需要相应稍调；
 - 红外接收头输出脚电平必须和IO电平匹配；
 - 红外接收头输出脚建议串22 ohm电阻并对1nF电容，再连接到核心板，加强抗静电浪涌能力。

2.19 GPIO设计说明

SOM7609–S1可用的GPIO引脚共计133个，与其它信号引脚复用。详细定义请参考”IDO–SOM7609–S1–Pinout.xlsx”。核心板引脚中除了SRADC、差分信号、PMIC引脚、电源/地，其它1.8V/3.3V数字引脚基本都可以配置为GPIO使用。

使用时注意GPIO电源域是1.8V还是3.3V。另外参考”IDO–SOM7608–V1–Pinout.xlsx”中**GPIO信号名称中后缀带_d表示上电默认下拉(低电平)，后缀带_u的表示上电默认上拉(高电平)，后缀_z的表示上电高阻态(未知)。**

如下图，SOM7608–V1的GPIO0_C7，上电默认下拉(低电平)。SOM7608–V1的GPIO0_D5，上电默认上拉(高电平) 3.3V。

PMUIO1 Domain	PWM1_CH0_M0/UART4_TX_M2/REF_CLK1_OUT/GPIO0_B4_d	C26
	PWM1_CH1_M0/UART4_RX_M2/REF_CLK2_OUT/GPIO0_B5_d	C28
Operating VCC_3V3_S3	PWM1_CH2_M0/EDP_TX_HPDIN_M1/HDMI_TX_HPDIN_M1/SDMMC1_DET_N_M2/SDMMC0_PWREN/GPIO0_B6_d	C30
	PWM1_CH4_M0/NPU_AVS/UART1_TX_M0/I2C2_SCL_M0/GPIO0_B7_d	C32
	PWM1_CH3_M0/CPULIT_AVS/UART1_RX_M0/I2C2_SDA_M0/GPIO0_C0_d	C34
	I3C0_SCL_M0/UART8_TX_M2/I2C0_SCL_M1/GPIO0_C1_d	C25
	I3C0_SDA_M0/UART8_RX_M2/I2C0_SDA_M1/GPIO0_C2_d	C27
	PWM0_CH1_M0/SPI0_CSN1_M0/HDMI_TX_CEC_M1/PDM0_CLK1_M0/GPIO0_C3_d	C24
	PWM0_CH0_M0/UART10_TX_M2/PDM0_CLK0_M0/SAI0_MCLK_M1/GPIO0_C4_d	C29
	I3C0_SDA_PU_M0/UART10_RX_M2/DP_HPDIN_M1/SAI0_SDO0_M1/GPIO0_C5_d	C31
	SPI0_CSN0_M0/I2C3_SCL_M1/SAI0_SCLK_M1/GPIO0_C6_d	C33
	SPI0_CLK_M0/I2C3_SDA_M1/SAI0_LRCK_M1/GPIO0_C7_d	C35
	SPI0_MOSI_M0/PDM0_SDI0_M0/SAI0_SDI0_M1/GPIO0_D0_d	C37
	SPI0_MISO_M0/PDM0_SDI1_M0/SAI0_SDO3_M1/SAI0_SDI1_M1/GPIO0_D1_d	C39
	UART1_CTSN_M0/PWM1_CH5_M0/CPUBIG_AVS/I2C4_SCL_M0/PDM0_SDI2_M0/SAI0_SDO2_M1/SAI0_SDI2_M1/GPIO0_D2_d	C41
	UART1_RTSN_M0/PWM2_CH0_M0/GPU_AVS/I2C4_SDA_M0/PDM0_SDI3_M0/SAI0_SDO1_M1/SAI0_SDI3_M1/GPIO0_D3_d	C43
	JTAG_TCK_M1/UART0_TX_M0/GPIO0_D4_u	C45
	JTAG_TMS_M1/UART0_RX_M0/GPIO0_D5_u	C47

图42. GPIO引脚说明

RK3576 GPIO的DC特性参考下图：

Parameters		Symbol	Min	Typ	Max	Unit
Digital 3.3V/1.8V GPIO @3.3V	Input Low Voltage for CMOS operation	V_{IL}	$V_{SS}-0.3$	NA	0.8	V
	Input High Voltage for CMOS operation	V_{IH}	2.0	NA	$DVDD+0.3$	V
	Input Low Voltage for Schmitt Trigger operation	V_{IL}	$V_{SS}-0.3$	NA	0.7	V
	Input High Voltage for Schmitt Trigger operation	V_{IH}	2.1	NA	$DVDD+0.3$	V
	Output Low Voltage	V_{OL}	V_{SS}	NA	$0.25 \cdot DVDD$	V
	Output High Voltage	V_{OH}	$0.75 \cdot DVDD$	NA	$DVDD$	V
	Pullup Resistor	R_{APU}	10	NA	100	Kohm
	Pulldown Resistor	R_{APD}	10	NA	100	Kohm
Digital 3.3V/1.8V GPIO @1.8V	Input Low Voltage	V_{IL}	$V_{SS}-0.3$	NA	$0.3 \cdot DVDD$	V
	Input High Voltage	V_{IH}	$0.7 \cdot DVDD$	NA	$DVDD+0.3$	V
	Output Low Voltage	V_{OL}	V_{SS}	NA	$0.25 \cdot DVDD$	V
	Output High Voltage	V_{OH}	$0.75 \cdot DVDD$	NA	$DVDD$	V
	Pullup Resistor	R_{APU}	10	NA	50	Kohm
	Pulldown Resistor	R_{APD}	10	NA	50	Kohm
Digital 1.8V only and Digital 1.8V/1.2V GPIO @1.8V	Input Low Voltage	V_{IL}	$V_{SS}-0.3$	NA	$0.3 \cdot DVDD$	V
	Input High Voltage	V_{IH}	$0.7 \cdot DVDD$	NA	$DVDD+0.3$	V
	Output Low Voltage	V_{OL}	V_{SS}	NA	$0.25 \cdot DVDD$	V
	Output High Voltage	V_{OH}	$0.75 \cdot DVDD$	NA	$DVDD$	V
	Pullup Resistor	R_{APU}	10	NA	50	Kohm
	Pulldown Resistor	R_{APD}	10	NA	50	Kohm
Digital 1.8V/1.2V GPIO @1.2V	Input Low Voltage	V_{IL}	$V_{SS}-0.3$	NA	$0.3 \cdot DVDD$	V
	Input High Voltage	V_{IH}	$0.7 \cdot DVDD$	NA	$DVDD+0.3$	V
	Output Low Voltage	V_{OL}	$V_{SS}-0.3$	NA	$0.25 \cdot DVDD$	V
	Output High Voltage	V_{OH}	$0.75 \cdot DVDD$	NA	$DVDD+0.3$	V
	Pullup Resistor	R_{APU}	10	NA	100	Kohm
	Pulldown Resistor	R_{APD}	10	NA	100	Kohm
VCCI00 @1.8V	Input Low Voltage	V_{IL}	V_{SS}	NA	$0.35 \cdot DVDD$	V
	Input High Voltage	V_{IH}	$0.65 \cdot DVDD$	NA	$DVDD$	V
	Output Low Voltage	V_{OL}	V_{SS}	NA	0.45	V
	Output High Voltage	V_{OH}	$DVDD-0.45$	NA	$DVDD$	V
	Pullup Resistor	R_{APU}	10	NA	50	Kohm
	Pulldown Resistor	R_{APD}	10	NA	50	Kohm
DDR IO	Input Low Voltage	V_{IL}	NA	NA	$V_{ref}-0.14$	V
	Input High Voltage	V_{IH}	$V_{ref}+0.14$	NA	NA	V
	Output Log Voltage	V_{OL}	NA	NA	0.2	V
	Output High Voltage	V_{OH}	0.25	NA	NA	V
	Input Low Current	I_{IL}	-100/-500	NA	100/500	Room/Hot uA

Parameters	Symbol	Min	Typ	Max	Unit
Input High Current	I_{IH}	-100/-500	NA	100/500	Room/Hot uA

2.20 未使用模块的管脚处理

请见《SOM7609-S1 Unused Pins_V1.0》文档

3、底板原理图CheckList

编号	检查事项	检查状态
1	核心板供电电压范围【3.6–5V】，加5.5V 浪涌保护。采用独立DCDC，2A以上电流能力。	☐ OK
2	核心板IO供电：VCCIO2 (A76脚)，VCCIO4 (B4脚)，VCCIO5 (B3脚) 都有供电，且采用核心板输出的VCC_1V8_S3 (A75脚)，VCC_3V3_S3 (A77脚)，VCC_1V8_S0 (A71) 或 VCC_3V3_S0 (A73脚)。	☐ OK
3	整板上电顺序：核心板供电(常供电) → 核心板电输出 (1.8V, 3.3V) → 底板供电 (3.3V, 1.8V, 5V)	☐ OK
4	是否需要插电开机，PMIC_VDC是否按照要求设计分压电阻？	☐ OK
5	是否需求关机和待机状态。 关机状态和待机状态下，核心板是否保持供电？ 待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？ Power键是否留出？	☐ OK
6	有待机需求时，有哪些待机时需要保持状态的IO引脚，这些引脚是否分配在GPIO0组 (PMUIO0/1) ？	☐ OK

7	USB2_OTG0（固件下载口）接口是否接出，方便下载烧录？	☐ OK
8	调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？	☐ OK
9	启动模式（SARADC0_BOOT）及功能按键（SARADC0_IN1）是否符合参考设计 均有预留按键或测试点？	☐ OK
10	USB3.2 OTG 与 PCIE2.1 只有两种选配模式，USB3.2 OTG 或者USB2.0 OTG+PCIE2.1，是否符合参考设计？ USB接口使用的ESD物料是否满足Cj<0.4pF要求？	☐ OK
11	SD/TF卡是否符合参考设计？	☐ OK
12	以太网设计： IO电平，RMII一般只能是3.3V, RGMII 可以1.8V或者3.3V。确认PHY芯片 IO电平 与 对应的核心板电源域电平（VCCIO4/VCCIO6）是否匹配。 千兆PHY芯片的IO电压的配置电阻，RESET引脚GPIO电平，LED灯的极性配 置，时钟，符合参考设计？ 千兆/百兆PHY芯片是否是已经调试过的型号？	☐ OK
13	音频接口符合参考设计？	☐ OK
14	MIPI DSI /LVDS 显示接口，确认屏幕线序定义，供电时序 符合要求？ 确认屏幕分辨率和刷新率在支持范围？ MIPI RESET是否有GPIO控制？ 背光和供电在待机/关机状态下是否有漏电问题？	☐ OK
15	MIPI CSI 摄像头接口，是否有2Lane拆分，信号线分配是否符合参考设计？ 摄像头模组定义，确认线序定义，供电时序，供电电压电流符合要求？ 摄像头Sensor是否在支持列表？ 待机/关机状态下是否有漏电？	☐ OK

16	每组IIC总线是否有上拉电阻，电平是否匹配？ IIC 上连接的外设地址是否冲突，最高速率是否有冲突？ 同一组IIC总线下的外设，是否存在待机/关机时供电状态不一致的问题？	☐ O K
17	每个串口（UART，RS232, RS485, RS422）和 CAN 接口： 串口要求的最高波特率和接口芯片用料是否相符？ 电平是否匹配？ 接口芯片上电顺序是否晚于核心板供电输出VCC_3V3_S0？	☐ O K
18	所有IO引脚，不得有在核心板VCC_3V3_S0上电前向IO灌电的行为	☐ O K
19	使用SDIO的WIFI模块，供电和IO电平，32K时钟，晶振 等是否符合参考设计？	☐ O K
20		