

IDO-SOM1126B-S1 硬件设计指南



IDO-SOM1126B-S1 硬件设计指南

深圳触觉智能科技有限公司

www.industio.cn

文档修订历史

版本	修订内容	修订	审核	日期
V1.0	创建文档	YWS	IDO	2025/05/08

1、 产品概述

1.1 芯片简介

IDO-SOM1126B-S1是一款基于瑞芯微RV1126B设计的核心板，在40x40mm的小体积上集成了RV1126B SoC, PMIC, LPDDR4(X) , eMMC。

RV1126B是一款用于机器视觉应用的高性能视觉处理系统芯片，集成了4个Cortex-A53及独立的NEON协处理器，支持4K@30fps的 H.264/H.265解码器，还支持4K@30fps的H.264/H.265编码器。引入了新一代完全基于硬件的最大 12M 像素 ISP（图像信号处理器），实现了多种算法加速器，如HDR、3A、LSC、3DNR、2DNR、锐化、去雾、鱼眼校正、伽马校正、特征点检测等。同时还引入了最大800万像素的AI-ISP作为传统ISP的补充，提供卓越的空间降噪性能和强大的图像增强效果。内置3TOPS NPU，支持 INT4/8/16/FP16 混合运算，支持TensorFlow、PyTorch、TFLite、Caffe、ONNX 等深度学习框架 。RV1126B SoC 内部组成，如下图所示：

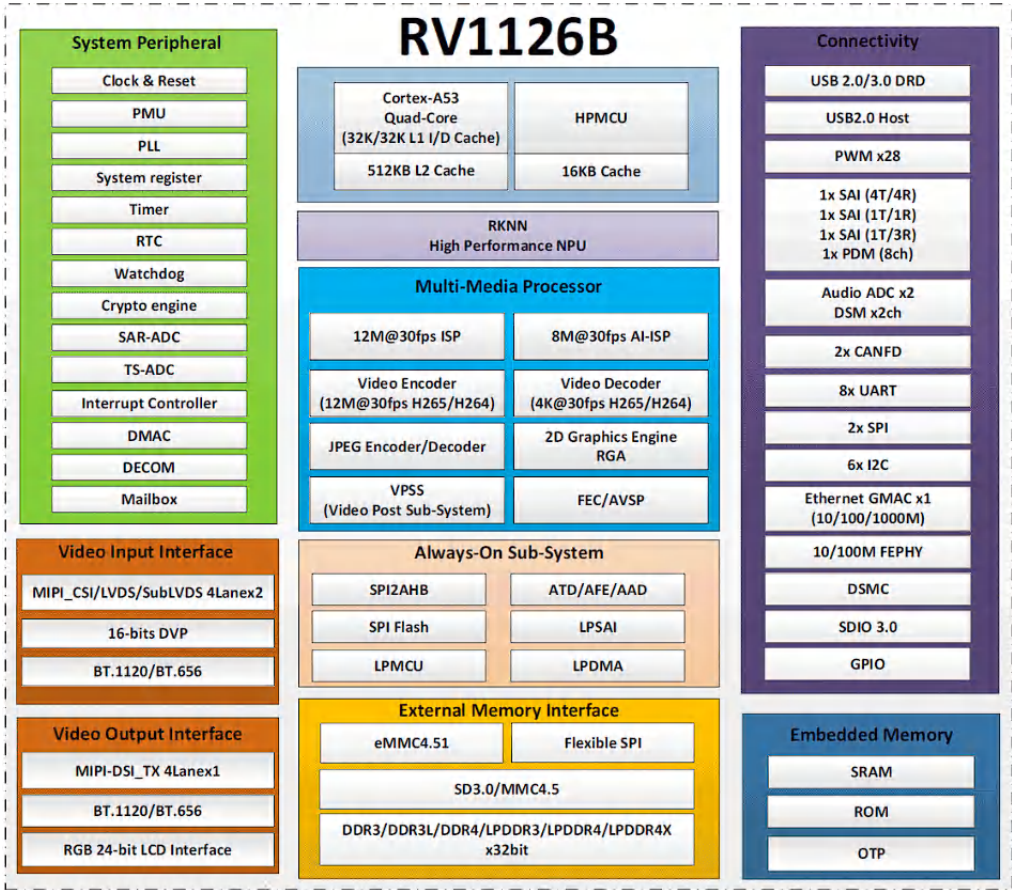


图1. RV1126B 功能框图

1.2 产品概述

IDO-SOM1126B-S1是一款基于瑞芯微第 RV1126B设计的核心板，在40x40mm的小体积上集成了RV1126B SoC, PMIC, LPDDR4(X) , eMMC，通过邮票孔引出RV1126B的全部引脚资源。

核心板进行了严格的电源完整性和信号完整性仿真设计，通过各项电磁兼容、温度冲击、高温高湿老化、长时间存储压力等测试，稳定可靠，批量供货。用户仅需设计外围电路即可快速实现项目的稳定量产，IDO-SOM1126B-S1模块逻辑框图，如下图所示：

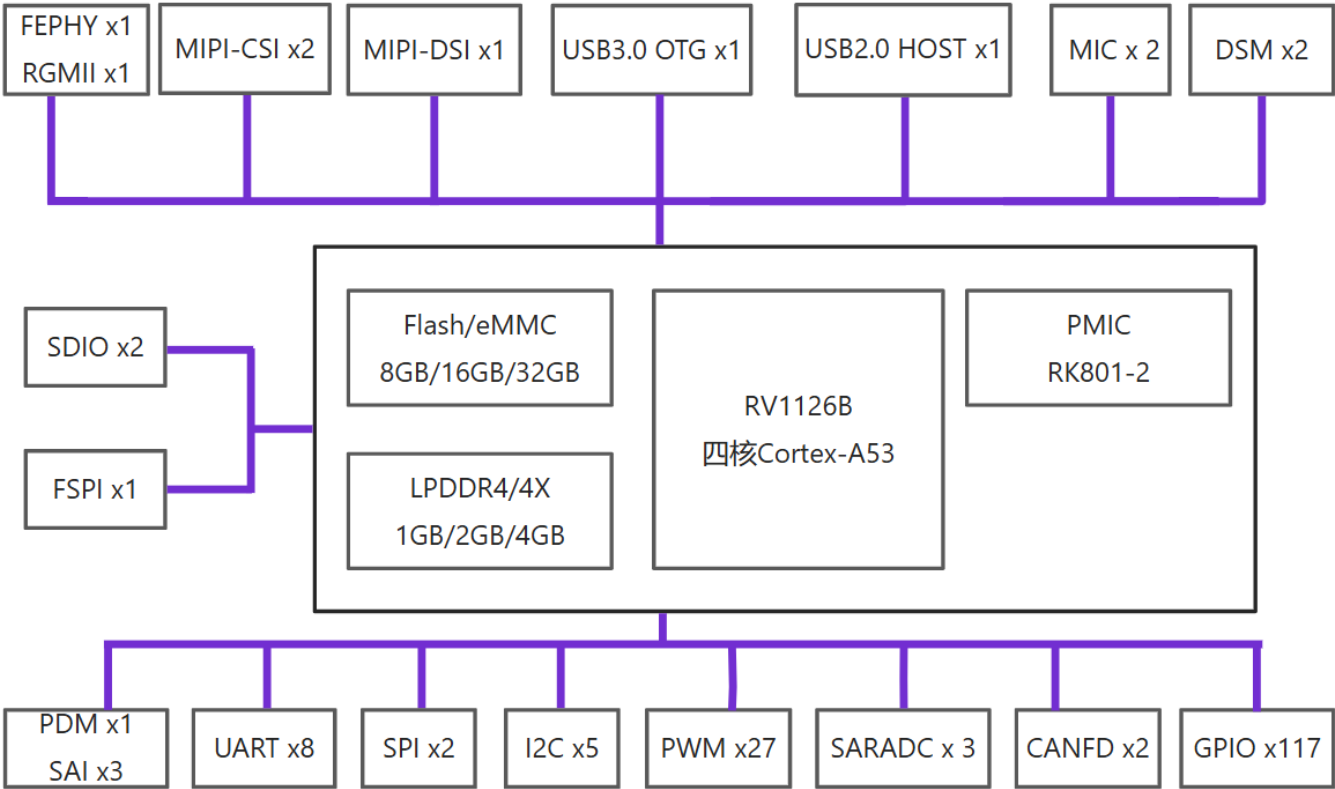


图2. IDO-SOM1126B-S1功能框图

1.3 产品特点

- 1. 处理器采用Quad A53 CPU 14nm制程工艺，主频高达1.5GHz；
- 2. 内置3T RKNN AI 算力；
- 3. 2种屏幕显示接口：MIPI DSI、RGB；
- 4. 丰富的总线接口：1xGMAC、2xCAN FD、1xUSB3.0、2xUSB2.0、8xUART、27xPWM、3xSPI、5xI2C等；
- 5. 核心板支持100%全国产；
- 6. 40mm X 40mm超小尺寸LCC+LGA封装232Pin，10层板沉金工艺。

1.4 产品图片

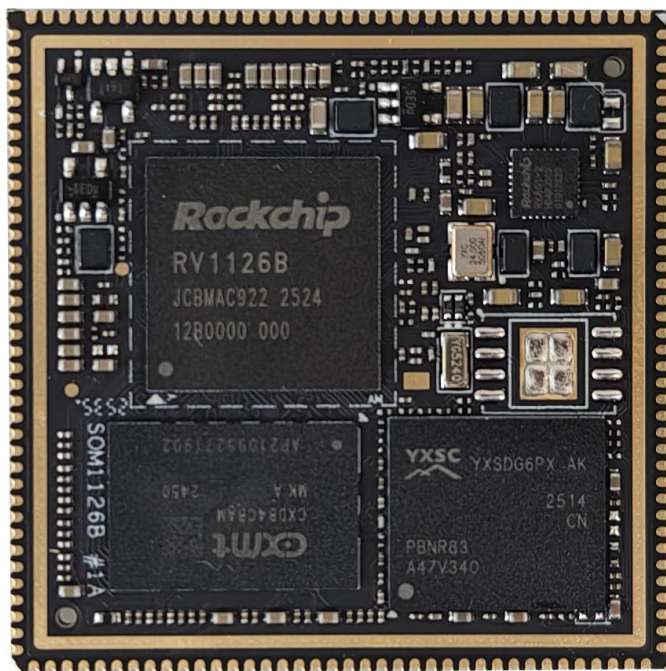


图3. IDO-SOM1126B-S1核心板正面

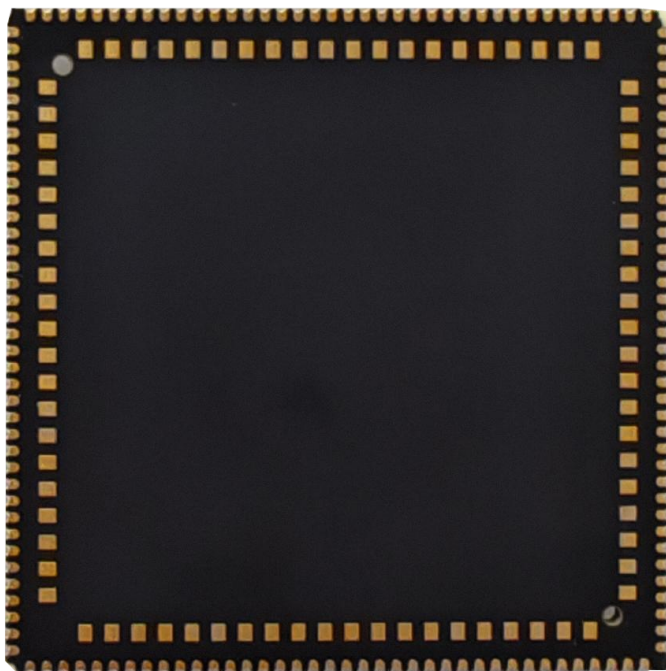


图4. IDO-SOM1126B-S1核心板背面

1.5 适用场景

IDO-SOM1126B-S1适用于人脸识别、闸机门禁、智能安防、智能网络摄像头等行业领域。

1.6 基本参数

基本参数	
SOC	RockChip RK1126B
CPU	四核64位 ARM Cortex-A53，集成NEON和FPU
NPU	3TOPS NPU，支持 INT4/INT8/INT16/FP16 混合运算
ISP	1200万像素 ISP，800万像素的AI-ISP，集成了多种算法加速器，如 HDR、3A、LSC、3DNR、2DNR、锐化、去雾、鱼眼校正、伽马校正、特征点检测等
编解码	编码：12M@30fps H.264 解码：4K@30fps H.264
内存	LPDDR4/4X (1GB/2GB/4GB 可选)
存储	eMMC (8GB/16GB/32GB/64GB 可选)
硬件参数	
以太网	集成GMAC 以太网控制器，最高支持1路千兆以太网 (1000 Mbps)
视频输出	视频输出： 1 × MIPI_DPHY_TX(支持V1.2 版本，总共4Lane，支持1920×1080@60fps) 1 × LCDC TX(支持并行24bit RGB 模式1920×1080@60fps、16bit BT1120 模式1920×1080@60fps、8bit BT656 模式720×576@60fps)
视频输入	2 × MIPI CSI RX (支持MIPI V1.2 版本；2 × 4 Lanes 或4 × 2 Lanes) 、 1 × DVP (8/10/12/16-bit, BT.601/BT.656 and BT.1120)
音频接口	3× SAI 1 × PDM 2 × 数字DAC 3 × ADC 2 × DSM
USB	1 × USB3.0 OTG 1 × USB2.0 OTG 1 × USB2.0 HOST

扩展接口	2 × SDIO 2 × UART 2 × SPI 2 × CANFD 5 × I2C 27 × PWM 3 × SARADC 117 × GPIO
其他	
主板尺寸	40mm × 40mm
接口类型	232Pin 间距1mm邮票孔
PCB规格	板厚 1.3mm ,10 层板 高Tg材质, 沉金工艺

1.7 工作环境

工作环境	
工作温度	-20°C~+80°C
工作湿度	5%~90% RH 非冷凝
存储温度	-40°C~+85°C

2、硬件设计说明

2.1 电源系统设计说明【必看】

核心板提供3个主电源输入引脚，VCC5V0_SYS_IN1和VCC5V0_SYS_IN2（核心板引脚第1PIN、2PIN）为主电源输入，VBAT_RTC_IN（核心板引脚第6PIN）为RTC计时功能模块电源输入。

核心板提供3个电源输出引脚为VCC_1V8_OUT_S0、VCC_3V3_OUT_S0、VCC3V3_OUT_S3。用于3.3V电源域和1.8V电源域的引脚参考电平，**底板使用时应限流100mA**。

与电源系统设计相关的其它引脚，包括 PMIC_EN 、PMIC_PWRON 、NPOR_L和SLEEP，详细介绍如下表：

VCCIO6_IN	引脚编号	方向	引脚说明
VCC5V0_SYS_S5_IN	1、2	电源输入	系统的主要输入供电，保障5V@1A持续和2A瞬间电流供电能力。供电范围4.6V~5.4V
VBAT_RTC_IN	6	电源输入	0~3.3V电源输入，核心板内部RTC电源输入，不用内部RTC可悬空
VCC_1V8_OUT_S0	152	电源输出	1.8V对外供电，用于1.8V电源域参考电平， 待机掉电 。
VCC3V3_OUT_S3	D20	电源输出	3.3V对外供电，用于3.3V电源域参考电平， 待机不掉电 。
VCC_3V3_OUT_S0	151	电源输出	3.3V对外供电，用于3.3V电源域参考电平， 待机掉电 。
VCCIO6_IN	148	电源输入	GPIO6组IO电源域参考电平输入
VCCIO5_IN	149	电源输入	GPIO5组IO电源域参考电平输入
VCCIO3_IN	150	电源输入	GPIO3组IO电源域参考电平输入
SLEEP	C6	电源检测输入	休眠时输出高电平
PMIC_EN	4	开关机控制输出	电源使能开机，高电平有效

PMIC_PWRON	5	开关机信号输入	开关机信号输入检测引脚，低电平有效
NPOR_L	7	系统复位信号输入	系统复位信号输入检测引脚，低电平有效，默认悬空

核心板峰值电流表

电源名称	最小电压	标称值	最大电压	峰值电流	待机电流
VCC5V0_SY S_S5_IN	4.5V	5.0V	5.4V	5V/339mA	

上电时序要求：

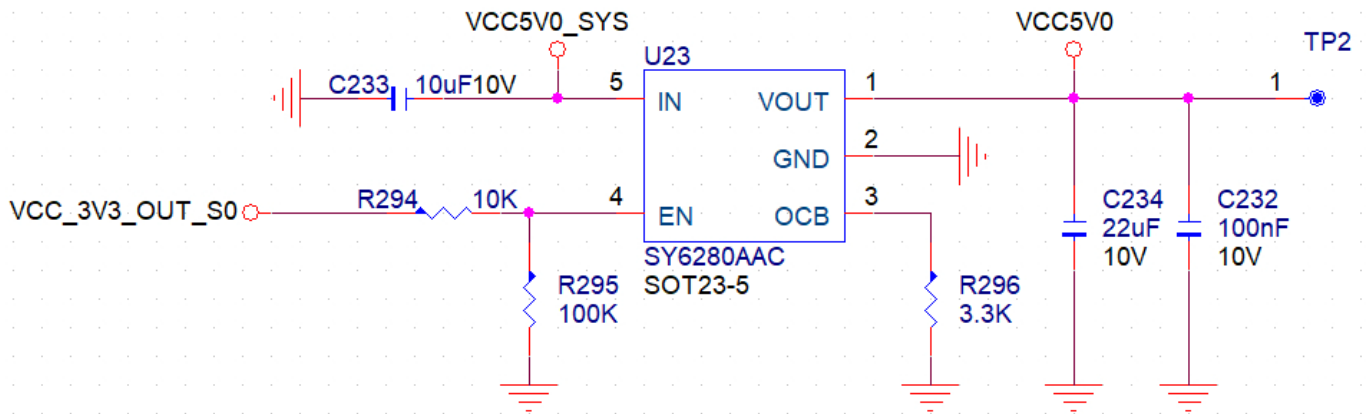
1. 核心板主供电**VCC5V0_SYS_S5_IN**（核心板引脚1、2）优先供电。
2. 底板**1.8V** 和 **3.3V** 供电在**VCC_1V8_S0**输出后再上电，可用**VCC_1V8_S0**作为底板**1.8V** 和 **3.3V** 供电使用。

电源设计注意事项：

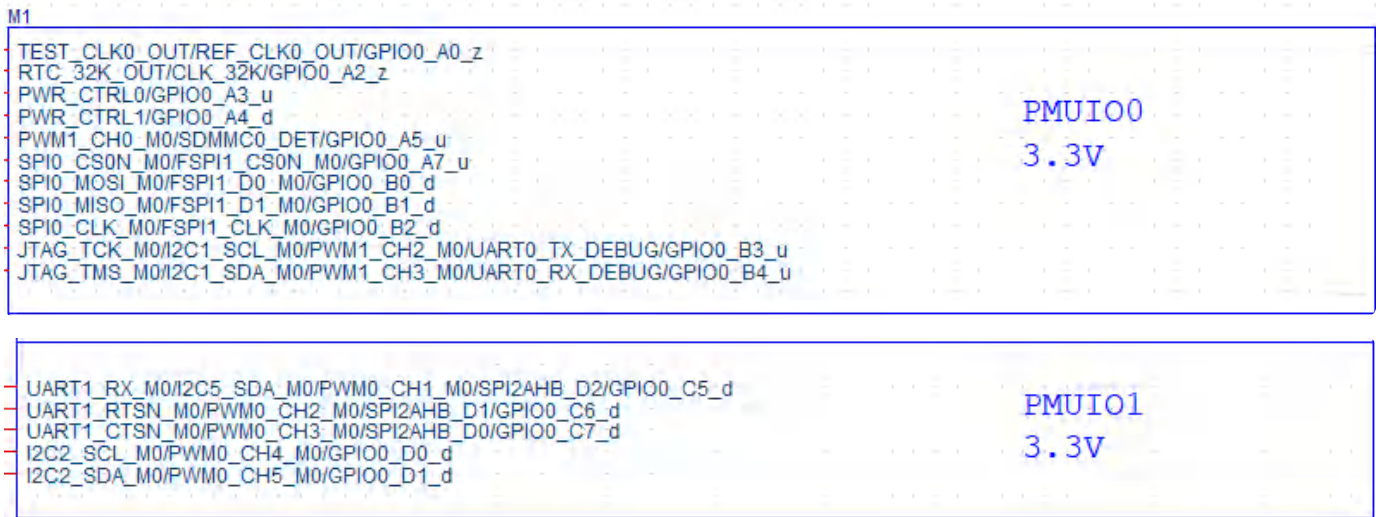
1. 核心板 VCC5V0_SYS_S5_IN 注意浪涌保护，过冲电压必须<5.5V，否则容易烧坏核心板电源芯片。
2. 严格按照上电时序要求。
3. VCCIO3_IN, VCCIO5_IN, VCCIO6_IN 三组IO供电，务必从核心板输出电源 VCC_1V8_OUT、VCC3V3_OUT_S3、VCC_3V3_OUT_S0中三选一供电。
4. VCC_1V8_OUT、VCC3V3_OUT_S3、VCC_3V3_OUT_S0 三组供电输出，只能用于IO电压域供电，不得用于负载供电，**供电限流100mA**。
5. 注意各路IO引脚电平匹配。
6. 注意各路IO不得在核心板上电前对核心板带电输出，IO向核心板灌电会导致启动异常或芯片损伤。

关于待机：

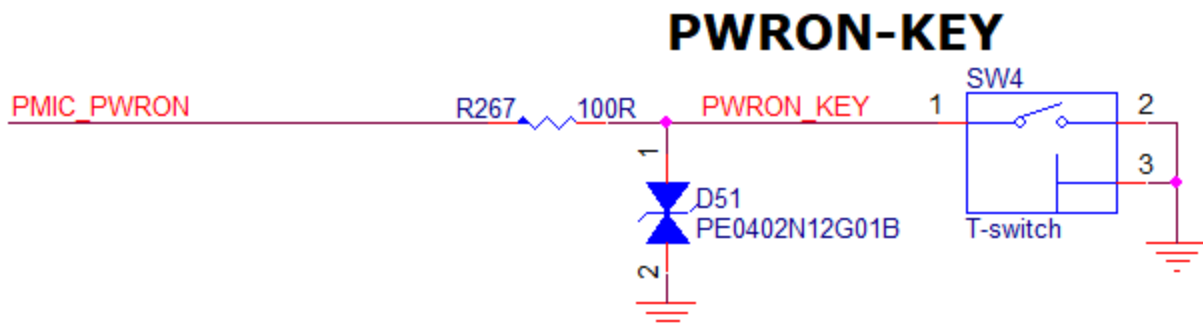
1. 待机指示
待机时VCC_3V3_OUT_S0会掉电，底板外围电源在待机时需要关闭的可以用VCC_3V3_OUT_S0控制。参考下图：



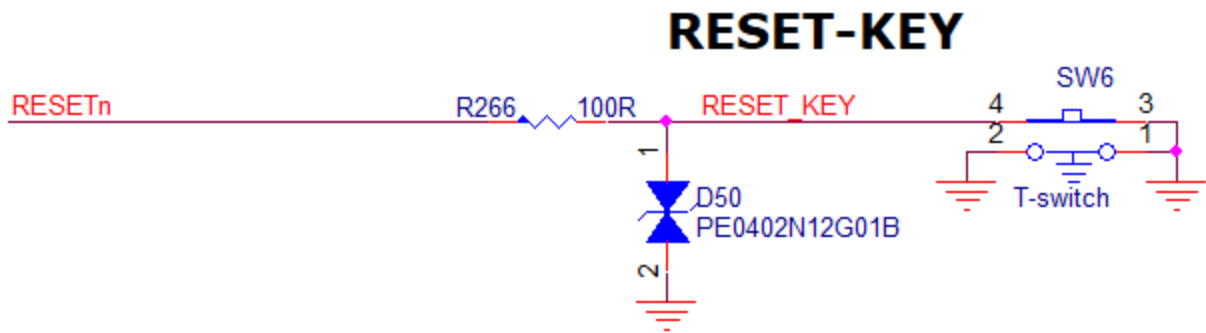
2. RV1126B进入深度待机状态时，只有CPU和DDR部分区域保持供电，大部分的IO电源是断电的，所以需要深度待机时，仍然可以保持状态的IO，需要选期待机时保持供电的IO组。IDO-SOM1126B-S1核心板深度待机后保持供电的IO组为PMUIO0和PMUIO1组。如下图示：



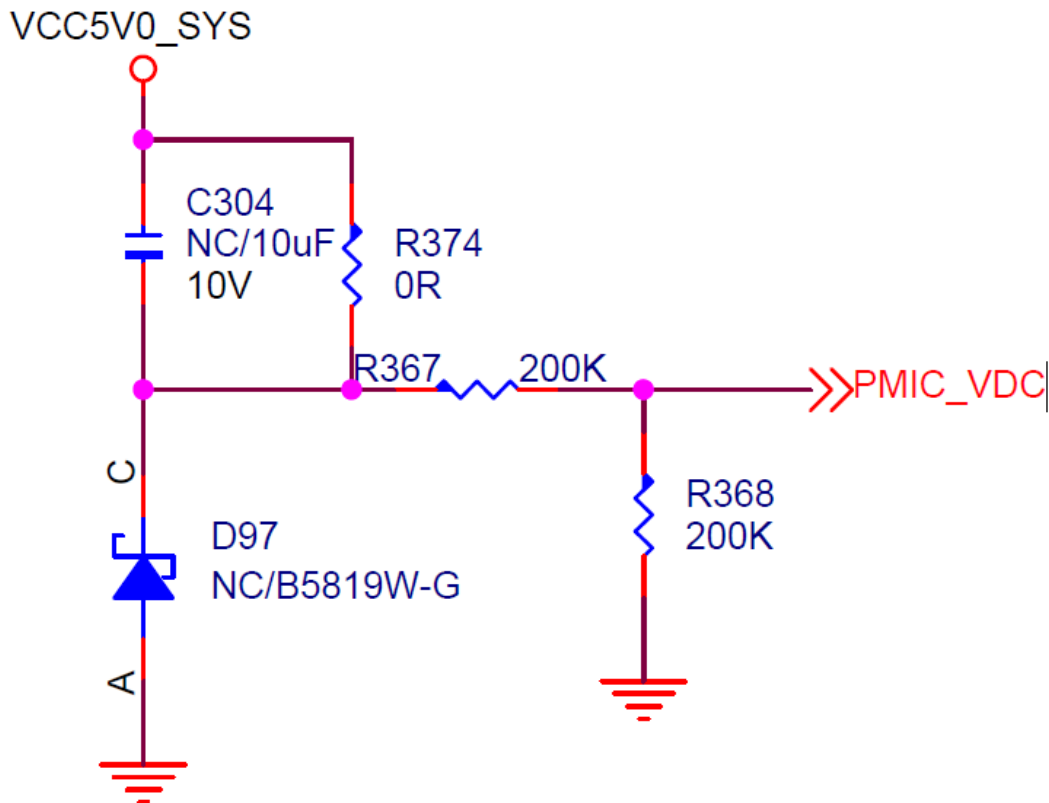
开关机按键参考设计：



复位按键参考设计：



上电自动开机的PMIC_VDC参考设计：



2.2 调试下载相关电路【必看】

所有基于IDO-SOM1126B-S1的底板设计，都强烈建议保留下面三种调试下载相关电路！

1. USB0 OTG接口，主要用于固件下载及ADB调试

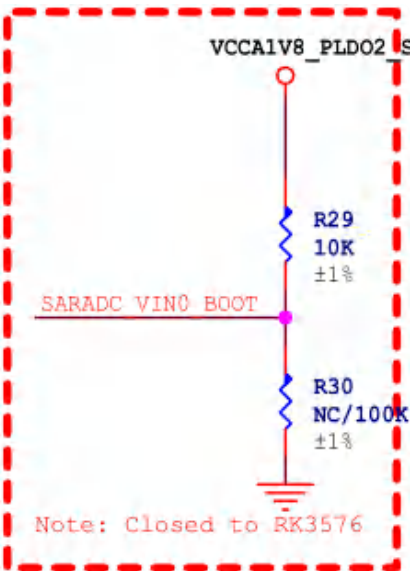
具体电路参考 [2.4节 USB3.2/2.0](#)

2. 调试串口，用于系统日志消息和控制终端命令行操作，系统默认使用的调试串口是UART0（M0组）。

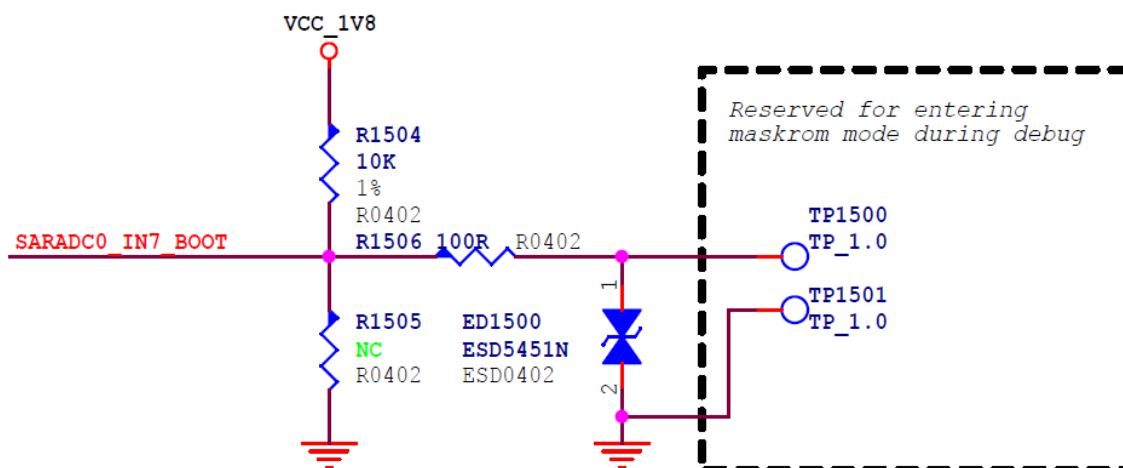
SARADC_IN7_BOOT在核心板上按照下图config11已经做了分压电阻，启动顺序为eMMC--USB。
SOM1126B-S1核心板上的分压配置如下图：

BOOT MODE CONFIG

Config Table for SARADC_VIN0_BOOT				
Item	Rup	Rdown	ADC Value	Boot Mode
Config1	NC	10K	0	USB (Maskrom mode)
Config2	10K	1.13K	416	FSPI0->USB
Config3	10K	2.49K	816	FSPI1_M0->EMMC->USB
Config4	10K	4.3K	1231	FSPI1_M1->EMMC->USB
Config5	10K	6.8K	1658	FSPI0->UFS->USB
Config6	10K	10K	2048	FSPI1_M0->UFS->USB
Config7	10K	14.7K	2437	UFS->USB
Config8	10K	23.2K	2862	UFS->SDMMC0->USB
Config9	10K	40.2K	3279	RFU
Config10	10K	88.7K	3680	EMMC->SDMMC0->USB
Config11	10K	NC	4095	EMMC->USB



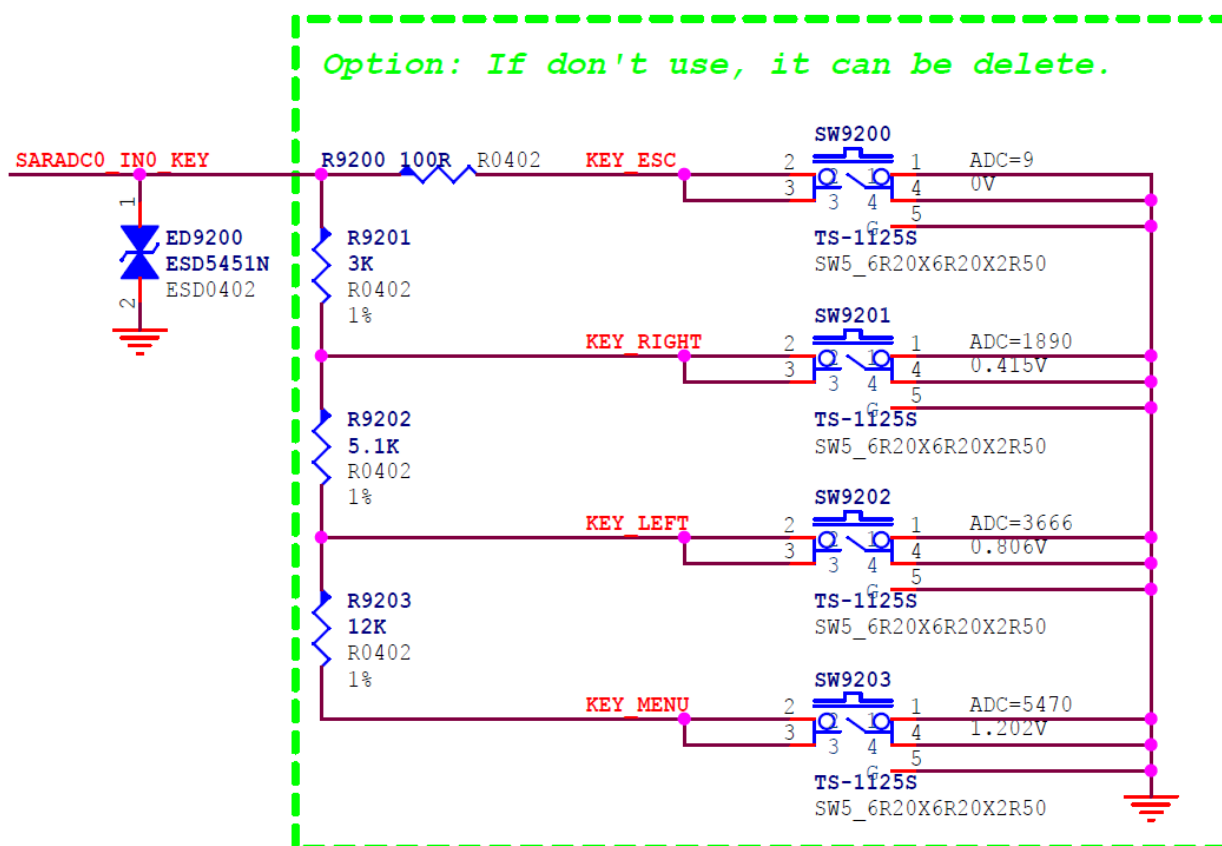
底板上的BOOT按键参考电路，如下图：



当系统变“砖”时，启动时BOOT模式按键处于按下状态，即将SARADC_IN0_BOOT保持为低电平（0V），则 RK1126B 进入 Maskroom 模式，当 PC 识别到 USB 设备时，即可进行固件烧写。

注意：为了方便开发，建议预留BOOT按键或预留测试点。

SARADC_IN0_KEY/RECOVERY系统默认用作功能按键，核心板上已经做了10K电阻上拉，功能按键参考下图设计：



注意：为了方便开发，强烈建议必须保留SARADC_IN0_KEY/RECOVERY按键。

2.3 SDIO接口设计

SOM1126B-S1核心板扩展出2路MMC/SDIO资源, 兼容SDIO3.0和MMC ver4.51, 4bit数据位宽, 可用于扩展SD卡和WIFI模块, 最高可支持 200MHz。SDMMC主要用于连接SD存储卡, 也可用于WIFI模块SDIO接口。

2.3.1 SDMMC0接口

- SDMMC0接口复用在VCCIO2电源域；
- SDMMC0支持System Boot, 默认分配接SD卡功能；支持EMMC/UFS为空片时, 通过SD卡来升级固件, 同时也支持EMMC/UFS启动后, 通过SD卡对EMMC/UFS进行固件升级；
- 当接SD卡时：支持SD3.0模式兼容SD2.0模式：IO电平默认供3.3V电源, 待和SD卡协商跑SD3.0模式后, 供电电压软件自动切换成1.8V供电；（SDIO2.0模式电平为3.3V, SDIO3.0模式电平为1.8V）

SDMMC0引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
114	SDMMC0_CLK	VCCIO2	SD时钟发送
113	SDMMC0_CMD		SD命令发送/接收
115	SDMMC0_D3		SD数据发送/接收3
116	SDMMC0_D2		SD数据发送/接收2
117	SDMMC0_D1		SD数据发送/接收1
118	SDMMC0_D0		SD数据发送/接收0
86	SDMMC0_DET		SD卡插入检测

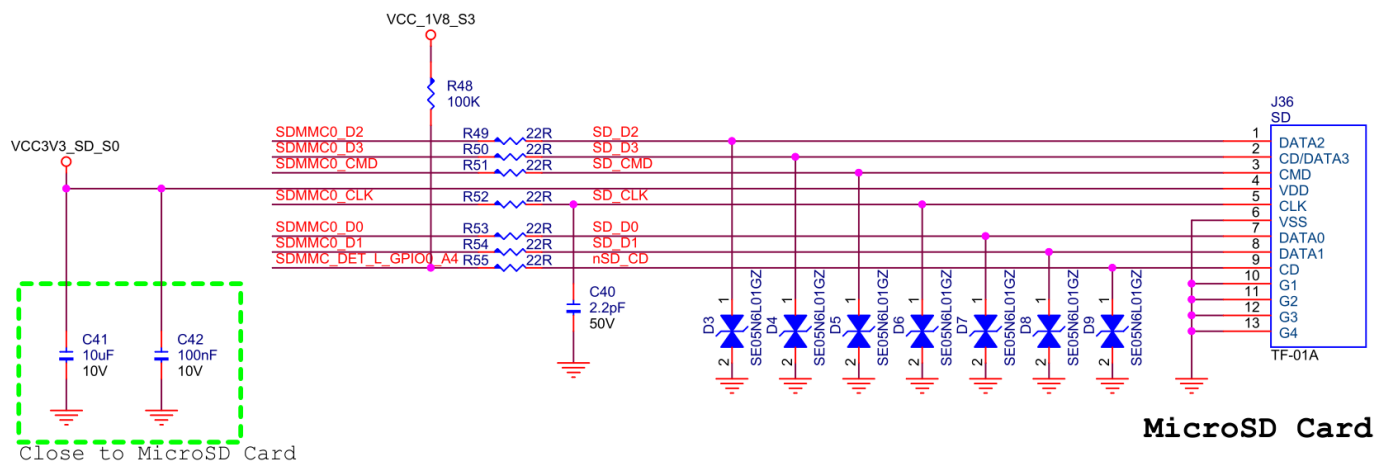


图5. MMC外接TF卡参考设计

2.3.2 SDMMC1接口

●SDMMC0接口复用在VCCIO3电源域；

●VCCIO3供电电源为1.8V or 3.3V，根据外设需要选择对应的电压，需要注意和外设的IO电压保持一致；

SDMMC1引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
71	SDMMC1_CLK	VCCIO3	SD时钟发送
72	SDMMC1_CMD	VCCIO3	SD命令发送/接收
73	SDMMC1_D3	VCCIO3	SD数据发送/接收3
74	SDMMC1_D2	VCCIO3	SD数据发送/接收2
69	SDMMC1_D1	VCCIO3	SD数据发送/接收1
70	SDMMC1_D0	VCCIO3	SD数据发送/接收0
B15	SDMMC1_DET_N	VCCIO3	SD卡插入检测

注意:

- 1.走线阻抗控制50Ω，参考面完整，整组走线等长控制±200mil；
- 2.建议串匹配电阻（典型值22Ω），时钟信号匹配电阻靠近SOM7608引脚侧放置，时钟信号预留2.2pF电容；
- 3.请确保外设的IO电平与CPU的IO电平保持一致，否则需要做电平匹配处理。

2.4 USB3.0/2.0设计

SOM1126B-S1核心板引出1路USB3.0 DRD（旧称为USB3 OTG）和1路USB2.0 HOST，其中USB3.0 DRD为系统固件烧录口，初期设计必须引出作为升级和调试。设计底板如要扩展多USB接口，可以使用USB_HOST通过USB HUB芯片去实现扩展。

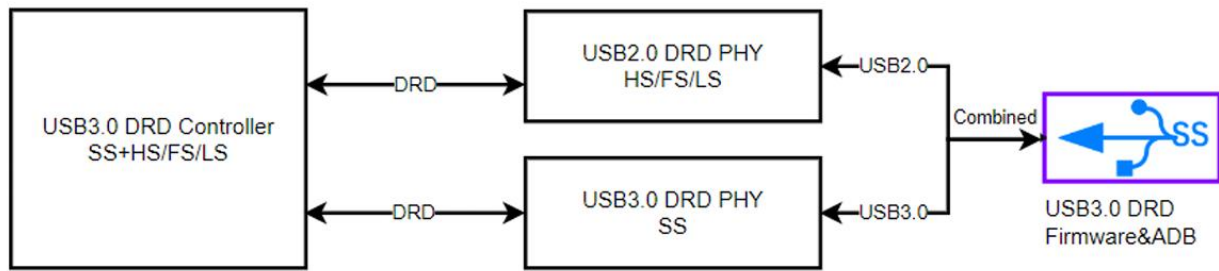
2.4.1 USB3.0 DRD接口应用

USB3.0 DRD（固件下载口，采用TYPEA接口）引脚资源如下表所示：

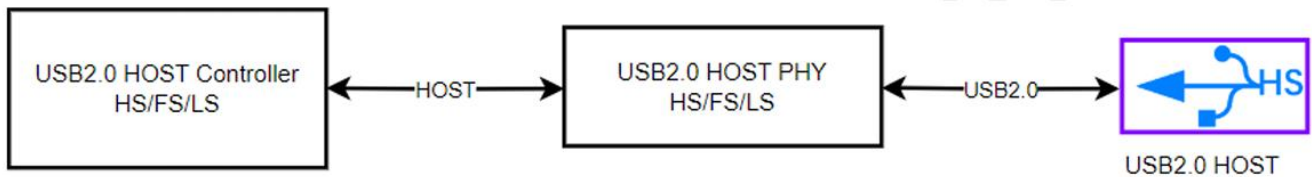
引脚编号	引脚名称	连接方式	备注
105	USB_DRD_SSRXP	串接0Ω 电阻	USB3.0接收信号P
106	USB_DRD_SSRXN		USB3.0接收信号N
103	USB_DRD_SSTXP	串接100nF 电容	USB3.0发送信号P
104	USB_DRD_SSTXN		USB3.0发送信号N
97	USB_OTG_DP	串接2. 2Ω 电阻	OTG0可用于下载烧录功能
98	USB_OTG_DM		
99	USB_OTG0_VBUSDET	电阻分压检测<=3.3V	OTG0 VBUS检测，高有效
100	USB_OTG0_ID	/	USB OTG0 ID 识别 Micro USB 接口时需要使用

RV1126B芯片内置1个USB3 DRD控制器（旧称为USB3 OTG控制器），以及1个USB2 HOST控制器，这些控制器与PHY的内部复用关系如下：

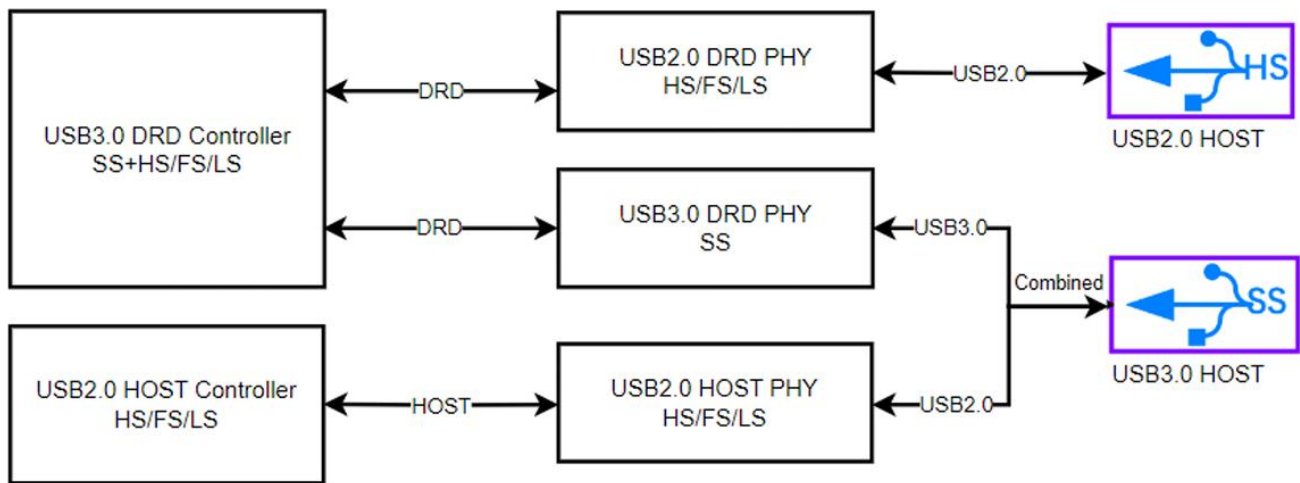
- USB3 DRD控制器和USB3.0 DRD PHY、USB2.0 DRD PHY组合，外部接口是USB3.0 DRD。



- USB2.0 HOST控制器和USB2.0 HOST PHY组合，外部接口是USB2.0 HOST。



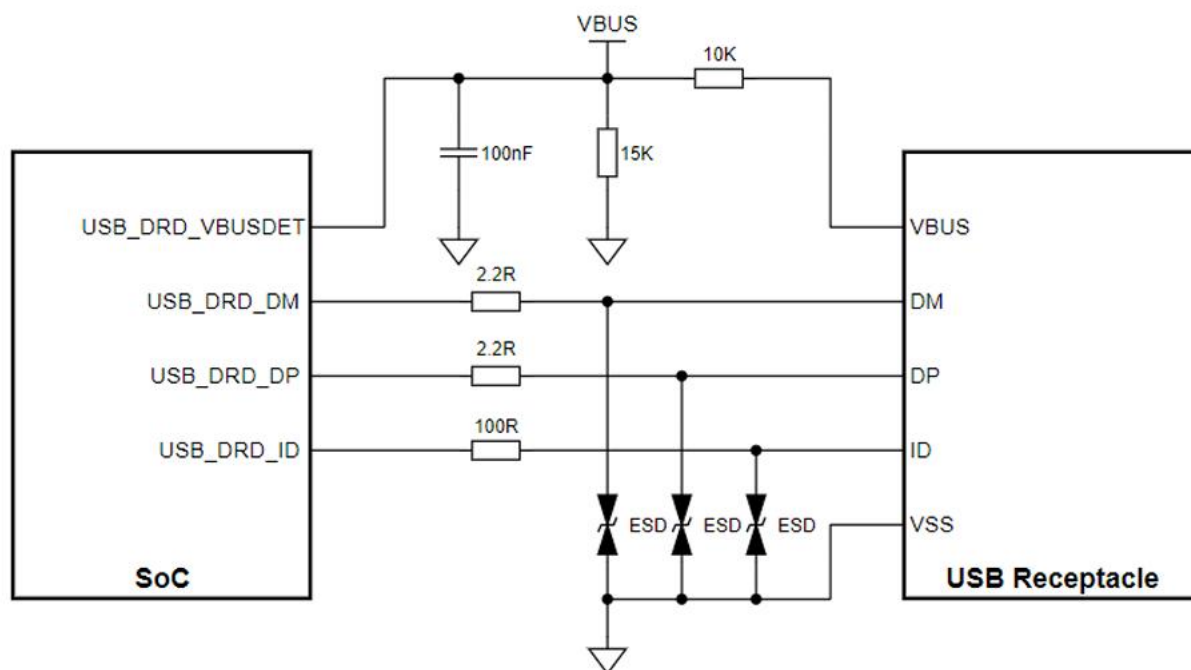
- USB3 DRD控制器、USB2.0 HOST控制器和USB3.0 DRD PHY、USB2.0 HOST PHY组合，外部接口是USB3.0 HOST；剩余的 USB3 DRD 控制器和 USB2.0 DRD PHY 组合，外部接口只能是 USB2.0 HOST



控制器与PHY的内部复用关系整理如下：

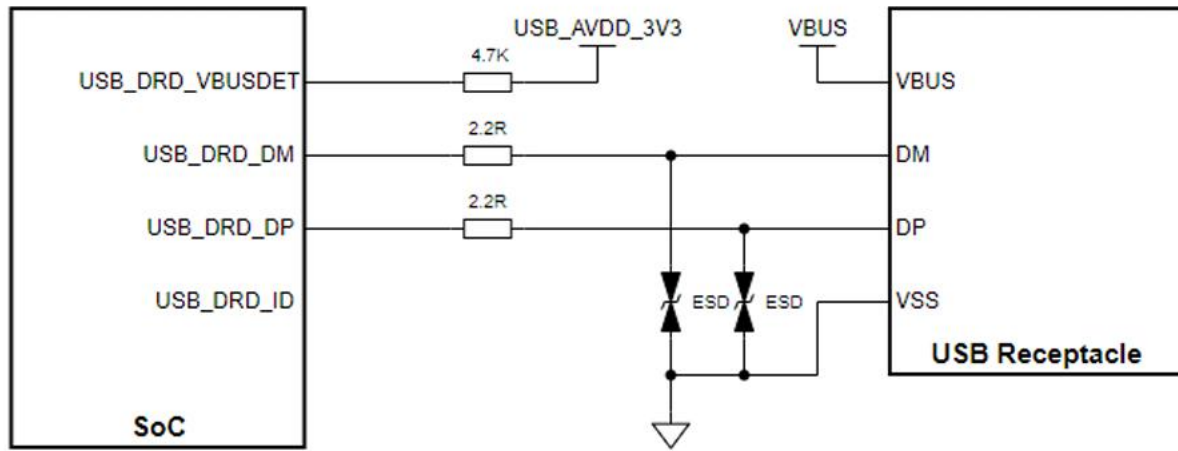
	Case1 (Recommend)	Case2 (Recommend)	Case3 (Not recommend)
USB 2.0 DRD (FW download Default)	USB2.0 DRD	Combined for USB3.0 DRD	USB2.0 HOST
USB 3.0 DRD	N/A		Combined for USB3.0 HOST
USB 2.0 HOST	USB2.0 HOST	USB2.0 HOST	

USB2.0 DRD接口的信号连接如下图所示：

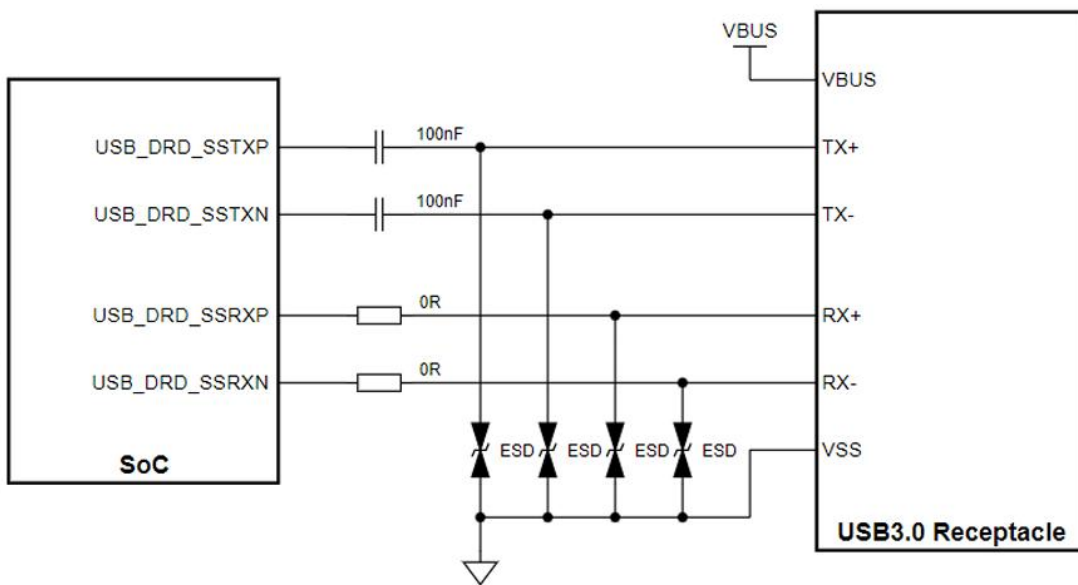


DRD接口可以设置以下三种模式，在Uboot起来前默认为Device模式，进Uboot后，可根据实际需求配置：

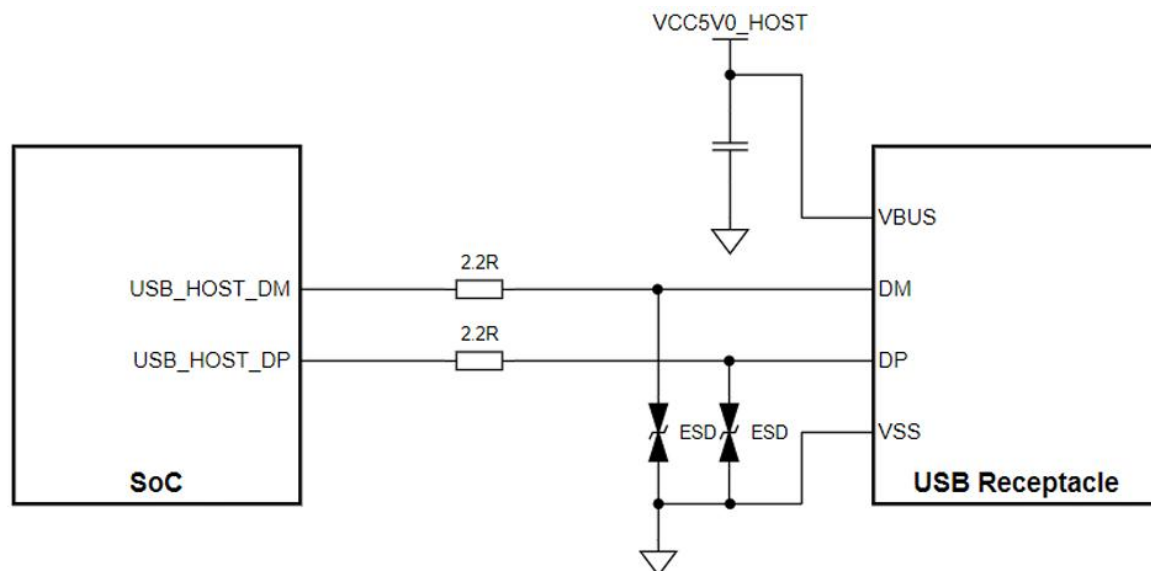
- DRD模式：根据DRD_ID管脚的状态自动切换Device/HOST模式，默认DRD_ID为高是Device，DRD_ID 置低为HOST
- 强制Device模式：处于这个模式时，如果检测到VBUSDET管脚为高（大于2.3V），SoC会拉高DP，开始进行枚举；
- 强制HOST模式：处于这个模式时，ID和VBUSDET状态都无需要关心。如果产品上需要配置为强制HOST模式，而生产烧写和ADB调试时又需要用到Device模式，那么USB_DRD_VBUSDET信号连接可以如下图所示，通过一个4.7K上拉电阻接到USB_AVDD_3V3，通过软件切换模式，简化PCB走线；



USB3.0 DRD接口的信号连接如下图所示

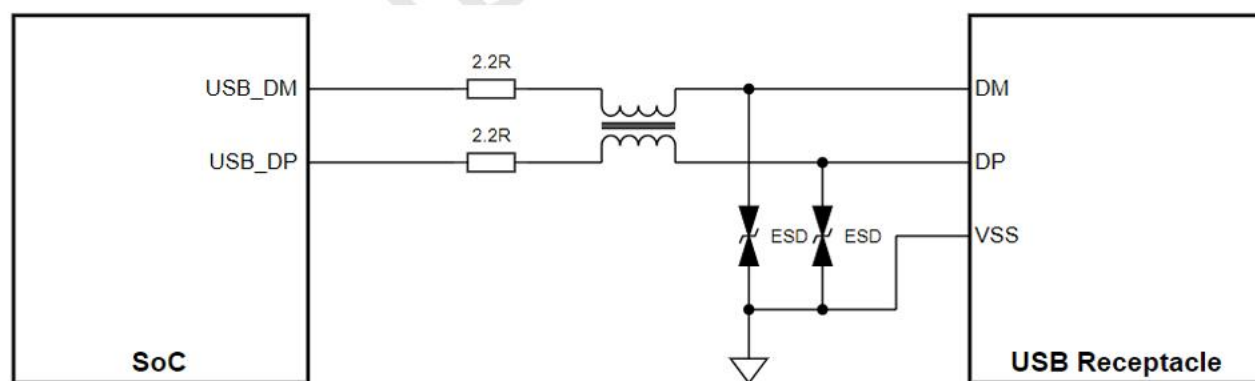


由于USB3.0的DRD和USB2.0的DRD是同一个USB3的控制器，因此USB3.0和USB2.0的DRD只能同时做Device或者做HOST，不能USB3.0的DRD做HOST，USB2.0的DRD做Device，或者USB3.0的DRD做Device 而USB2.0的DRD做HOST。USB2.0 HOST接口的信号连接如下图所示：



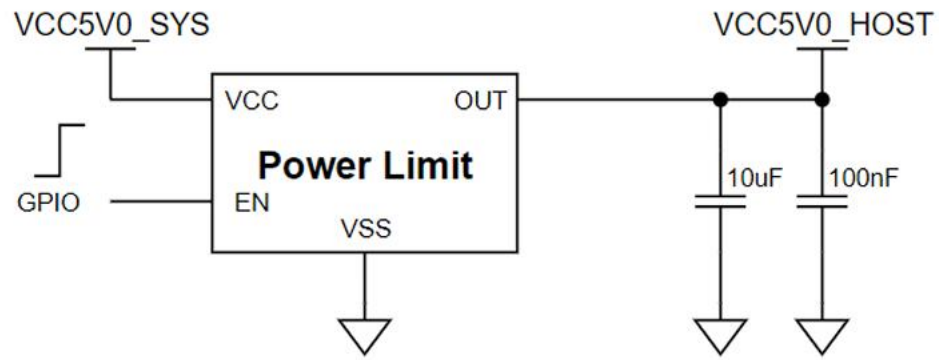
USB2/USB3接口的设计注意事项:

- USB_DRD_DP/USB_DRD_DM 是默认的系统固件下载端口，建议在调试过程中预留此接口，否则调试过程中只能使用串口下载固件，烧录速度较慢；
- USB_DRD_ID内部有大概200Kohm电阻上拉到USB_AVDD_1V8_0；
- USB_DRD_VBUSDET 是DEVICE模式检测脚，高为DEVICE设备，2.7–3.3V，TYP: 3.0V，建议在管脚放置一个100nF电容。
- 为提高USB性能，PHY各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- 为加强抗静电和浪涌能力，信号上必须预留ESD器件，USB2.0 信号的 ESD 寄生电容不得超过 3pF，DP/DM信号建议串接2.2ohm电阻，加强抗静电浪涌能力，不得删减；
- 为抑制电磁辐射，可以考虑在USB2.0信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。



- USB_DRD_ID使用时，为加强抗静电和浪涌能力，必须预留ESD器件，而且串接100ohm电阻，不得删减

● 当工作在HOST模式时，HOST的5V电源建议增加限流开关进行保护，限流大小根据应用需要 可调整，限流开关使用3.3V的GPIO控制，输出使用10uF和100nF以上的电容对电源滤波；若 USB 口需连接移动硬盘，峰值工作电流较大，建议滤波增加电容到100uF以上。



- USB3.0协议要求在SSTXP/N线上增加100nF交流耦合电容，AC耦合电容建议使用0201封装， 具有更低的ESR和ESL，可以减少线路上的阻抗突变。
- USB3.0座子所有信号都必须增加ESD器件，布局时靠近USB连接器放置。对于SSTXP/N, SSRXP/N信号，ESD寄生电容不得超过0.3pF

USB2/USB3接口的匹配设计如下表所示：

信号	连接方式	说明
USB_DRD_DP/DM USB_HOST_DP/DM	串接2.2ohm电阻	USB HS/FS/LS模式的数据输入/输出
USB_DRD_SSTXP/SSTXN USB_DRD_SSRXP/SSRXN	串接100nF电容（建议0201封装）	USB SS模式的数据输出
USB_DRD_ID	串接100ohm电阻	USB DRD ID识别，Micro-USB接口时需要使用
USB_DRD_VBUSDET	电阻分压检测	USB DRD插入检测

2.5 GMAC/FEPHY接口电路

SOM1126B-S1引出一个GMAC控制器，可以对外提供RMII/RGMII接口扩展外置以太网百兆/千兆PHY 芯片，也可以切换到内置的百兆FEPHY上，二者只能选择其中一个，不能同时使用。

GMAC控制器支持以下功能：

- 支持10/100/1000 Mbps 数据传输速率的RGMII接口
- 支持10/100 Mbps数据传输速率的RMII接口

GMAC RGMII引脚资源列表如下表所示：

GMAC 复用在两个不同的电源域，GMAC_M0 复用在 VCCIO6 电源域，GMAC_M1 复用在VCCIO5 电源域。二处复用不能同时使用，每次只能用其中一组。

GMAC_M0引脚资源列表如下表所示：

引脚编号	引脚组别	RGMII 信号定义	电源域
26	M0	ETH_TXD0_M0	VCCIO6
25		ETH_TXD1_M0	
24		ETH_TXD2_M0	
23		ETH_TXD3_M0	
46		ETH_TXCTL_M0	
27		ETH_TXCLK_M0	
20		ETH_RXD0_M0	
19		ETH_RXD1_M0	
18		ETH_RXD2_M0	
17		ETH_RXD3_M0	
22		ETH_RXCLK_M0	
21		ETH_RXCTL_M0	
A8		ETH_CLK_25M_OUT_M0	
31		ETH_MDC_M0	
30		ETH_MDIO_M0	

GMAC_M1引脚资源列表如下表所示：

36	M1	ETH_TXD0_M1	VCCIO5
35		ETH_TXD1_M1	
34		ETH_TXD2_M1	

33		ETH_TXD3_M1	
37		ETH_TXCTL_M1	
38		ETH_TXCLK_M1	
39		ETH_RXD0_M1	
40		ETH_RXD1_M1	
41		ETH_RXD2_M1	
42		ETH_RXD3_M1	
43		ETH_RXCTL_M1	
44		ETH_RXCLK_M1	
B3		ETH_CLK_25M_OUT_M1	
46		ETH_MDC_M1	
45		ETH_MDIO_M1	

千兆以太网接口可以参考我司提供的开发板参考原理图。

RGMII/RMII接口的设计注意事项：

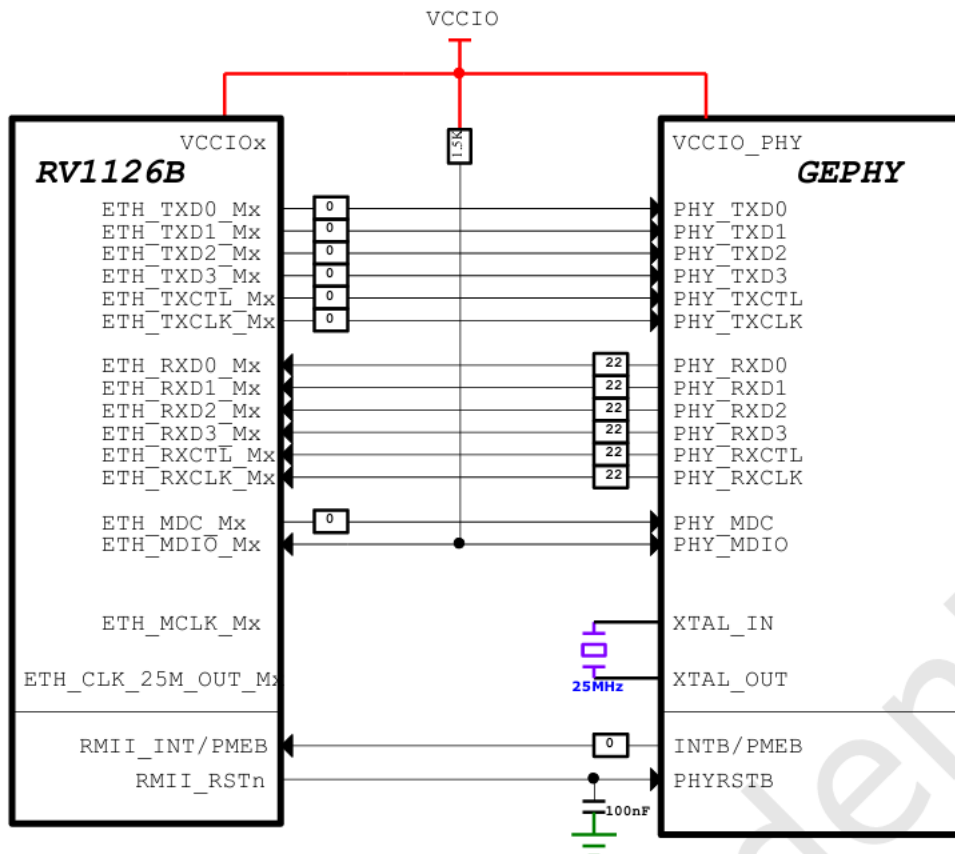
- GMAC存在两组复用。GMAC_M0复用在VCCIO6电源域，可支持1.8V或3.3V电平，由 VCCIO6_VCC 决定。GMAC_M1复用在VCCIO5电源域，可支持1.8V或3.3V电平，由 VCCIO5_VCC决定。只能使用其中一组，不能同时使用。
- 接口支持IEEE.1588协议标准，支持PTP网络同步时钟。
- 建议RGMII/RMII优先采用1.8V电平，能获得更好的信号质量。
- 为提高RGMII/RMII接口性能，所在电源域的VCCIOx_VCC电源的去耦电容不得删除，布局时 请靠近管脚放置。
- ETH_CLK_25M_OUT_Mx需在SOM1126B端预留串接0 ohm电阻，根据实际测试情况调整电阻 值来提高信号质量。
- TXD0~TXD3，TXCLK，TXCTL需在SOM1126B端预留串接0 ohm电阻，根据实际测试情况调整电阻值来提高信号质量。

● RXD0~RXD3, RXCLK, RXCTL需在PHY端串接22 ohm电阻，以提高信号质量。RGMII/RMII接口的匹配设计如下表所示：

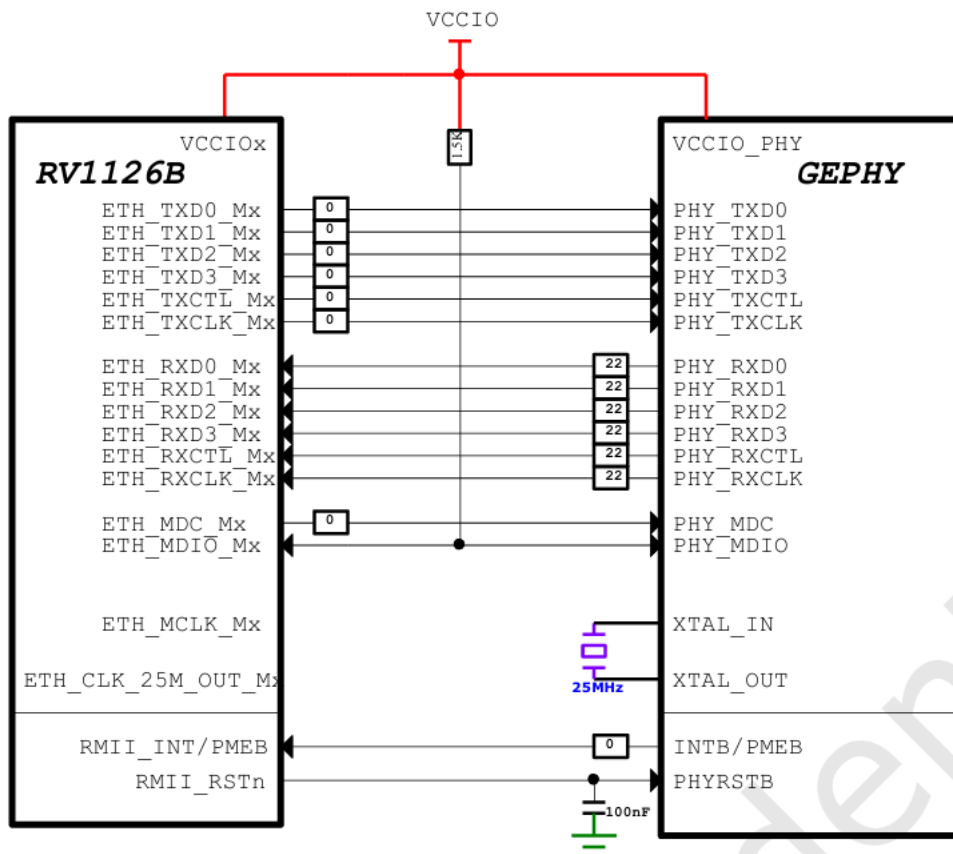
信号	IO类型 (SOC端)	连接方式	RGMII接口	信号描述	RMII接口	信号描述
ETH_TXD[3: 0]_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_TXD[3: 0]	数据发送	RMII_TXD[1: 0]	数据发送
ETH_TXCLK_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_TXCLK	数据发送参考时钟	--	--
ETH_TXCTL_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_TXCTL	数据发送使能（上升沿）和数据发送错误（下降沿）	RMII_TXEN	数据发送使用信号
ETH_RXD[3: 0]_Mx	输入	串接22ohm电阻，靠近PHY端	RGMII_RXD[3: 0]	数据接收	RMII_RXD[1: 0]	数据接收
ETH_RXCLK_Mx	输入	串接22ohm电阻，靠近PHY端	RGMII_RXCLK	数据接收参考时钟	--	--
ETH_RXCTL_Mx	输入	串接22ohm电阻，靠近PHY端	RGMII_RXCTL	数据接收有效（上升沿）和接收错误（下降沿）	RMII_RXCTL	数据接收有效和载波侦听
ETH_MCLK_Mx	输入/输出	输出模式： 预留串接0ohm电阻，靠近SOC端 输入模式： 串接22ohm电阻，靠近PHY端	RGMII_MCLKIN 125M	PHY送125MHz给MAC，可选	RMII MCLKIN 50M or RMII MCLKOUT 50M	RMII数据发送和数据接收参考时钟
ETH_CLK_25M_OUT_Mx	输出	预留串接0ohm电阻，靠近SOC端	ETH_CLKx 25M OUT_Mx	RV1126B提供25MHz时钟替代PHY晶体	ETH_CLK_25M OUT_Mx	RV1126B提供25MHz时钟替代PHY晶体
ETH_MDC_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_MDC	管理数据时钟	RMII_MDC	管理数据时钟
ETH_MDIO_Mx	输入/输出	外部上拉1.5K-1.8Kohm电阻	RGMII_MDIO	管理数据输出/输入	RMII_MDIO	管理数据输出/输入

● 当通过连接器实现板对板连接时，建议串接一定阻值的电阻（22ohm~100ohm之间，具体以能满足SI测试为准），并预留TVS器件。

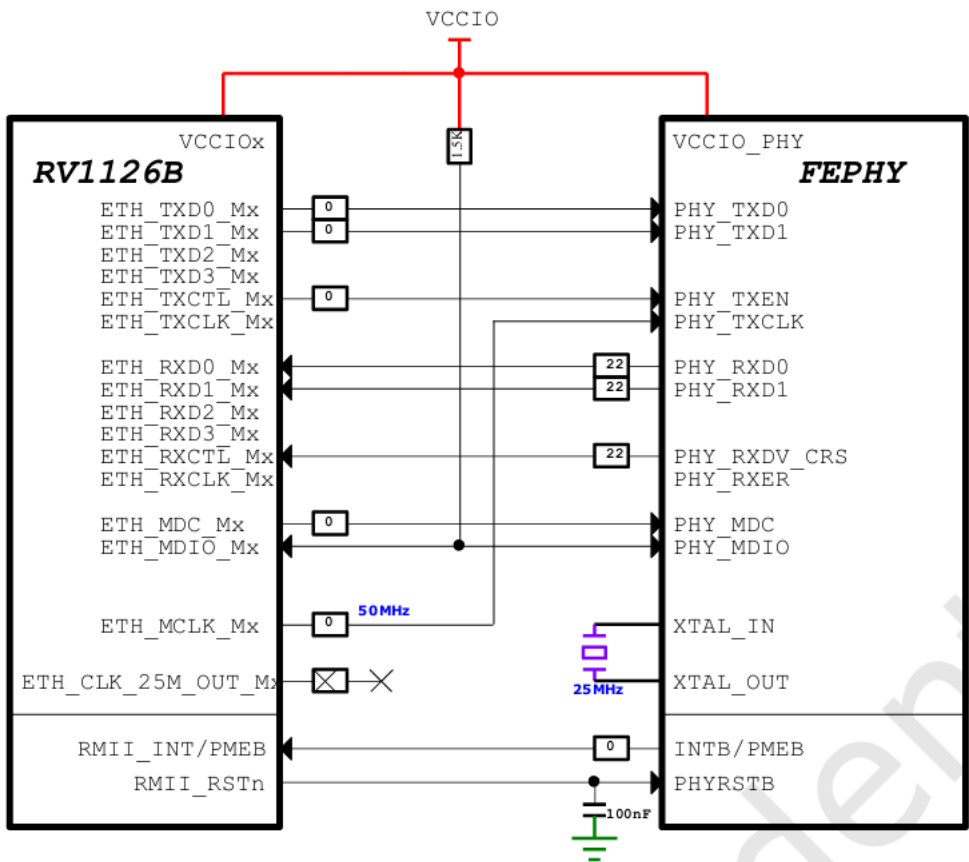
RGMII/RMII接口连接示图1 如下图所示（GEPHY工作时钟使用外置25MHz晶体）：



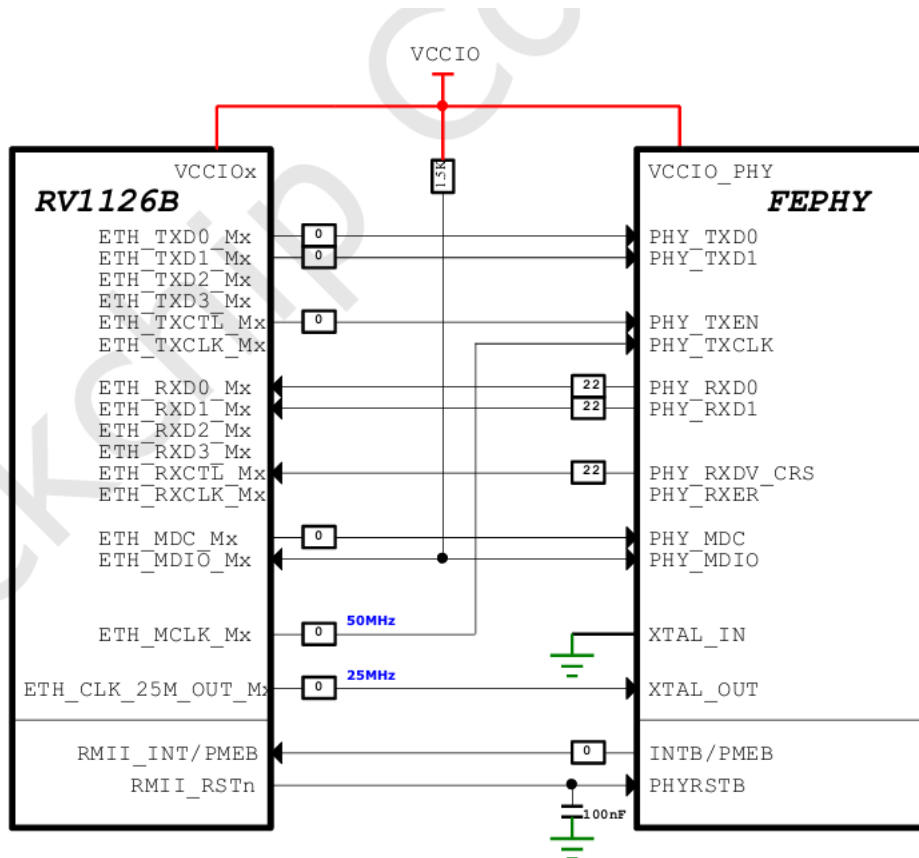
RGMII连接示图2（以***8211F/**8531C为例），如下图所示（GEPHY工作时钟使用 RV1126B提供的 25MHz）：



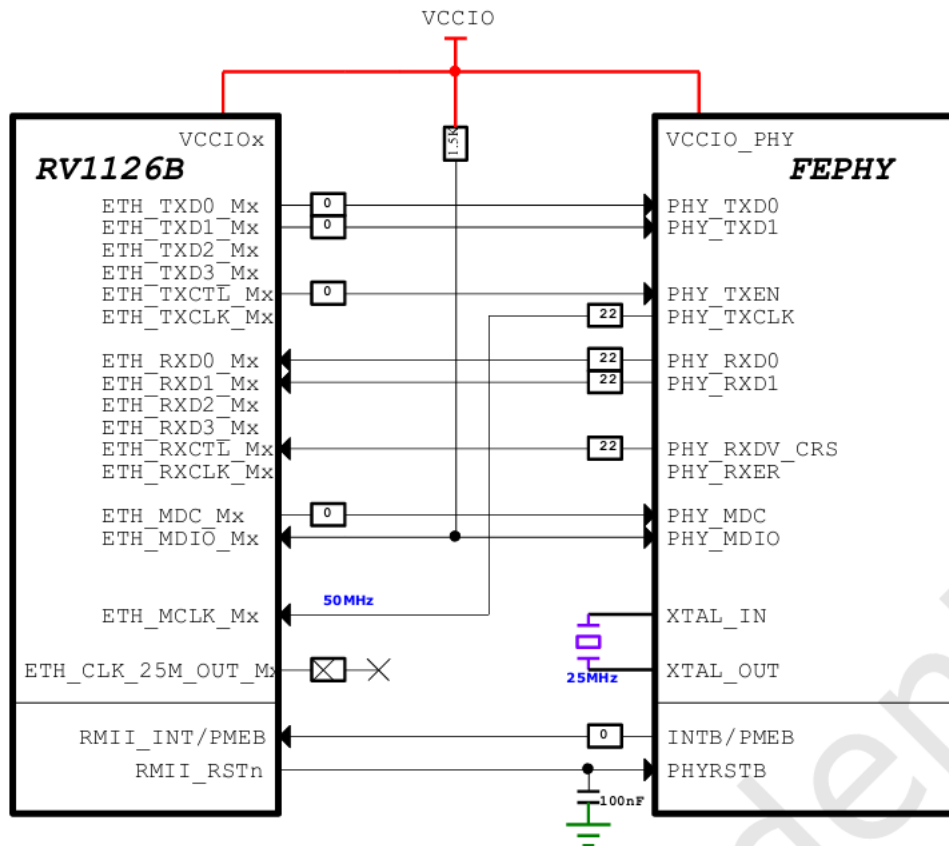
RMII连接示图1（以**8522C为例），具体电路请见参考图（FEPHY工作时钟使用25MHz晶体，ETH_MCLK_Mx采用输出模式，当RMII接口的参考时钟，FEPHY的TXCLK需要配置为输入模式）：



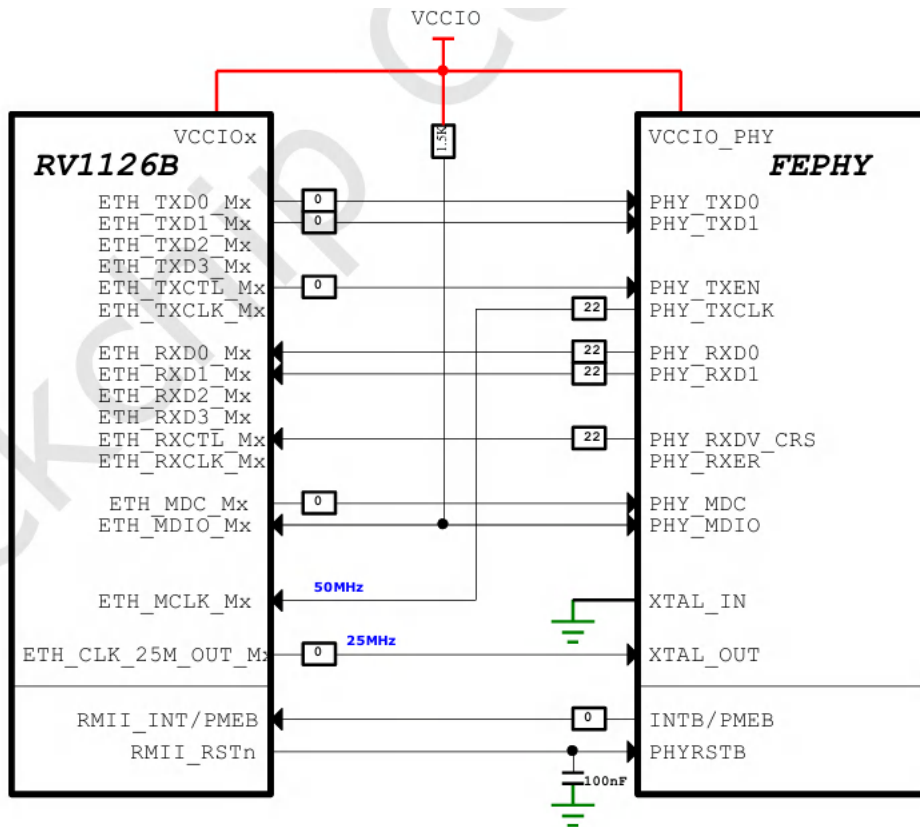
RMII连接示图2（以**8522C为例），具体电路请见参考图（使用SOC提供的25MHz替代FEPHY 晶体，ETH_MCLK_Mx采用输出模式，当RMII接口的参考时钟，FEPHY的TXCLK需要配置为输入模式）：



RMII连接示意图3（以**8522C为例），具体电路请见参考图（FEPHY工作时钟使用外置25MHz晶体，ETHx_MCLK_Mx采用输入模式，RMII接口的参考时钟由FEPHY提供，FEPHY的TXCLK需要配置为输出模式）：



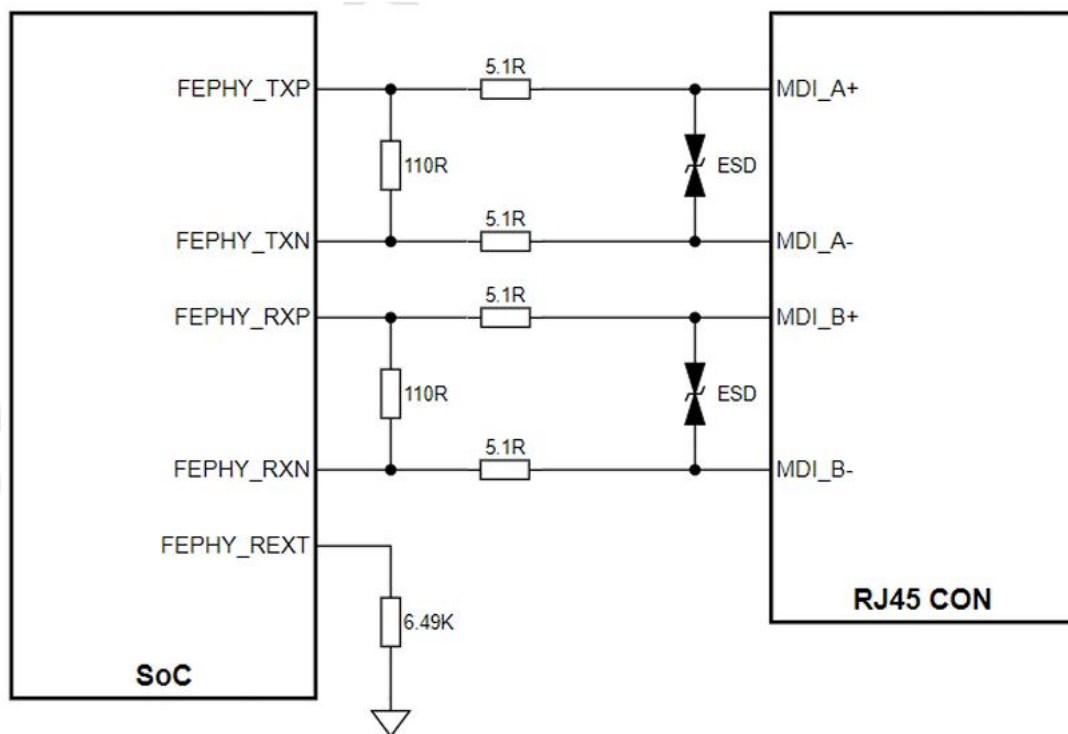
RMII连接示意图4（以**8522C为例），具体电路请见参考图(使用SOC提供的25MHz替代FEPHY 晶体，ETH_MCLK_Mx采用输入模式，RMII接口的参考时钟由FEPHY提供，FEPHY的TXCLK需要配置为输出模式)：



RGMII/RMII接口的设计注意事项:

- 在RGMII模式下, SOM1126B芯片内部TX/RX时钟路径集成了delayline, 支持调整; 参考图默认配置是: TXCLK与data之间时序由MAC来控制, RXCLK与data之间时序由PHY来控制 (如使用**8211F/FI即RXCLK默认开启2ns delay, 其它PHY要注意这个配置)。
- Ethernet PHY 的Reset信号需要用GPIO来控制, GPIO电平必须和PHY IO电平匹配, 靠近 PHY管脚必须增加100nF电容, 加强抗静电能力, 注意: **8211F/FI的复位管脚只支持3.3V 电平。
- **8211F/FI 的INTB/PMEB 为开漏输出, 外部必须增加上拉电阻。
- PHY使用外置晶体时, 晶体电容请根据实际使用的晶体的负载电容值选择, 控制频偏在+/- 20ppm 以内。
- **8211F/FI 的RSET管脚外接电阻为2.49K ohm精度为1%, 不得随意修改。
- PHY的初始化硬件配置必须和实际需求匹配。
- MDIO必须外部加上拉电阻, 推荐1.5–1.8Kohm, 上拉电源必须和IO电源保持一致。
- 变压器中心抽头的连接必须按参考各Ethernet PHY厂家的参考设计, 因为不同的PHY厂家会有不同的连接方式。
- 1000pF隔离电容建议采用高压安规电容, 有足够大的电气间隙保证雷击的安全性。
- 网络变压器高压侧的75 ohm电阻建议采用0805以上的封装。
- 雷击防护等级达到4KV以上需要增加防雷管, 普通的隔离变压器只能满足2KV等级要求。
- 如果有雷击差分测试要求, MDI差分对间需要增加TVS管。
- 务必确认RJ45封装和原理图是否一致, RJ45有分Tab down和Tab up, 信号顺序刚好是相反, 如果使用**8211F/FI 建议采用Tab down, MDI顺序是顺的。

RV1126B内置的FEPHY, 可以实现百兆以太网功能, 同一时间与GMAC_M0/GMAC_M1只能选择其中之一进行使用。FEPHY接口的信号连接如下图所示:



FEPHY接口的设计注意事项：

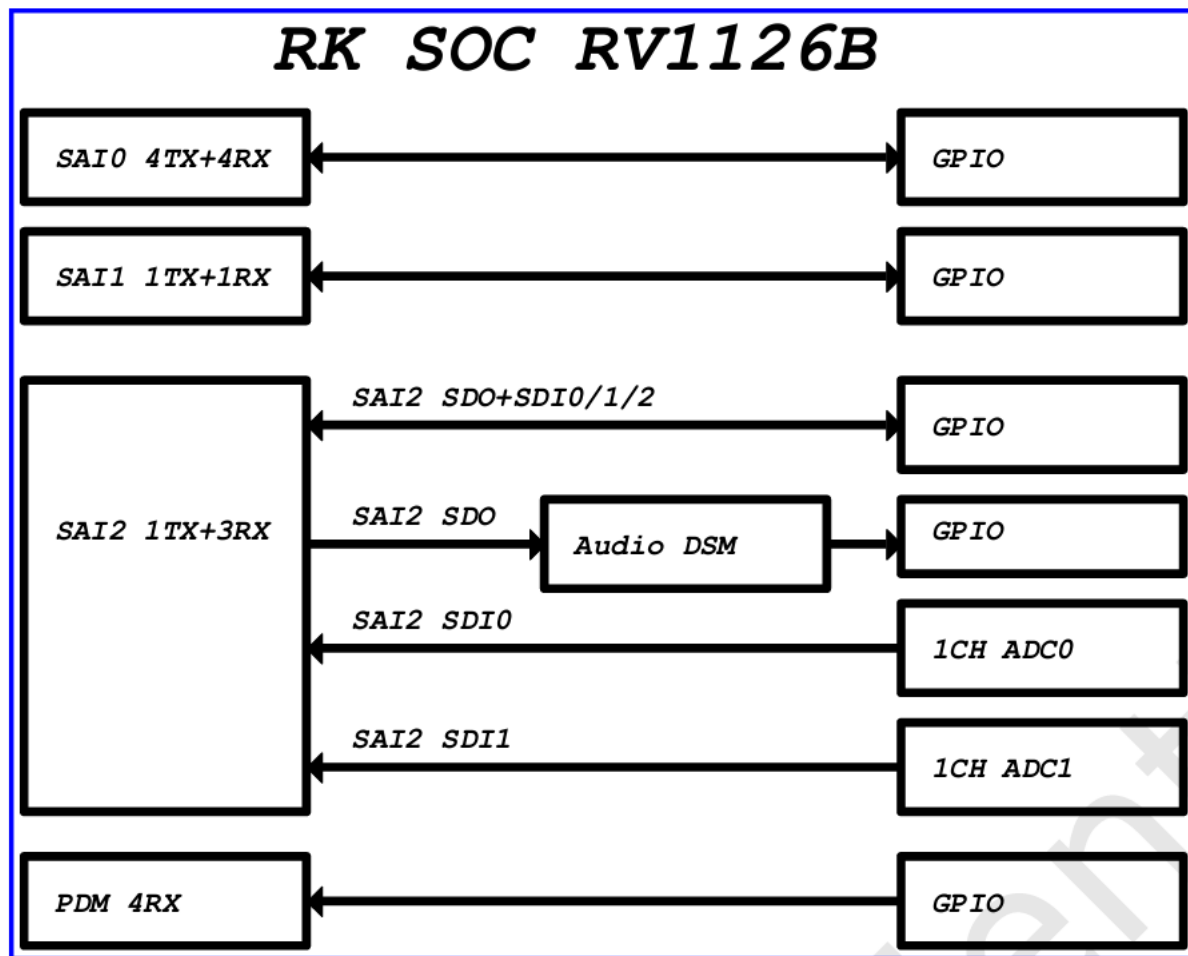
- 为提高性能，FEPHY各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- FEPHY输出支持TX/RX对调，支持组内P/N对调，可根据PCB走线情况做适当调整；
- 差分信号FEPHY_TXP/N之间和差分信号FEPHY_RXP/N之间，需要并联110ohm端接电阻，靠近SoC 端放置，不得删除；
- FEPHY_TXP/N、FEPHY_RXP/N串联5.1ohm电阻，靠近变压器端放置，可以提高抗浪涌能力；
- 变压器中心抽头的1nF，容值不得修改，靠近变压器放置； FEPHY接口的匹配设计如下表所示：

信号	连接方式	描述（芯片端）
FEPHY_TXP/N	差分对间并联110ohm电阻，靠近SoC端； 单端信号串联5.1ohm电阻，靠近变压器端	数据发送差分对信号
FEPHY_RXP/N	差分对间并联110ohm电阻，靠近SoC端； 单端信号串联5.1ohm电阻，靠近变压器端	数据接收差分对信号
FEPHY_EXTR	串接6.49Kohm 1%精密电阻接地，靠近引脚放置	参考电阻

2.6 音频接口设计

SOM1126B-S1提供了丰富的音频接口能力与资源，共提供了3组SAI接口、1组PDM接口、1组DSM接口、2组Audio ADC，以及2组ASRC处理单元。

SOM1126B-S1音频子系统框图如下，包括了对外/对内接口相关信息：



音频设计上需要注意：

- SAI0、SAI1和SAI2最大可以拼接成6TX lane +8RX lane；
- SAI2_SDO可以内部选择连接到Audio DSM接口，或者直接接到GPIO上，二者只能选择其一；
- SAI2_SDIO可以内部选择连接到Audio ADC0接口，或者直接接到GPIO上，二者只能选择其一；
- SAI2_SDI1可以内部选择连接到Audio ADC1接口，或者直接接到GPIO上，二者只能选择其一；
- 若Audio DSM、Audio ADC0/1接口都已经使用了，SAI2接口输入请选择SDI2；
- SAI0、SAI1、SAI2的MCLK不仅支持输出，同时也支持输入，输入模式下可以给PDM、DSM、Audio ADC0/1，以及SAI接口自身时钟源，例如：SAI0_MCLK可以给PDM、DSM、Audio ADC0/1、SAI0提供时钟源，SAI1_MCLK可以给SAI1提供时钟源，SAI2_MCLK可以给SAI2提供时钟源；
- 若SAI作为SLAVE，则不需要接MCLK输入。

SAI数字音频接口

RV1126B总共提供了3组SAI接口，SAI接口的全称为串行音频接口（Serial Audio Interface），是一种用于数字音频数据通信的串行接口，支持广泛的音频协议，支持PCM、I2S和TDM等标准格式，可满足单声道、立体声以及多声道音频传输。作为应用最广泛的数字音频接口，SAI可用于音频ADC、音频DAC、音频Codec、DSP等外设的通讯，也可作为视频输入/输出接口提供集成的音频输入与输出支持。SOM1126B的SAI接口具有如下特性：

- 支持8至32bits的位宽，包括常见的如32bits、24bits、16bits；
- 支持高至128通道（slots）；
- 支持单声道（Mono）模式；
- 主模式（Master）、从模式（Slave）下的TX/RX，SCLK设计速率上限为25M；SAI0支持4TX Lanes+4RX Lanes，SAI1支持1TX Lanes +1RX Lanes，SAI2支持1TX Lanes +3RX Lanes，这里的TX代表输出数据线SDOx、RX代表输入数据线SDIx。每根TX或RX包含2个通道，数据线的采样率上限可按如下计算： $IO\ rate / (slots * width)$ ，slots为通道数、width为位宽，典型采样率参考 计算如下，其余采样率可进行参考配置：

模式 (Mode)	通道数 (Slots)	位宽 (Width)	LRCK 采样率 (Sample Rate)	SCLK 速率 (SCLK Rate)
I2S	2	32	16 kHz	1.024 MHz
I2S	2	32	44.1 kHz	2.8224 MHz
I2S	2	32	48 kHz	3.072 MHz
TDM8	8	32	16 kHz	4.096 MHz
TDM8	8	32	44.1 kHz	11.2896 MHz
TDM8	8	32	48 kHz	12.288 MHz
TDM16	16	32	16 kHz	8.192 MHz
TDM16	16	32	44.1 kHz	22.5792 MHz
TDM16	16	32	48 kHz	24.576 MHz

上述为理论计算值，实际速率还受IO信号质量、走线时延等因素影响，请注意设计中相关时钟、信号的分配、优化走线。

SAI0音频数字接口

SAI0接口包含独立的4TX Lanes和4RX Lanes，对于输出数据线SDOx和输入数据SDIx，同时参考 一组位/帧时钟SCLK/LRCK。SAI0接口支持主从工作模式，软件可配置。SAI0提供了一种灵活的兼容性配

置模式，可以自定义LRCK、DATA的帧格式，从而实现对绝大多数I2S、PCM与TDM的兼容；同时，还提供了3种I2S格式（常规、左对齐、右对齐）、以及early PCM格式的直接配置。该组SAI引脚复用在2个不同的电源域，SAI0_M0复用在VCCIO7，SAI0_M1复用在VCCIO6，2处 复用不能同时使用，每次只能用其中一组。不同的数据线SDOx或SDIx均可在内部进行remap重新配置 顺序，例如可以间隔抽取使用SDO1+SDO3组合成2lanes进行使用。设计中，需要核对SAI外设的IO电平，使其匹配对应的IO电源域供电。

SAI0 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
121	M0	SAI0_SDO0_M0	VCCIO7	SAI 串行输出数据线
D10		SAI0_SDO1_M0		SAI 串行输出数据线
120		SAI0_SDO2_M0		SAI 串行输出数据线
119		SAI0_SDO3_M0		SAI 串行输出数据线
119		SAI0_SDI1_M0		SAI 串行输入数据线
123		SAI0_SDI0_M0		SAI 串行输入数据线
120		SAI0_SDI2_M0		SAI 串行输入数据线
D10		SAI0_SDI3_M0		I2S主时钟MCLK
124		SAI0_MCLK_M0		SAI 系统时钟输出
125		SAI0_SCLK_M0		SAI 连续串行时钟，位时钟
122		SAI0_LRCK_M0		SAI 帧时钟，用于声道选择
A6	M1	SAI0_SDO0_M1	VCCIO6	SAI 串行输出数据线
G2		SAI0_SDO1_M1/SAI0_SDI3_M1		SAI 串行输出数据线/SAI 串行输入数据线
G3		SAI0_SDO2_M1/SAI0_SDI2_M1		SAI 串行输出数据线/SAI 串行输入数据线
G4		SAI0_SDO3_M1/SAI0_SDI1_M1		SAI 串行输出数据线/SAI 串行输入数据线
G5		SAI0_SDI0_M1		SAI 串行输入数据线
G9		SAI0_MCLK_M1		SAI 系统时钟输出

G7		SAI0_SCLK_M1		SAI 连续串行时钟，位时钟
G6		SAI0_LRCK_M1		SAI 帧时钟，用于声道选择

SAI0接口的设计注意事项：

- 为提高SAI接口性能，对应VCCIO电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm–100ohm 之间，具体以能满足SI测试为准)，并预留TVS器件。

SAI1音频数字接口

SAI1 接口包含独立的1TX Lanes和1RX Lanes，对于输出数据线SDO和输入数据SDI，同时参考一组位/帧时钟SCLK/LRCK。SAI1接口支持主从工作模式，软件可配置。SAI1提供了一种灵活的兼容性配置模式，可以自定义LRCK、DATA 的帧格式，从而实现对绝大多数I2S、PCM与TDM的兼容；同时，还提供了3种I2S格式（常规、左对齐、右对齐）、以及early PCM格式的直接配置。该组 SAI 引脚复用在3个不同的电源域，SAI1_M0 复用在 VCCIO1，SAI1_M1 复用在 VCCIO4，SAI1_M2 复用在VCCIO5，3处复用不能同时使用，每次只能用其中一组。设计中，需要核对SAI外设的IO电平，使其匹配对应的IO电源域供电。

SAI1 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
67	M0	SAI1_SDO0_M0	VCCIO2	SAI 串行输出数据线
C5		SAI1_SDO1_M0/SAI1_SDI3_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
C6		SAI1_SDO2_M0/SAI1_SDI2_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
C7		SAI1_SDO3_M0/SAI1_SDI1_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
68		SAI1_SDI0_M0	VCCIO2	SAI 串行输入数据线
69		SAI1_MCLK_M0	VCCIO2	SAI 系统时钟输出
70		SAI1_SCLK_M0	VCCIO2	SAI 连续串行时钟，位时钟
66		SAI1_LRCK_M0	VCCIO2	SAI 帧时钟，用于声道选择

D5	M1	SAI1_SDO0_M1	VCCIO5	SAI 串行输出数据线
59		SAI1_SDO1_M1	VCCIO5	SAI 串行输出数据线
60		SAI1_SDO2_M1	VCCIO5	SAI 串行输出数据线
58		SAI1_SDO3_M1	VCCIO5	SAI 串行输出数据线
57		SAI1_SDI0_M1	VCCIO5	SAI 串行输入数据线
D3		SAI1_SDI1_M1	VCCIO5	SAI 串行输入数据线
D4		SAI1_SDI2_M1	VCCIO5	I2S输入数据1
C3		SAI1_SDI3_M1	VCCIO5	I2S主时钟MCLK
D2		SAI1_MCLK_M1	VCCIO5	SAI 系统时钟输出
C2		SAI1_SCLK_M1	VCCIO5	SAI 连续串行时钟，位时钟
D6		SAI1_LRCK_M1	VCCIO5	SAI 帧时钟，用于声道选择

SAI1接口的设计注意事项：

- 为提高SAI接口性能，对应VCCIO电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm–100ohm 之间，具体以能满足SI测试为准)，并预留TVS器件。

SAI2音频数字接口

SAI2 接口包含独立的1TX Lanes和3RX Lanes，对于输出数据线SDO和输入数据SDIx，同时参考一 组位/帧时钟SCLK/LRCK。SAI2接口支持主从工作模式，软件可配置。SAI2提供了一种灵活的兼容性配置模式，可以自定义LRCK、DATA 的帧格式，从而实现对绝大多数I2S、PCM与TDM的兼容；同时，还提供了3种I2S格式（常规、左对齐、右对齐）、以及early PCM格式的直接配置。该组SAI 引脚复用在2个不同的电源域，SAI2_M0复用在VCCIO3，SAI2_M1 复用在VCCIO5，2 处复用不能同时使用，每次只能用其中一组。不同的数据线SDIx均可在内部进行remap重新配置顺序，例如可以间隔抽取使用SDI0+SDI1组合成2lanes进行使用。SAI2 SDO可以内部选择接到Audio DSM接 口，SAI2 SDI0 可以内部选择接到Audio ADC0接口，SAI2 SDI1可以内部选择接到Audio ADC1接口，当 SAI2 使用内部连接特定功能后，则对应的SDO或者SDI0/SDI1不能再外接使用，二者只能选择其一。设计中，需要核对SAI外设的IO电平，使其匹配对应的IO电源域供电。

SAI2 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
B19	M0	SAI2_SDO_M0	VCCIO3	SAI 串行输出数据线
A9		SAI2_SDI_M0		SAI 串行输入数据线
B15		SAI2_MCLK_M0		SAI 系统时钟输出
B17		SAI2_SCLK_M0		SAI 连续串行时钟，位时钟
B16		SAI2_LRCK_M0		SAI 帧时钟，用于声道选择
25	M1	SAI2_SDO_M1	VCCIO5	SAI 串行输出数据线
26		SAI2_SDI_M1		SAI 串行输入数据线
28		SAI2_MCLK_M1		SAI 系统时钟输出
33		SAI2_SCLK_M1		SAI 连续串行时钟，位时钟
23		SAI2_LRCK_M1		SAI 帧时钟，用于声道选择

SOM1126B 总共提供了 1 组 8 通道的 PDM 接口，PDM 接口的全称为脉冲密度调制（Pulse Density Modulation），通常用于接入数字麦克风，或者通过PDM接口的模拟音频ADC对模拟麦克风进行录音，采样率通常使用16kHz、48kHz或8kHz，部分有超声要求的产品则需要用到96kHz采样率。两组PDM都工作在主接收模式（master receive mode，即RV1126B提供PDM时钟、接收数据），支持8通道输入能力，16至32bits的位宽，最高到192kHz的采样率。

PDM0引脚配置列表如下表所示：

引脚编号	引脚分组	信号定义	电源域	说明
D10	M0	PDM_SDI3_M0	VCCIO7	PDM 输入数据线
120		PDM_SDI2_M0		PDM 输入数据线
119		PDM_SDI1_M0		PDM 输入数据线
123		PDM_SDI0_M0		PDM 输入数据线
D11		PDM_CLK0_M0		PDM sampling clock
D12		PDM_CLK1_M0		PDM sampling clock
19	M1	PDM_SDI3_M1	VCCIO6	PDM 输入数据线

20		PDM_SDI2_M1		PDM 输入数据线
A7		PDM_SDI1_M1		PDM 输入数据线
21		PDM_SDI0_M1		PDM 输入数据线
29		PDM_CLK0_M1		PDM sampling clock
30		PDM_CLK1_M1		PDM sampling clock

PDM接口的设计注意事项：

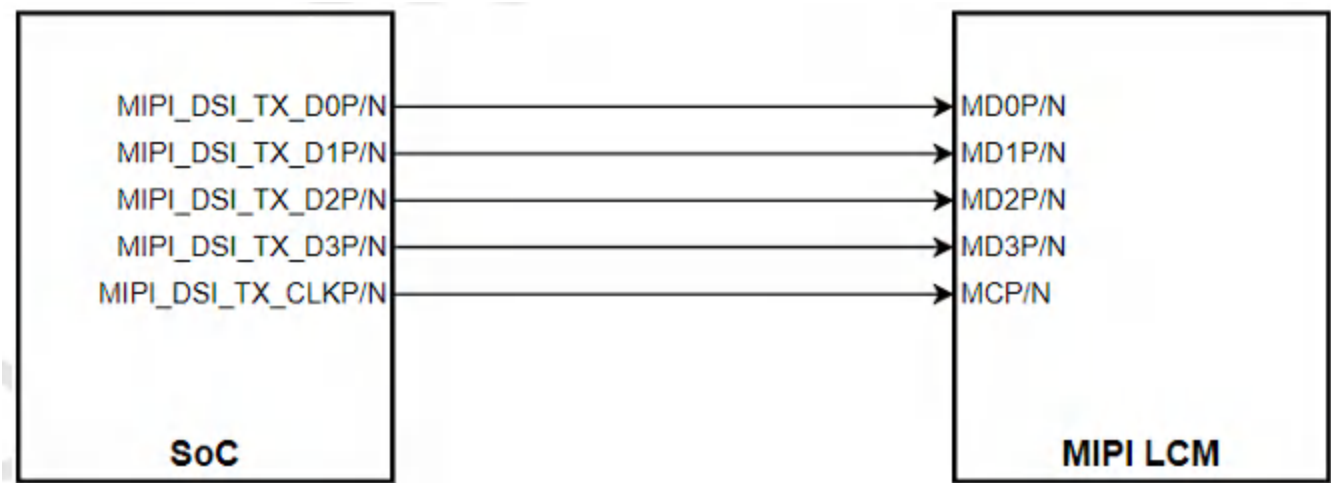
- 为提高PDM接口性能， 对应VCCIO电源域的去耦电容不得删除， 布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时， 建议时钟/控制/信号都串接一定阻值的电阻(22ohm–100ohm 之间， 具体以能满足SI测试为准)， 并预留TVS器件。

2.7 视频输出接口电路

2.7.1 MIPI_DCPHY_TX接口

SOM1126B-S1 引出1路MIPI DPHY DSI TX， 支持MIPI V1.2版本， 总共4Lane， 通道支持的最大传输速率为 1.5Gbps/Lane， 最大分辨率支持1920x1080@60Hz。

MIPI DPHY DSI TX接口的信号连接如下图所示：



MIPI_DPHY_TX引脚资源列表如下表所示：

引脚号	引脚定义	描述
-----	------	----

53	MIPI_DPHY_DSI_TX_D3P	MIPI-发送-D3-正
54	MIPI_DPHY_DSI_TX_D3N	MIPI-发送-D3-负
55	MIPI_DPHY_DSI_TX_D2P	MIPI-发送-D2-正
56	MIPI_DPHY_DSI_TX_D2N	MIPI-发送-D2-负
57	MIPI_DPHY_DSI_TX_CLKP	MIPI-时钟-正
58	MIPI_DPHY_DSI_TX_CLKN	MIPI-时钟-负
59	MIPI_DPHY_DSI_TX_D1P	MIPI-发送-D1-正
60	MIPI_DPHY_DSI_TX_D1N	MIPI-发送-D1-负
61	MIPI_DPHY_DSI_TX_D0P	MIPI-发送-D0-正
62	MIPI_DPHY_DSI_TX_D0N	MIPI-发送-D0-负

MIPI DPHY DSI TX接口的匹配设计如下表所示：

信号及复用情况	信号定义	描述（芯片端）
MIPI_DPHY_DSI_TX_D0P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane0输出
MIPI_DPHY_DSI_TX_D1P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane1输出
MIPI_DPHY_DSI_TX_D2P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane2输出
MIPI_DPHY_DSI_TX_D3P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane3输出
MIPI_DPHY_DSI_TX_CLKP/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 时钟输出

MIPI DPHY DSI TX接口的设计注意事项：

- 支持1/2/4Lane模式，1Lane默认为D0，2Lane模式默认为D0/D1；
 - MIPI Data Lane 不支持组间对调，需要一一对应；也不支持组内P/N对调；
 - 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(2.2ohm，具体以能满足SI测试为准)，并预留TVS器件。
 - MIPI高速差分对，差分阻抗按照100Ω控制，走线参考面完整。
-

2.7.2 LCDC TX接口

SOM1126B-S1引出1路 LCDC TX接口，支持并行24bit RGB模式、16bit BT.1120模式、8bit BT.656模式以及MCU模式，其中，RGB、BT.1120以及BT.656的分辨率支持如下：

- 24bit RGB模式：最大输出分辨率可达1920x1080@60Hz；
- 16bit BT.1120 模式：最大输出分辨率可达1920x1080@60Hz；
- 8bit BT.656 模式：最大分辨率为720x576@60Hz支持PAL和NTSC；

具体的RGB、BT.1120、BT.656、MCU复用关系如下表：

VO_LCDC							
Mode	RGB parallel			BT656	BT1120	mcu	
	RGB888	RGB666	RGB565	8bit	16bit	8bit	16bit
LCD_D0	B0	--	--	--	--	--	--
LCD_D1	B1	--	--	--	--	--	--
LCD_D2	B2	B2	--	--	--	--	--
LCD_D3	B3	B3	B3	D0	Y0	D0_M0	D0
LCD_D4	B4	B4	B4	D1	Y1	D1_M0	D1
LCD_D5	B5	B5	B5	D2	Y2	D2_M0	D2
LCD_D6	B6	B6	B6	D3	Y3	D3_M0	D3
LCD_D7	B7	B7	B7	D4	Y4	D4_M0	D4
LCD_D8	G0	--	--	--	--	--	--
LCD_D9	G1	--	--	--	--	--	--
LCD_D10	G2	G2	G2	D5	Y5	D5_M0	D5
LCD_D11	G3	G3	G3	D6	Y6	D6_M0	D6
LCD_D12	G4	G4	G4	D7	Y7	D7_M0	D7
LCD_D13	G5	G5	G5	--	C0	D0_M1	D8
LCD_D14	G6	G6	G6	--	C1	D1_M1	D9
LCD_D15	G7	G7	G7	--	C2	D2_M1	D10
LCD_D16	R0	--	--	--	--	--	--
LCD_D17	R1	--	--	--	--	--	--
LCD_D18	R2	R2	--	--	--	--	--
LCD_D19	R3	R3	R3	--	C3	D3_M1	D11
LCD_D20	R4	R4	R4	--	C4	D4_M1	D12
LCD_D21	R5	R5	R5	--	C5	D5_M1	D13
LCD_D22	R6	R6	R6	--	C6	D6_M1	D14
LCD_D23	R7	R7	R7	--	C7	D7_M1	D15
LCD_DEN	DEN	DEN	DEN	--	--	RDN	RDN
LCD_HSYNC	HSYNC	HSYNC	HSYNC	--	--	WRN	WRN
LCD_VSYNC	VSYNC	VSYNC	VSYNC	--	--	CSN	CSN
LCD_DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	RS	RS

● BT.1120输出接口数据对应关系，支持YC Swap

● RGB666、RGB565、MCU 16bit，BT.1120模式下，RGB中的高位与外设连接，外设端低位悬空 或者接地即可

● BT.656只有M0不支持复用的M1，MCU 8bit支持复用M0、M1

RV1126B BT1120输出格式列表 如下

Pin Name	默认模式		Swap打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
BT1120_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
BT1120_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
BT1120_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
BT1120_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
BT1120_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
BT1120_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
BT1120_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
BT1120_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
BT1120_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
BT1120_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
BT1120_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
BT1120_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
BT1120_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
BT1120_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
BT1120_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
BT1120_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

LCDC TX接口的设计注意事项：

- 这些并行信号输出接口电源域为VCCIO5供电，实际产品设计中，需要根据外设的实际IO供电 要求 (1.8V or 3.3V) 选择对应的供电，必须保持一致；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足 SI 测试为准)，并预留TVS器件。
- 为提高并行信号输出接口性能，VCCIO5电源的去耦电容不得删除，布局时请靠近管脚放置。

LCDC TX接口的匹配设计如下表所示：

信号	芯片内部上下拉配置情况	连接方式	描述（芯片端）
BT1120_D[15: 0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	BT1120数据输出
BT1120_CLK	下拉	串接22ohm电阻，靠近设备端	BT1120时钟输出
RGB_D[24:0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	RGB数据输出
RGB_CLK	下拉	串接22ohm电阻，靠近设备端	RGB时钟输出
MCU_D[16:0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	MCU数据输出
MCU_RS	下拉	直连，有条件建议靠近芯片端预留串接电阻	Parameter、command选择
MCU_CSN	下拉	直连，有条件建议靠近芯片端预留串接电阻	片选信号
MCU_WRN	下拉	直连，有条件建议靠近芯片端预留串接电阻	写使能信号
MCU_RDN	下拉	直连，有条件建议靠近芯片端预留串接电阻	读使能信号

2.8 视频输入接口电路

2.8.1 MIPI DPHY CSI RX0接口

SOM1126B有2组MIPI CSI RX输入，都支持MIPI V1.2版本，通道支持的最大传输速率为2.5Gbps/Lane。实际应用中可以将每组port的1*4lane拆成2*2lane输入，最大可同时支持4路MIPI CSI RX输入。

MIPI DPHY CSI0引脚资源列表如下表所示：

引脚号	引脚定义	描述
135	MIPI_DPHY_CSI_RX0_D0P	MIPI CSI0数据Lane0输入
136	MIPI_DPHY_CSI_RX0_D0N	
133	MIPI_DPHY_CSI_RX0_D1P	MIPI CSI 0数据Lane1输入
134	MIPI_DPHY_CSI_RX0_D1N	
D14	MIPI_DPHY_CSI_RX0_CLK1P	MIPI CSI0时钟输入Lane0
D15	MIPI_DPHY_CSI_RX0_CLK1N	
129	MIPI_DPHY_CSI_RX0_D2P	MIPI CSI0 数据Lane2输入
130	MIPI_DPHY_CSI_RX0_D2N	
127	MIPI_DPHY_CSI_RX0_D3P	MIPI CSI0 数据Lane3输入
128	MIPI_DPHY_CSI_RX0_D3N	
D14	MIPI_DPHY_CSI_RX0_CLK1P	MIPI CSI 0时钟输入Lane1
D15	MIPI_DPHY_CSI_RX0_CLK1N	

注意：MIPI–CSI高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

2.8.2 MIPI DPHY CSI RX1接口

MIPI DPHY CSI1引脚资源列表如下表所示：

引脚号	引脚定义	描述
145	MIPI_DPHY_CSI_RX1_D0P	MIPI CSI1数据Lane0输入
146	MIPI_DPHY_CSI_RX1_D0N	
143	MIPI_DPHY_CSI_RX1_D1P	MIPI CSI 1数据Lane1输入
144	MIPI_DPHY_CSI_RX1_D1N	
141	MIPI_DPHY_CSI_RX1_CLK0P	MIPI CSI1 时钟输入Lane0
142	MIPI_DPHY_CSI_RX1_CLK0N	
139	MIPI_DPHY_CSI_RX1_D2P	MIPI CSI1 数据Lane2输入
140	MIPI_DPHY_CSI_RX1_D2N	
137	MIPI_DPHY_CSI_RX1_D3P	MIPI CSI1 数据Lane3输入
138	MIPI_DPHY_CSI_RX1_D3N	
D17	MIPI_DPHY_CSI_RX1_CLK1P	MIPI CSI 1时钟输入Lane1
D18	MIPI_DPHY_CSI_RX1_CLK1N	

注意：MIPI–CSI高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

2.8.3 CIF(DVP)接口

SOM1126B–S1核心板的DVP接口复用在两个位置，一个在VCCIO5电源域，一个在VCCIO6电源域，同时间只能使用其中一个，要么全部用IOMUX M0，要么全部用IOMUX M1，不支持部分IO为M0部分IO为M1的混合法。在实际产品设计中，DVP接口电源域供电，需要根据产品Camera的实际IO供电要求（1.8V or 3.3V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

DVP接口支持如下格式：

- 支持BT.601 RAW8/10/12/14 YCbCr 422 8bit input
- 支持BT.656 YCbCr 422 8-bit progressive/interlaced input
- 支持16–Pins BT.1120 YCbCr 422 8-bit progressive/interlaced input
- 支持2/4 mixed BT.656/BT.1120 YCbCr 422 input CIF[15:0]的8/10/12/16bit数据对应关系如下表，支持高位对齐模式：

RV1126B 16bit DVP	BT.601			BT.656	BT.1120
	12bit	10bit	8bit	8bit	16bit
VI_CIF_D0					D0
VI_CIF_D1					D1
VI_CIF_D2					D2
VI_CIF_D3					D3
VI_CIF_D4	D0				D4
VI_CIF_D5	D1				D5
VI_CIF_D6	D2	D0			D6
VI_CIF_D7	D3	D1			D7
VI_CIF_D8	D4	D2	D0	D0	D8
VI_CIF_D9	D5	D3	D1	D1	D9
VI_CIF_D10	D6	D4	D2	D2	D10
VI_CIF_D11	D7	D5	D3	D3	D11
VI_CIF_D12	D8	D6	D4	D4	D12
VI_CIF_D13	D9	D7	D5	D5	D13
VI_CIF_D14	D10	D8	D6	D6	D14
VI_CIF_D15	D11	D9	D7	D7	D15
VI_CIF_CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN
VI_CIF_HSYNC	HSYNC	HSYNC	HSYNC	--	--
VI_CIF_VSYNC	VSYNC	VSYNC	VSYNC	--	--
VI_CIF_CLKOUT	CLKOUT	CLKOUT	CLKOUT	--	--

BT.1120 16bit模式数据对应关系，支持YC Swap。

Pin Name	默认模式		Swap打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
VI_CIF_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
VI_CIF_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
VI_CIF_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
VI_CIF_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
VI_CIF_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
VI_CIF_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
VI_CIF_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
VI_CIF_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
VI_CIF_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
VI_CIF_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
VI_CIF_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
VI_CIF_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
VI_CIF_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
VI_CIF_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
VI_CIF_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
VI_CIF_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

DVP接口的匹配设计如下表所示：

信号	芯片内部上下拉配置情况	连接方式	描述（芯片端）
VI_CIF_D[15: 0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	CIF数据输入
VI_CIF_HSYNC	下拉	直连，有条件建议靠近芯片端预留串接电阻	CIF行同步输入
VI_CIF_VSYNC	下拉	直连，有条件建议靠近芯片端预留串接电阻	CIF场同步输入
VI_CIF_CLKIN	下拉	串接22ohm电阻，靠近设备端	CIF时钟输入
VI_CIF_CLKOUT	下拉	串接22ohm电阻，靠近芯片端	CIF时钟输出，可为设备提供MCLK工作时钟

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

CMIPi CSI RX/CIF设计时注意点

- Camera的DVDD供电有1.2V/1.5V/1.8V等不同情况，请根据Camera的规格书提供准确的电源；
- 有些Camera的DVDD电流比较大（高分辨率模组），超过300mA建议使用DCDC供电；

- 部分Camera的电源有上电时序要求，电源使能管脚请预留RC并根据模组规格书相应调整上电时序；
 - 使用CIF 接口的Camera 时，要注意 Camera 的 DOVDD（IO 电源）与 SOC 端对接的电源域（VCCI05或者VCCI06）供电必须用相同的电压；
 - 使用两个Camera时，可根据需求实际情况电源分开或合并；
 - Camera电源的去耦电容不得删减，必须保留，靠近sensor image放置；如果Camera模组通过 排线与SoC连接，在连接座处也请放置uF级别电容；
 - Camera的PWDN信号必须使用GPIO控制，GPIO电平必须和Camera IO电平匹配；
 - Camera 的 Reset/Shutdown 信号建议使用 GPIO 控制，GPIO 电平必须和 Camera IO 电平匹配，Reset 信号的100nF电容不得删除，靠近座子放置，加强抗静电能力；
 - 双摄模式下，如果两个Camera同型号，要注意I2C地址是否可通过SID配置，如果I2C地址固定，那么不能挂在同一组I2C总线上，需要单独连接。
 - Camera的MCLK可以从以下时钟源获取：
 - VI_CIF_CLKOUT
 - REF_CLK0_OUT
 - CAM_CLK0_OUT/CAM_CLK1_OUT/CAM_CLK2_OUT/CAM_CLK3_OUT
 - 注意：时钟的电平必须和Camera IO电平匹配，如果不匹配，必须电平转换或电阻分压使电平匹配；
-

2.9 UART 接口电路

SOM1126B-S1核心板共引出8路UART，其中 UART0_TX_DEBUG为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能，支持以下功能：

- 支持全双工和半双工通信模式；
- 均包含两个64字节的FIFO用于数据接收和传输；
- 传输速率最高4Mbps；
- 支持可编程波特率，支持非整数时钟分频器；
- 支持基于中断或基于DMA的模式；
- 支持5-8位宽度传输；

- UART1~7支持RS485自动收发功能。
- UART0默认为烧录、打印串口

核心板上完整可用的UART信号定义复用引脚列表如下表所示:

UART资源	引脚编号	UART信号定义	电源域
UART0_TX_DEBUG	80	UART0_TX_DEBUG	PMUIO0 (3.3V) (调试串口)
	81	UART0_RX_DEBUG	
UART1	B16	UART1_CTSN_M1	VCCIO3
	B17	UART1_RTSN_M1	
	B15	UART1_TX_M1	
	B14	UART1_RX_M1	
UART2	77	UART2_RX_M0	PMUIO1 (3.3V)
	78	UART2_TX_M0	
	75	UART2_RTSN_M0	
	76	UART2_CTSN_M0	
	120	UART2_RX_M1	VCCIO3
	119	UART2_TX_M1	
	D10	UART2_RTSN_M1	
	D11	UART2_CTSN_M1	
UART3	116	UART3_RX_M0	VCCIO2 (3.3V)
	115	UART3_TX_M0	
	114	UART3_RTSN_M0	
	113	UART3_CTSN_M0	
	A18	UART3_RX_M1	VCCIO5
	B8	UART3_TX_M1	
	B6	UART3_RTSN_M1	
	B7	UART3_CTSN_M1	

	22	UART3_RX_M2	VCCIO6
	28	UART3_TX_M2	
	31	UART3_RTSN_M2	
	A8	UART3_CTSN_M2	
UART4	A5	UART4_RX_M0	VCCIO4 (1.8V)
	A4	UART4_TX_M0	
	23	UART4_RTSN_M0	
	26	UART4_CTSN_M0	
	A12	UART4_RX_M1	VCCIO5
	A10	UART4_TX_M1	
	33	UART4_RTSN_M1	
	A9	UART4_CTSN_M1	
	A5	UART4_RX_M2	VCCIO6
	A4	UART4_TX_M2	
	26	UART4_CTSN_M2	
	23	UART4_RTSN_M2	
	114	UART4_RX_M3	VCCIO2 (3.3V)
	113	UART4_TX_M3	
	115	UART4_CTSN_M3	
	116	UART4_RTSN_M3	
UART5	13	UART5_RX_M0	VCCIO4 (1.8V)
	12	UART5_TX_M0	
	14	UART5_RTSN_M0	
	15	UART5_CTSN_M0	
	A14	UART5_RX_M1	VCCIO5

	A13	UART5_TX_M1	VCCIO6
	A15	UART5_RTSN_M1	
	A16	UART5_CTSN_M1	
	18	UART5_RX_M2	
	A6	UART5_TX_M2	
	17	UART5_RTSN_M2	
	24	UART5_CTSN_M2	
UART6	39	UART6_RX_M0	VCCIO5
	43	UART6_TX_M0	
	40	UART6_RTSN_M0	
	47	UART6_CTSN_M0	
	27	UART6_RX_M1	VCCIO6
	25	UART6_TX_M1	
	20	UART6_RTSN_M1	
	19	UART6_CTSN_M1	
UART7	45	UART7_RX_M0	VCCIO5
	A17	UART7_TX_M0	
	46	UART7_RTSN_M0	
	36	UART7_CTSN_M0	
	21	UART7_RX_M1	VCCIO6
	29	UART7_TX_M1	
	A7	UART7_RTSN_M1	
	30	UART7_CTSN_M1	

考虑不同产品应用灵活性，8个UART分别复用在几个不同的电源域，用后缀M0/M1/M2/M3区分不同复用位置。M0/M1/M2/M3不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择

M1， 有些选择M2， 这个功能不支持。8个UART中只有UART0不带流控功能， 其余UART1~7均带流控功能。

UART接口的设计注意事项：

- 根据UART外设的IO电平， 调整对应的电源域供电， 必须保持一致；
- 注意SoC与UART device连接时， TX/RX的方向；
- 当通过连接器实现板对板连接时， 建议串接一定阻值的电阻(22ohm–100ohm之间， 具体以能满足 SI测试为准)， 并预留TVS器件。

2.10 IRFPA接口

SOM1126B–S1支持IRFPA（Infrared Focus Plane Array， 非制冷型红外焦平面阵列）， 即热成像传感器接口， 支持单端模式， 不支持差分模式， 支持OOC（On–Chip Offset Calibration， 片上非均匀性校正）， 目前支持7 进14出、3进8出和3进7出三种探测器接口。

IRFPA接口的匹配设计如下表所示：

信号	内部上下拉	连接方式	描述（芯片端）
VI_CIF_D[15:0]	下拉	直连	IRFPA数据接收
VI_CIF_HSYNC	下拉	直连	IRFPA行同步接收
VI_CIF_VSYNC	下拉	直连	IRFPA场同步接收
VI_CIF_CLKIN	下拉	串联22ohm电阻	IRFPA数据同步采样时钟接收
IR_FPA_SDA[6:0]	下拉	直连	OOC配置数据输出
IR_FPA_FSYNC	下拉	直连	帧同步信号输出
IR_FPA_MCLK	下拉	串联22ohm电阻	系统工作时钟/OOC数据同步时钟

IRFPA接口的设计注意事项：

- Soc端数据接收遵循高位对齐原则。而不同模组数据对齐方式不同， 有些模组是高位对齐， 有些 模组是低位对齐， 使用时需注意。连接示意图中展示的是高位对齐的连接方式；
- 模组的工作电平有1.8V/2.0V等， SOM1126B仅支持1.8V工作电平；
- 部分模组提供PSYNC像素同步信号， 实际不需要连接。

2.11 I2C 接口电路

SOM1126B-S1核心板共引出5组I2C接口，使用时注意电平为1.8V或3.3V，必要时加电平转换电路，支持以下功能：

- 支持I2C总线主模式，不支持从模式；
- 最高支持软件可编程时钟频率和传输速率达1M bit/s；
- 支持7位和10位寻址模式。 考虑不同产品应用灵活性，5个I2C分别复用在几个不同的电源域，用后缀M0/M1/M2/M3区分不同复用 位置。IOMUX_M0/M1/M2/M3不能同时使用，分配时只能选择其中一组，例如：不能选择了I2C1_M0，又 选择了I2C1_M1、I2C1_M2或I2C1_M3。

I2C总线引脚资源如下表所示：

I2C资源	引脚分组	引脚编号	I2C信号定义	电源域
I2C1	M0	81	I2C1_SCL_M0	PMUIO1 (3.3V)
		80	I2C1_SDA_M0	
	M1	70	I2C1_SCL_M1	VCCIO3
		69	I2C1_SDA_M1	
	M2	8	I2C1_SDA_M2	VCCIO4 (1.8V)
		9	I2C1_SCL_M2	
	M3	120	I2C1_SCL_M3	VCCIO7 (3.3V)
		119	I2C1_SDA_M3	
I2C2	M0	92	I2C2_SCL_M0	PMUIO1 (3.3V)
		91	I2C2_SDA_M0	
	M1	A18	I2C2_SCL_M1	VCCIO5
		A19	I2C2_SDA_M1	
I2C3	M1	10	I2C3_SCL_M1	VCCIO4 (1.8V)
		11	I2C3_SDA_M1	
	M2	B4	I2C3_SCL_M2	VCCIO5
		B5	I2C3_SDA_M2	
I2C4	M0	B17	I2C4_SCL_M0	VCCIO3
		B16	I2C4_SDA_M0	

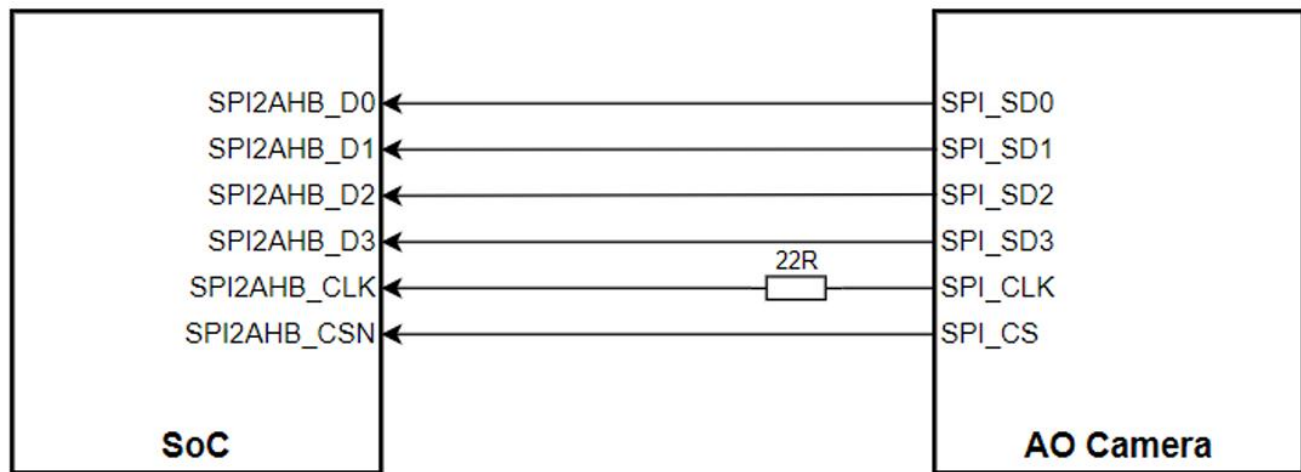
	M1	A6	I2C4_SCL_M1	VCCIO6
		18	I2C4_SDA_M1	
	M2	13	I2C4_SCL_M2	VCCIO4 (1.8V)
		12	I2C4_SDA_M2	
	M3	D12	I2C4_SCL_M3	VCCIO5
		122	I2C4_SDA_M3	
I2C5	M1	B15	I2C5_SCL_M1	VCCIO3
		B14	I2C5_SDA_M1	
	M2	A9	I2C5_SCL_M2	VCCIO5
		A16	I2C5_SDA_M2	
	M3	17	I2C5_SCL_M3	VCCIO6
		24	I2C5_SDA_M3	

I2C接口的设计注意事项：

- 根据I2C外设的IO电平，调整对应的电源域供电，必须保持电平一致；
- I2C信号SCL、SDA需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻，推荐接2.2~4.7k Ω 上拉电阻。
- I2C总线上各设备地址不要冲突，上拉电源必须和GPIO电源域电源保持一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22 Ω –100 Ω 之间，具体以能满足 SI 测试为准)，并预留TVS器件。

2.12 SPI2AHB接口电路

SOM1126B的SPI2AHB接口位于PMUIO1域，主要用于与Camera的SPI接口互联，实现Pre-Recording 休眠 模式可以连续读取Camera的图像数据。SPI2AHB接口与Camera的信号连接如下图所示：



SPI2AHB接口的设计注意事项：

- SPI2AHB接口仅作为Slave（从设备）使用，不能作为Master（主设备）使用；
- 由于大部分Camera的DOVDD电压为1.8V，所以在Pre-recording 模式下，PMUIO1_VCC 建议 使用 1.8V供电；
- 部分型号的Camera支持INT/FSYNC，连接方式请按照参考原理图设计。

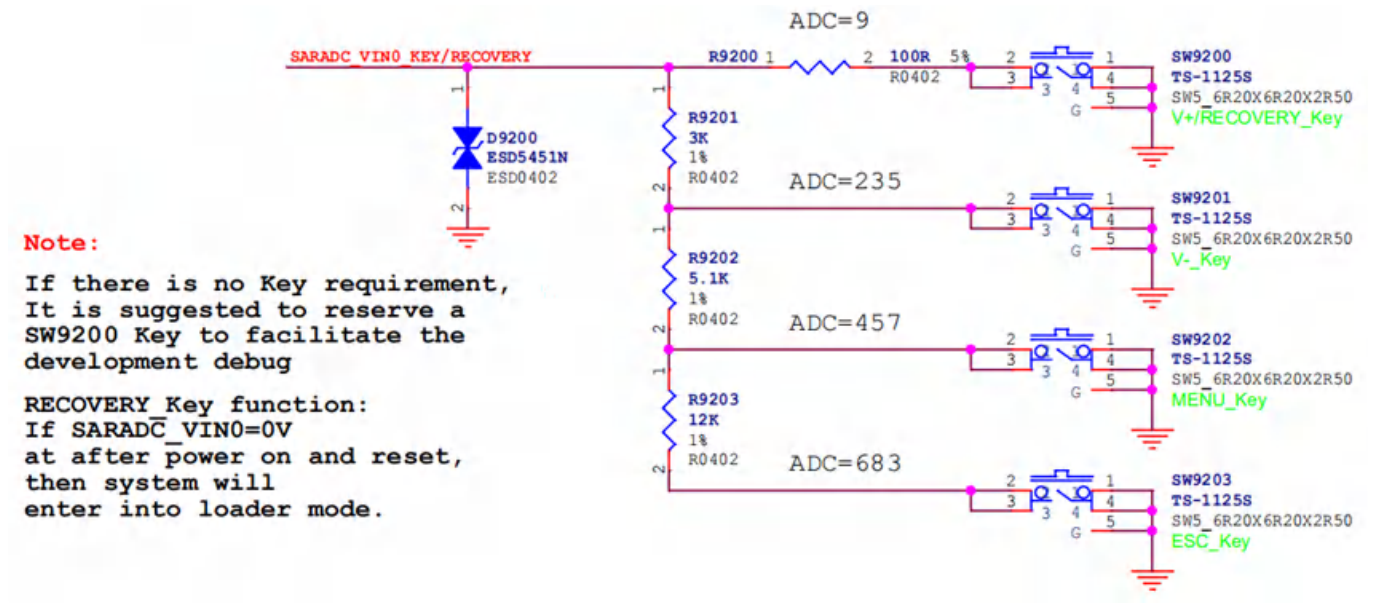
2.13 SARADC电路

SOM1126B的CPU集成了3个分辨率为13bit的SARADC控制器，每路可提供8路SARADC输入，速度达到2MS/s， 输入电压范围为0–1.8V。

除SARADC0_IN7以外的其他通道，可通过软件配置任意功能，例如可配置SARADC0_IN0用于进入 Recovery状态、配置SARADC0_IN2用于BOM ID选择等功能。其中SARADC0_IN7_BOOT专门用于System Boot启动顺序的设置，不能用于其它功能，通过上下拉电阻分压采样得到的值，用来判断从哪个接口进行BOOT，详见小节2.1.5。除SARADC0_IN7以外的其他通道，可通过软件配置任意功能，例如可配置SARADC0_IN0用于进入 Recovery状态、配置SARADC0_IN2用于BOM ID选择等功能。

SARADC0_IN0一般常用做按键的键值输入采样，也可通过软件配置为Recovery模式按键，主要用于研发调试阶段需要频繁烧录固件的情况： SARADC0_IN0在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时， Recovery模式按键处于按下状态，即SARADC0_IN0保持为低电平（0V），则SOM1126B进入Loader烧写模式，当PC识别到USB设备时，松开按键使SARADC0_IN0恢复为高电平（1.8V），即可进入固件烧写。因此，在产品未有按键情况下，SARADC0_IN0如果是悬空会不定态，可能会影响开机，所以外部的10Kohm 1%上拉电阻必须保留不可删减，默认为高电平（1.8V），保证默认的正常启动判断。如果没有配置Recovery模式，该上拉电阻不

是必需的。SOM1126B上，按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多 键输入以满足客户产品需求；设计中建议任意两个按键键值之差必须大于560，即中心电压差必须大于 123mV。按键矩阵的信号连接如下图所示：



SRADC引脚列表如下表所示：

引脚号	引脚定义	电源域	描述	
B12	SARADC0_IN7_BOOT	1.8V	默认用于BOOT按键功能。 核心板上拉10K电阻到1.8V	
50	SARADC0_IN0_RECOVERY	1.8V	默认用于ADC按键功能， 不建议用作其它功能。核心板上拉10K电阻到1.8V	默认用于ADC按键功能， 不建议用作其它功能。核心板上拉10K电阻到1.8V
49	SARADC0_IN2	1.8V	标准ADC输入	
48	SARADC0_IN3	1.8V	标准ADC输入	
B9	SARADC0_IN4	1.8V	标准ADC输入	
B10	SARADC0_IN5	1.8V	标准ADC输入	
B11	SARADC0_IN6	1.8V	标准ADC输入	

SARADC0接口的设计注意事项：

- SARADC0_AVDD_1V8电源的去耦电容不得删减，布局时，要靠近RV1126B管脚放置；
- SARADC0_IN[7：0]有使用，靠近管脚必须增加1nF电容消抖，请勿修改电容容值或是删除电容， 否则会引起采样出错；

- 用于按键采集时，靠近按键需做ESD防护，而且0键值的必须串接100ohm电阻加强抗静电浪涌 能力（如果只有一个键时，ESD必须靠近按键，先经过ESD→100ohm电阻→1nF→芯片管脚）。
- SARADC 采样范围为0~1.8V，采样精度为 12bit 。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于±35, 即中心电压差必须大于132mV；

SARADC1/2 接口复用在VCCIO6电源域 ，引脚列表如下表所示：

引脚号	引脚定义	电源域	描述
A4	SARADC1_IN0	VCCIO6	标准ADC输入
A5	SARADC1_IN1		标准ADC输入
A6	SARADC1_IN2		标准ADC输入
18	SARADC1_IN3		标准ADC输入
17	SARADC1_IN4		标准ADC输入
24	SARADC1_IN5		标准ADC输入
23	SARADC1_IN6		标准ADC输入
26	SARADC1_IN7		标准ADC输入

引脚号	引脚定义	电源域	描述
25	SARADC2_IN0	VCCIO6	标准ADC输入
21	SARADC2_IN1		标准ADC输入
A7	SARADC2_IN2		标准ADC输入
30	SARADC2_IN3		标准ADC输入
31	SARADC2_IN4		标准ADC输入
A8	SARADC2_IN5		标准ADC输入
28	SARADC2_IN6		标准ADC输入
22	SARADC2_IN7		标准ADC输入

SARADC1/2接口的设计注意事项：

- SARADC1&2在工作电压1.8V的情况下，SARADC量程为1.8V，但此时通道输入的最大耐压可 以支持到3.3V，所以VCCIO6不需要强制配置为1.8V模式。
- SARADC1&2_AVDD_1V8电源的去耦电容不得删减，布局时，要靠近SOM1126B管脚放置；
- SARADC1_IN[7: 0]、SARADC2_IN[7: 0]有使用，靠近管脚必须增加1nF电容消抖，请勿删除， 否则会引起采样出错；

2.14 SPI接口电路

- SOM1126B核心板除了2个FSPI控制器外，还拥有2个通用SPI控制器，支持以下功能：
- 支持Master和Slave两种模式；
 - 支持4、8、16位串行数据传输；
 - 支持全双工和半双工模式传输； 考虑不同产品应用灵活性，2个SPI分别复用在几个不同的电源域，用后缀M0/M1/M2区分不同复用位 置。IOMUX_M0/M1/M2不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1， 这个功能不支持。

SPI引脚资源列表如下表所示：

SPI接口	引脚分组	引脚编号	引脚定义	电源域	说明
SPI0	M0	82	SPI0_CLK_M0	PMUIO1	Clock
		83	SPI0_MISO_M0		Master Input Slave Output
		84	SPI0_MOSI_M0		Master Output Slave input
		85	SPI0_CSN0_M0		片选0
		H2	SPI0_CSN1_M0		片选1
	M1	19	SPI0_CLK_M1	VCCIO1	Clock
		15	SPI0_MISO_M1		Master Input Slave Output

		14	SPI0_MOSI_M1		Master Output Slave input
		18	SPI0_CSN0_M1		片选0
		16	SPI0_CSN1_M1		片选1
SPI1	M0	19	SPI1_CLK_M0	VCCIO3	Clock
		10	SPI1_MISO_M0		Master Input Slave Output
		8	SPI1_MOSI_M0		Master Output Slave input
		18	SPI1_CSN0_M0		片选0
		11	SPI1_CSN1_M0		片选1
	M1	26	SPI1_CLK_M1	VCCIO4	Clock
		23	SPI1_MISO_M1		Master Input Slave Output
		33	SPI1_MOSI_M1		Master Output Slave input
		25	SPI1_CSN0_M1		片选0
		28	SPI1_CSN1_M1		片选1
	M2	C2	SPI1_CLK_M2	VCCIO5	Clock
		D5	SPI1_MISO_M2		Master Input Slave Output
		D6	SPI1_MOSI_M2		Master Output Slave input
		D2	SPI1_CSN0_M2		片选0
		63	SPI1_CSN1_M2		片选1

SPI接口的设计注意事项：

● 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足 SI 测试为准)，并预留TVS器件。

根据接口设计差异，不同SPI接口的使用速率有如下区别：

接口	最高 CLK 速率 (CLK Rate)
SPI1_M1	50MHz
SPI0_M0	24MHz
SPI0_M1/SPI0_M2 SPI1_M0/SPI1_M2	20MHz

2.15 PWM设计说明

SOM1126B集成了4个独立的PWM控制器，最多支持28个PWM通道。PWM0控制器有8个通道，分别是PWM0_CH0~PWM0_CH7，PWM1控制器有4个通道，分别是PWM1_CH0~PWM1_CH3，PWM2控制器有 8个通道，分别是PWM2_CH0~PWM2_CH7，PWM3控制器有8个通道，分别是PWM3_CH0~PWM3_CH7。PWM控制器均支持以下功能：

- 支持捕获模式；
- 支持连续模式或一次性模式；
- 每个通道都有两种时钟输入可选，一个是从晶振输入的固定频率，一个是从PLL总线分频，频率 可配置的； 不同PWM控制器的功能差异如下：
- 波形发生器可以通过硬件实现呼吸灯功能，不消耗CPU；
- IR输入可以实现红外输入；
- 双相计数器常用于多电机控制，如扫地机；

3个PWM控制器的功能汇总如下：

功能	PWM0_8CH	PWM1_4CH	PWM2_8CH	PWM3_8CH
波形发生器	NO	NO	8个通道都支持，共享查找表（深度768）。举例：1路768粒度；3路256粒度；6路128粒度。	NO
IR输入	NO	只支持1个，可在PWM1_CH0~3任意配置	NO	NO
IR输出	NO	NO	NO	NO
双相计数器	支持4路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器	NO	支持4路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器	支持4路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器
全局控制模式 (支持多通道配置的同步更新)	YES	YES	YES	YES
输出偏移模式 (PWM输出波形偏移指定的时间)	YES	YES	YES	YES

PWM引脚资源列表如下表所示(部分列举):

PWM通道	引脚编号	信号定义	电源域	说明
PWM0	95	PWM0_CH1_M0	PMUIO1	/
	94	PWM0_CH2_M0		
	93	PWM0_CH3_M0		
	92	PWM0_CH4_M0		
	91	PWM0_CH5_M0		
PWM1	A4	PWM1_CH0_M2	VCCIO6	/

	A5	PWM1_CH1_M2		
	A6	PWM1_CH2_M2		
	18	PWM1_CH3_M2		
PWM2	B19	PWM2_CH0_M0	VCCIO3	/
	B18	PWM2_CH1_M0		
	B17	PWM2_CH2_M0		
	B16	PWM2_CH3_M0		
	33	PWM2_CH4_M0		
	A9	PWM2_CH5_M0		
PWM3	35	PWM3_CH0_M1	VCCIO5	/
	B3	PWM3_CH1_M1		
	37	PWM3_CH2_M1		
	41	PWM3_CH3_M1		
	42	PWM3_CH4_M1		
	34	PWM3_CH5_M1		
	38	PWM3_CH6_M1		
	44	PWM3_CH7_M1		

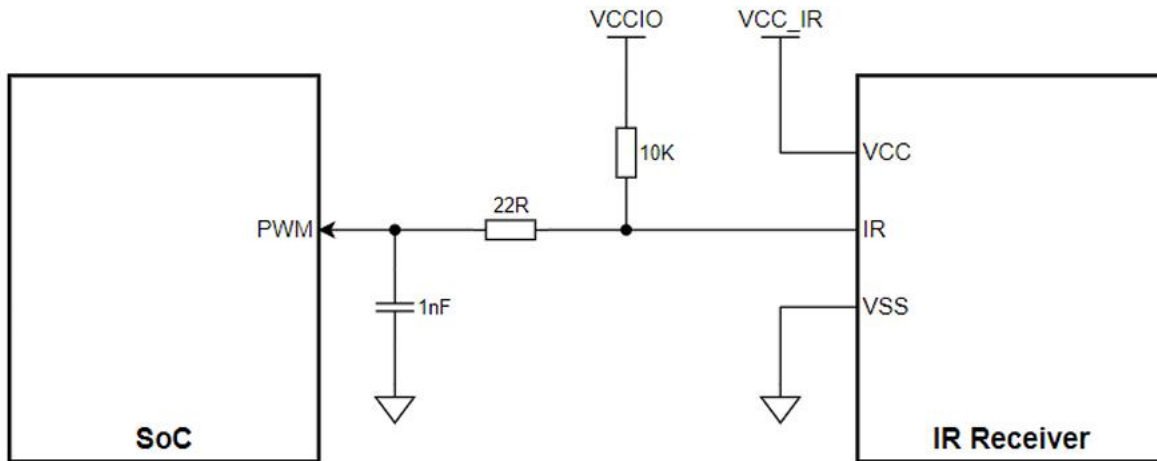
考虑不同产品应用灵活性，28个PWM通道分别复用在几个不同的电源域，用后缀M0/M1/M2区分不同复用位置。IOMUX_M0/M1/M2不能同时使用，分配时只能选择其中一组，例如：选择了PWM_CH0_M0，就不能再选择PWM_CH0_M1或其它PWM_CH0_M*。

注意：

- 根据PWM外设的IO电平，调整对应的电源域供电，必须保持电平一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足 SI 测试为准)，并预留TVS器件。
- 当红外接收头信号输入时，需要注意以下：
 - 待机下，要支持红外接收头唤醒，而且考虑低功耗（即LOGIC_DVDD电源断电方案），只能选择PWM1_CH0~3当红外接收头输入；

- 红外接收头的电源需要使用PMUIO1_VCC引脚的供电电压；
- 红外接收头的电源需要22–100ohm电阻和10uF以上电容进行RC滤波；
- 红外接收头默认采用38KHz，如果换成其它频率软件需要相应稍调；
- 红外接收头输出电平必须和RV1126B IO电平匹配；
- 红外接收头输出脚建议串22 ohm电阻并对1nF电容，再连接到RV1126B，加强抗静电浪涌 能力。

SOM1126B 芯片PWM接口与红外接收头连接示意图：



- 红外接收头布局时，应远离无线模块天线，如Wi-Fi天线，以免无线传输数据时，影响红外 信号接收。
- 红外接收头布局应避开板上LED光源直射，避免LED闪烁频率影响红外接收。
- IR信号建议全程包地处理，无法包地处理，建议和其它信号间隔： ≥ 2 倍线宽。

2.16 DSMC接口设计说明

为突破传统工控PLC系统受限于CPU性能和内存容量的瓶颈，新型高性能工控PLC转向了CPU + FPGA协同架构。在该架构中，CPU作为控制核心执行程序，FPGA则并行处理高速I/O及扩展通信。这种分工要求CPU与FPGA之间必须进行大量实时、高效的数据交换。然而，CPU与FPGA的协同效能高度依赖于两者间的通信速率与稳定性。无论是CPU直接访问FPGA寄存器（追求实时性），还是通过DMA进行大批量数据搬运（追求吞吐率），都对通信接口的带宽和延迟提出了极致要求。DSMC（Double Data Rate Serial Memory Controller）双倍数据速率串行接口，是我司自研的DDR接口交互协议，具有少引脚数、高带宽、配置灵活的特点，此外，还具备异步数据通信反压机制(接收方控制发送方的数据流，避免数据被覆盖或丢失)，适用于在连接PSRAM设备以及LocalBus总线外设（如FPGA）的工业控制领域。SoC和负责通讯传输的FPGA之间通过DSMC来进行实时高效的传输，DSMC作为串行内存控制器，可将FPGA的可访问空间——映射成CPU可访问的内存空间，直接在对应的外设内存空间上进行编程。

DSMC 的两种典型应用分别为DPRAM (Dual Port Random Access Memory)方案和FIFO方案，如下图所示：

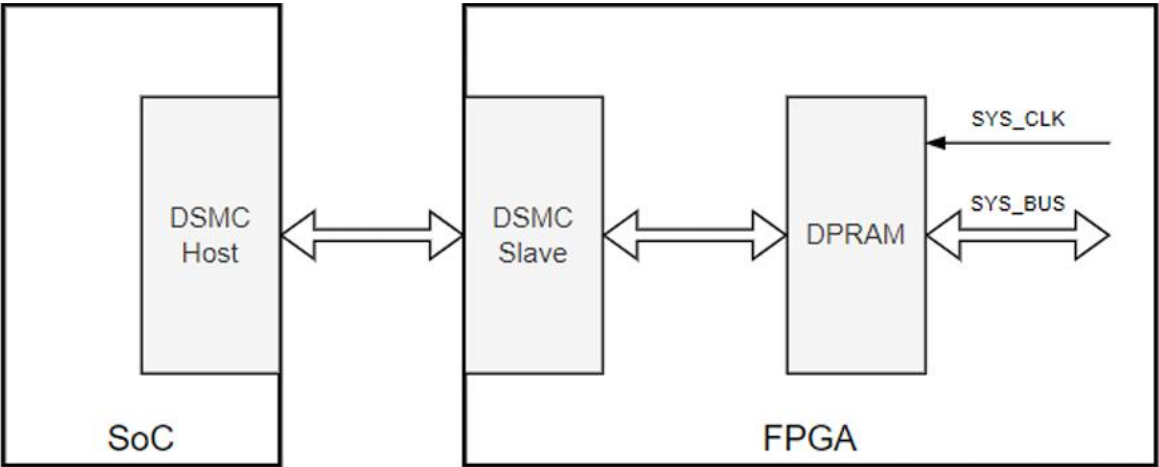
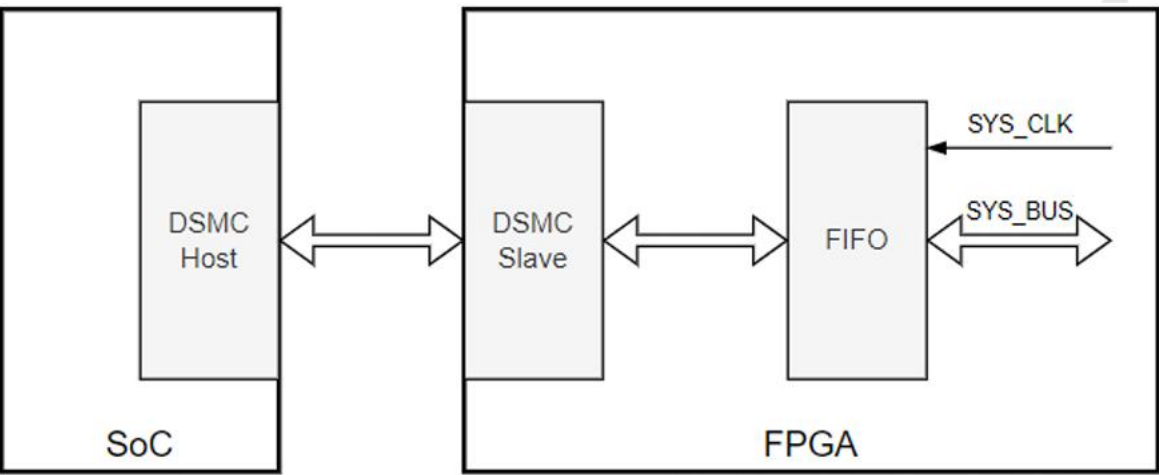


图 2-96 DSMC 应用：DPRAM 方案



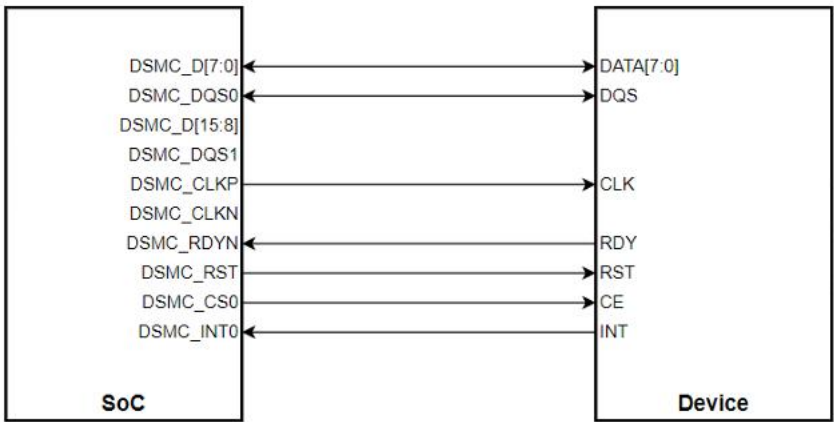
- DPRAM方案是将DPRAM的一个端口直接暴露给DSMC，DSMC像访问一块普通内存一样，通过地址线寻址，对DPRAM的数据进行读写。FPGA内部的子系统通过另一个端口读写DPRAM 中的数据。
- FIFO 方案的核心在于，通过将用户的系统总线接入DSMC Slave 接口，将用户侧的整个系统映射到了 SoC的地址空间中。这意味着，SoC可以像访问本地内存一样，通过发起 DSMC 读写事务，直接访问和控制用户系统上的其他功能单元。为实现以上功能，在DSMC Slave 端的硬件设计却可以非常简洁，仅需实现一个 FIFO 进行数据缓存，并配合反压信号 (dsmc_rdyn) 来协调两 端的速度差异即可。这种轻量化的设计使得接口实现简单高效。DSMC的特性较好的应用于两类场景：一是具备存储设备通信功能，可以与PSRAM等存储设备的通信；二是作为总线控制器，与连接在该总线上的外部设备进行通信（该功能通常在FPGA内实现）。

DSMC 控制器的特征如下：

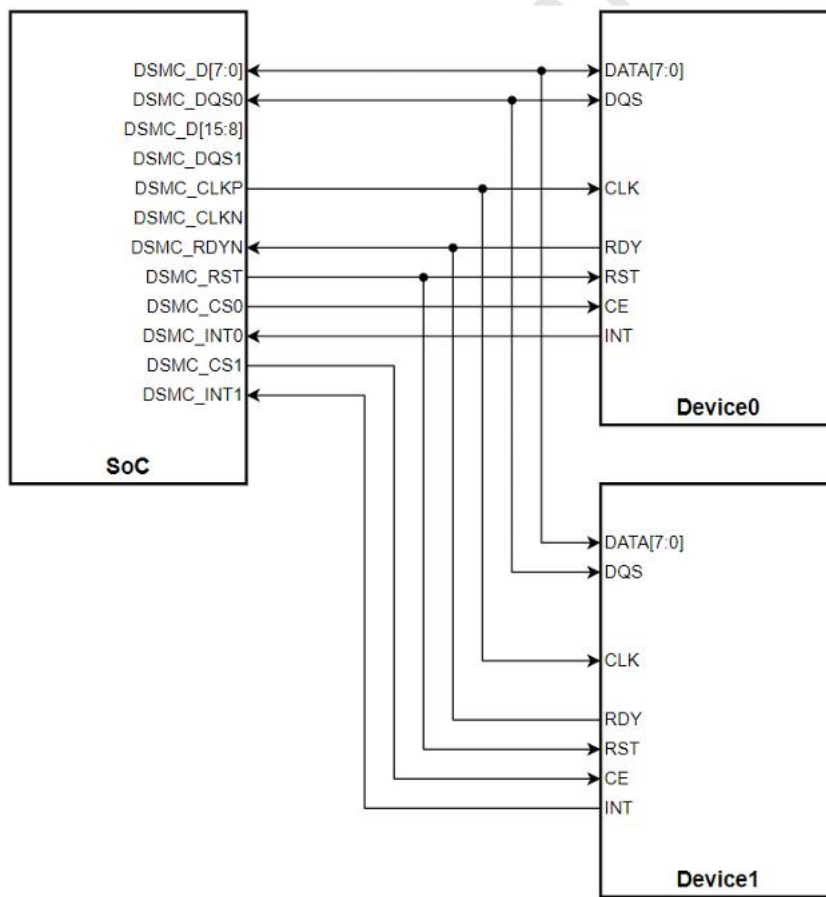
- 支持AXI4接口，便于实现高性能CPU处理器与FPGA无缝对接，满足大数据块高吞吐量传输需求；
- 通过APB接口方便地进行控制器配置，管理简单；

- 内置DMA请求机制，支持多通道DMA搬运，能解放CPU，保证数据传输的实时性和系统整体效率；
- 拥有丰富的可配参数，如传输长度限制、地址边界拆分、WRAP传输转换、字节使能等，能精准 适配各种外设（如PSRAM、FPGA等）的特定访问需求；
- 具备异步数据通信反压机制，DSMC_RDYN 拉高表示外设暂时无法接受数据，DSMC 进入等待 状态，DSMC_CLK停止翻转，避免数据被覆盖或丢失；
- 支持双倍数据速率接口(支持双沿时钟模式，不支持单沿时钟模式)；
- 支持8线和16线串行(同一个通道，分时串行发送地址和数据)传输模式，其中命令和地址固定为 8 线模式，数据8线和16线可选；
- 支持多片选（4个CS）和可配置的并行写操作，能高效管理多个外设；
- DSMC_CLKP/N最高速率为100MHz。DSMC接口的信号连接如下图所示：

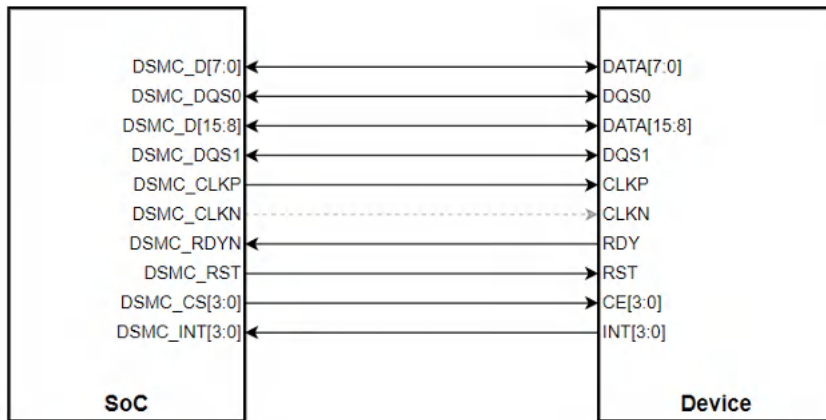
SOM1126B 芯片DSMC接口8bit连接示意图



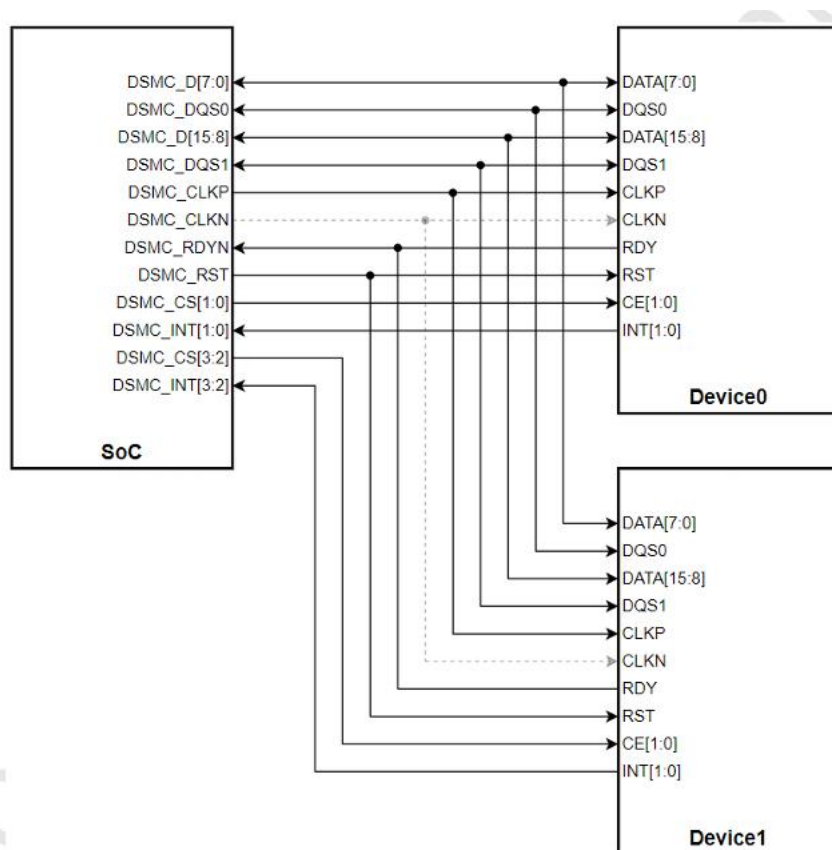
SOM1126B 芯片DSMC接口8bit多片选连接示意图



SOM1126B 芯片DSMC接口16bit连接示意图



SOM1126B 芯片DSMC接口16bit多片选连接示意图



DSMC接口的设计注意事项:

- DSMC复用在VCCIO5电源域，可支持1.8V或3.3V电平，实际产品设计中，需要根据外设的实际IO供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致；
- DSMC的时钟支持单端时钟模式，也支持差分时钟模式，根据实际外设需求来定；
- DSMC的INT0/1/2/3支持2个硬件触发接口，硬件触发接口的触发源可以通过寄存器配置选择来自INT0/1/2/3中的任意一个，INT0/1/2/3也可以通过配置，变成软件触发的触发源；
- DSMC优先使用支持硬件中断的INT0和INT1，响应速度快；INT2和INT3只支持软件中断；
- DSMC_CLKP和DSMC_CLKN需在SOM1126B端预留串接0ohm电阻，根据实际情况有条件提高信号质量；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

2.17 未使用模块的管脚处理

请见《SOM1126B–S1 Methods for Processing Unused Pins》文档。各个模拟PHY未使用时，如果电源未供电，需要注意，软件DTS配置中，要Disable对应的模拟PHY功能。

3、底板原理图CheckList

编号	检查事项	检查状态
1	核心板供电电压范围【4.6–5.4V】，加5.5V 浪涌保护。采用独立DCDC，2A以上电流能力。	☒ OK
2	核心板IO供电：VCCIO3 (150脚)，VCCIO5 (149脚)，VCCIO6 (148脚) 都有供电，且采用核心板输出的VCC_1V8_S0 (152脚)，VCC_3V3_OUT_S0 (151脚) 或VCC3V3_OUT_S3 (D20脚)。	☒ OK
3	整板上电顺序：核心板供电(常供电) ->核心板电输出 (1.8V, 3.3V) ->底板供电 (1.8V, 3.3V, 5V)	☐ OK
4	是否需要插电开机，PMIC_EN是否按照要求设计分压电阻？	☐ OK
5	是否需求关机和待机状态。 关机状态和待机状态下，核心板是否保持供电？ 待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？ Power键是否留出？	☐ OK
6	有待机需求时，有哪些待机时需要保持状态的IO引脚，这些引脚是否分配在GPIO0组 (PMUIO0/1) ？	☐ OK
7	USB2_OTG0 (固件下载口) 接口是否接出，方便下载烧录？	☐ OK
8	调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？	☐ OK
9	启动模式 (SARADC0_BOOT) 及功能按键 (SARADC0_IN1) 是否符合参考设计 均有预留按键或测试点？	☐ OK
10	USB接口使用的ESD物料是否满足Cj<0.4pF要求？	☐ OK

11	SD/TF卡是否符合参考设计?	☐ OK
12	以太网设计： IO电平，RMII一般只能是3.3V, RGMII 可以1.8V或者3.3V。确认PHY芯片 IO电平与 对应的核心板电源域电平（VCCIO4/VCCIO6）是否匹配。 千兆PHY芯片的IO电压的配置电阻，RESET引脚GPIO电平，LED灯的极性配置，时钟，符合参考设计？ 千兆/百兆PHY芯片是否是已经调试过的型号？	☐ OK
13	音频接口符合参考设计？	☐ OK
14	MIPI DSI /LVDS 显示接口，确认屏幕线序定义，供电时序 符合要求？ 确认屏幕分辨率和刷新率在支持范围？ MIPI RESET是否有GPIO控制？ 背光和供电在待机/关机状态下是否有漏电问题？	☐ OK
15	MIPI CSI 摄像头接口，是否有2Lane拆分，信号线分配是否符合参考设计？ 摄像头模组定义，确认线序定义，供电时序，供电电压电流符合要求？ 摄像头Sensor是否在支持列表？ 待机/关机状态下是否有漏电？	☐ OK
16	每组IIC总线是否有上拉电阻，电平是否匹配？ IIC 上连接的外设地址是否冲突，最高速率是否有冲突？ 同一组IIC总线下的外设，是否存在待机/关机时供电状态不一致的问题？	☐ OK
17	每个串口（UART，RS232, RS485, RS422）和 CAN 接口： 串口要求的最高波特率和接口芯片用料是否相符？ 电平是否匹配？ 接口芯片上电顺序是否晚于核心板供电输出VCC_3V3_S0？	☐ OK
18	所有IO引脚，不得有在核心板VCC_3V3_S0上电前向IO灌电的行为	☐ OK

19	使用SDIO的WIFI模块，供电和IO电平，32K时钟，晶振 等是否符合参考设计？	☐ O K
20		