

# IDO-SOM3568-V1 硬件设计指南

---



## IDO-SOM3568-V1 核心板设计指南

深圳触觉智能科技有限公司

[www.industio.cn](http://www.industio.cn)

文档修订历史

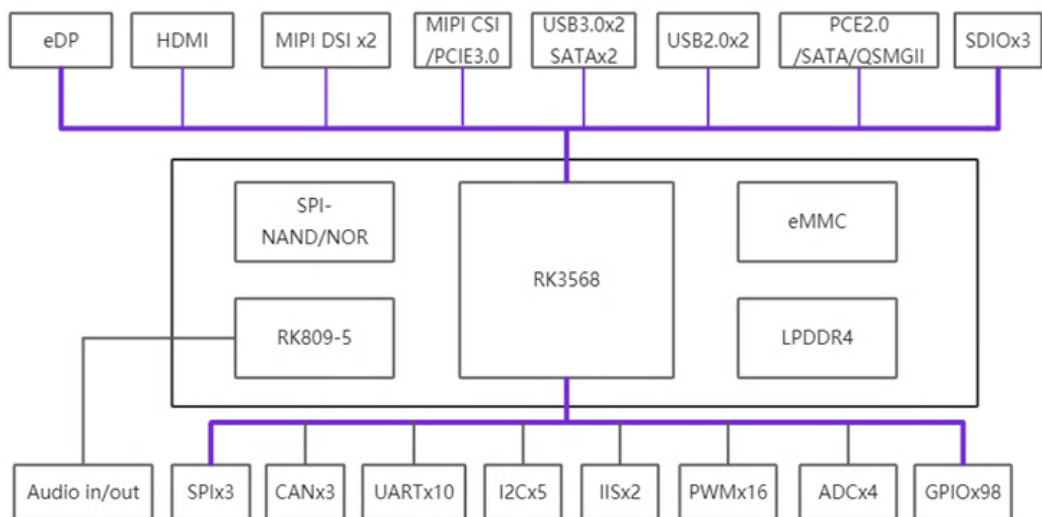
| 版本   | PCBA版本 | 修订内容                | 修订  | 审核  | 日期         |
|------|--------|---------------------|-----|-----|------------|
| V1.0 | V1C    | 增加调试下载，Checklist等内容 | GZH | IDO | 2024/09/09 |

# 1 芯片简介

RK3568是Rockchip设计的低功耗、高性能应用处理器，采用64位ARM Cortex-A55四核处理器，主频高达2.0 GHz，基于22纳米制程工艺。该处理器内置NPU，支持多种AI框架，GPU采用Mali G52 2EE，支持H.265 / H.264、MVC、VP8等多格式4K 60fps视频解码及1080P编码。RK3568还具备强大的VOP支持三屏显示，并配备丰富的工业接口，如串口、CAN总线、PCIe 3.0和SATA接口等。

## 1.1 模块介绍

IDO-SOM3568-V1是基于RK3568系列CPU开发设计的一款高性能核心板，支持Android、Linux 系统。在超小 PCB 面积上，核心板板载 LPDDR4、eMMC、PMIC、扩展 eDP、HDMI、PCIE、USB、MIPI等接口和多达98路多功能 GPIO，接口丰富。IDO-SOM3568-V1模块框图，如下图所示：



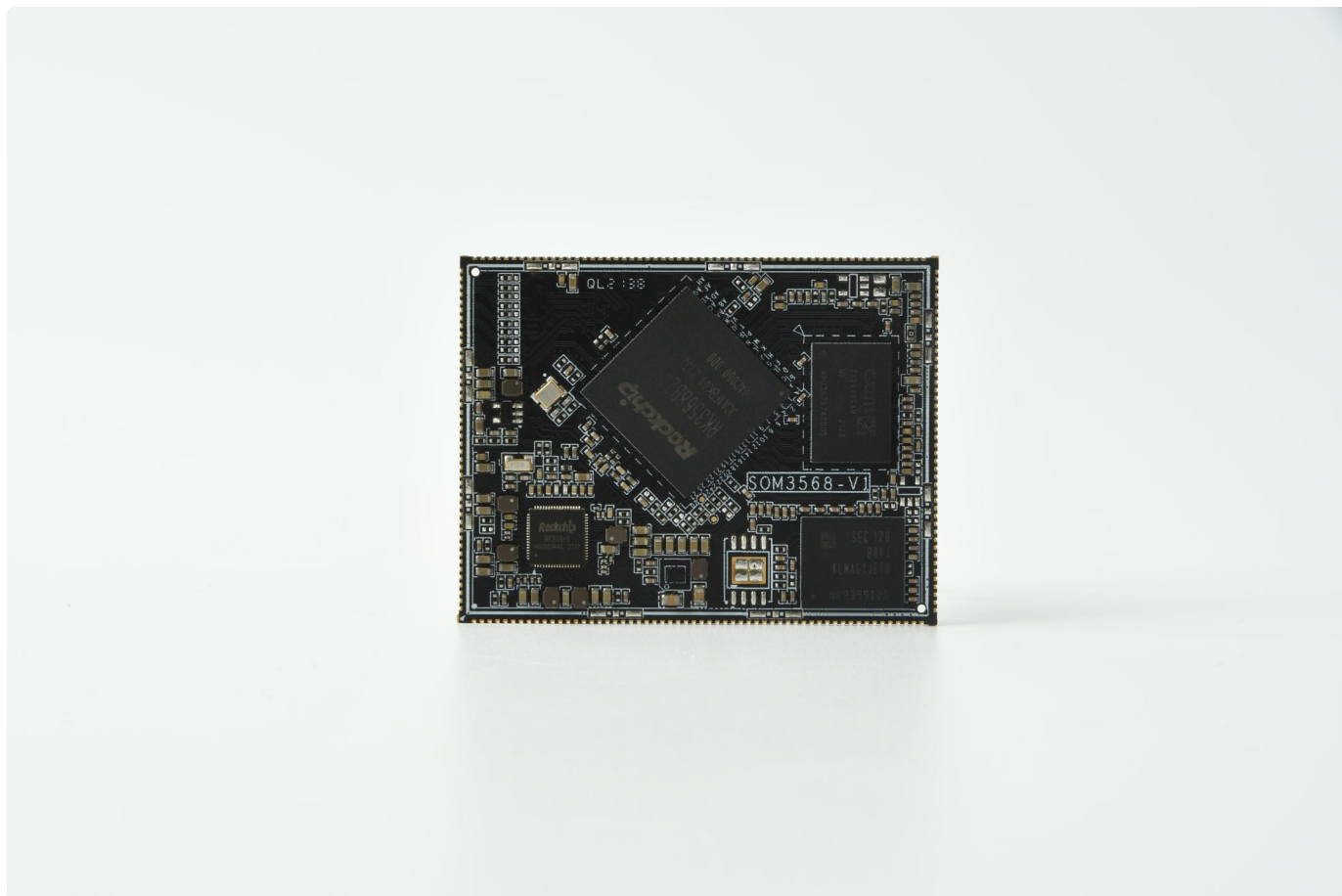
IDO-SOM3568-V1核心板主要功能，如下表所示：

| 基本参数 |                                                                                                                                                                           |
|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| SOC  | RockChip RK3568                                                                                                                                                           |
| CPU  | 四核 64 位Cortex-A55 处理器，22nm 先进工艺，主频最高2.0GHz                                                                                                                                |
| GPU  | <ol style="list-style-type: none"> <li>1. ARM G52 2EE</li> <li>2. 支持 OpenGL ES 1.1/2.0/3.2, OpenCL 2.0, Vulkan 1.1</li> <li>3. 内嵌高性能2D 加速硬件</li> </ol>                    |
| NPU  | <ol style="list-style-type: none"> <li>1. 1Tops@INT8/INT16 性能，集成高效能AI 加速器RKNN NPU</li> <li>2. 支持Caffe/TensorFlow/TFLite/ONNX/PyTorch/Keras/Darknet 主流架构模型的一键转换</li> </ol> |
| VPU  | <ol style="list-style-type: none"> <li>1. 支持 4K 60fps H.265/H.264/VP9 视频解码</li> <li>2. 支持 1080P 100fps H.265/H.264 视频编码</li> <li>3. 支持 8M ISP，支持HDR</li> </ol>            |
| 内存   | LPDDR4/LPDDR4x，默认2GB/4GB（最高支持8GB）                                                                                                                                         |
| 存储   | eMMC 默认16GB/32GB（可选16GB/32GB/64GB/128GB/256GB）                                                                                                                            |
| 硬件参数 |                                                                                                                                                                           |
| 以太网  | 集成双GMAC 以太网控制器，支持双千兆以太网（1000 M bps）                                                                                                                                       |

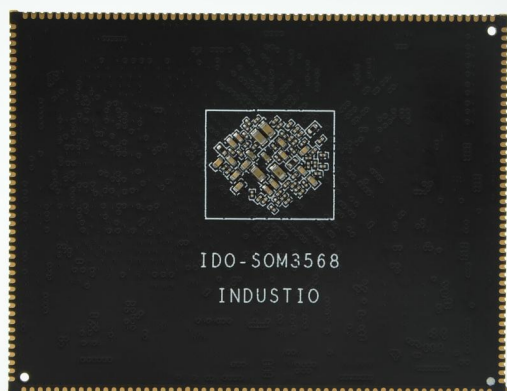
|           |                                                                                                                                                                                                                                                                                                                         |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 显示接口      | 视频输出： <ol style="list-style-type: none"> <li>1. 1 x HDMI2.0接口，支持4K@60fps输出</li> <li>2. 1 x MIPI DSI接口，支持1920x1080@60fps输出</li> <li>3. 1 x eDP1.3接口，支持4K@60fps输出</li> <li>4. 1 x Dual LVDS接口，支持1920x1080@60fps输出</li> </ol> 视频输入： <ol style="list-style-type: none"> <li>1. 1 x MIPI CSI (4Lane, 13M Sensor )</li> </ol> |
| 音频接口      | 1 x HDMI 音频输出<br>1 x HPR/L, 双声道耳机输出<br>1 x Mic 输入                                                                                                                                                                                                                                                                       |
| USB       | 1 x USB3.0 OTG<br>1 x USB3.0 HOST<br>2 x USB 2.0 HOST                                                                                                                                                                                                                                                                   |
| PCIe/SATA | 1 x PCIe2.0<br>1 x PCIe3.0 (选配,与MIPI-CSI 二选一)<br>3 x SATA3.0                                                                                                                                                                                                                                                            |
| 扩展接口      | 10 x UART<br>4 x SPI<br>3 x CAN<br>5 x I2C<br>2 x I2S<br>3 x SDIO3.0<br>16 x PWM<br>4 x ADC<br>98 x GPIO                                                                                                                                                                                                                |
| 其他        |                                                                                                                                                                                                                                                                                                                         |
| 主板尺寸      | 61mm x 46mm                                                                                                                                                                                                                                                                                                             |
| 接口类型      | 204Pin 间距1.0mm邮票孔                                                                                                                                                                                                                                                                                                       |
| PCB规格     | 板厚 1.2mm , 8 层板 高Tg材质, 沉金工艺                                                                                                                                                                                                                                                                                             |

## 1.2 产品图片

IDO-SOM3568-V1核心板正面，如下图所示：



IDO-SOM3568-V1核心板背面，如下图所示：



## 2、硬件设计说明

### 2.1 电源系统设计说明

IDO-SOM3568-V1核心板共引出了2个电源主输入VCC5V0\_RTC（核心板1PIN）和VCC5V0\_SYS（核心板2PIN、3PIN）。

核心板提供3个电源输出引脚为VCC\_3V3，VCC\_1V8，VCC3V3\_SD。VCC3V3\_SD用于扩展SD卡供电，VCC\_3V3和VCC\_1V8用于3.3V电源域和1.8V电源域的引脚参考电平,底板使用时应限流500mA。

与电源系统设计相关的其它引脚，包括 RK809\_VDC, EXT\_EN, RK809\_PWRON。分别用于外部DC电源检测，开关机控制输出，开关机按键输入。

IDO-SOM3568-V1电源相关引脚说明如下表所示：

| 电源相关引脚     | 引脚编号 | 方向   | 引脚说明                    |
|------------|------|------|-------------------------|
| VCC5V0_RTC | 1    | 电源输入 | 系统RTC输入，与VCC5V0_SYS同时供电 |

|             |     |            |                                              |
|-------------|-----|------------|----------------------------------------------|
| VCC5V0_SYS  | 2,3 | 电源输入       | 系统的主要输入供电, 保障5V@2A持续和3A瞬间电流供电能力。             |
| VCC_3V3     | 104 | 电源输出       | 3.3V对外供电, 用于3.3V电源域参考电平                      |
| VCC_1V8     | 105 | 电源输出       | 1.8V对外供电, 用于1.8V电源域参考电平                      |
| VCC3V3_SD   | 69  | 电源输出       | 用于外接SD卡供电                                    |
| RK809_VDC   | 6   | 电源检测<br>输入 | 检测DC电源, 用于插电开机控制,<br>RK809_VDC引脚>0.7V时, 强制开机 |
| EXT_EN      | 7   | 关机控制<br>输出 | 开机输出高, 关机时输出低, 关机控制输出.                       |
| RK809_PWRON | 8   | 开关机按键输入    | 开关机按键信号输入检测引脚, 用于连接按键输入                      |

## 2.2 调试下载相关电路

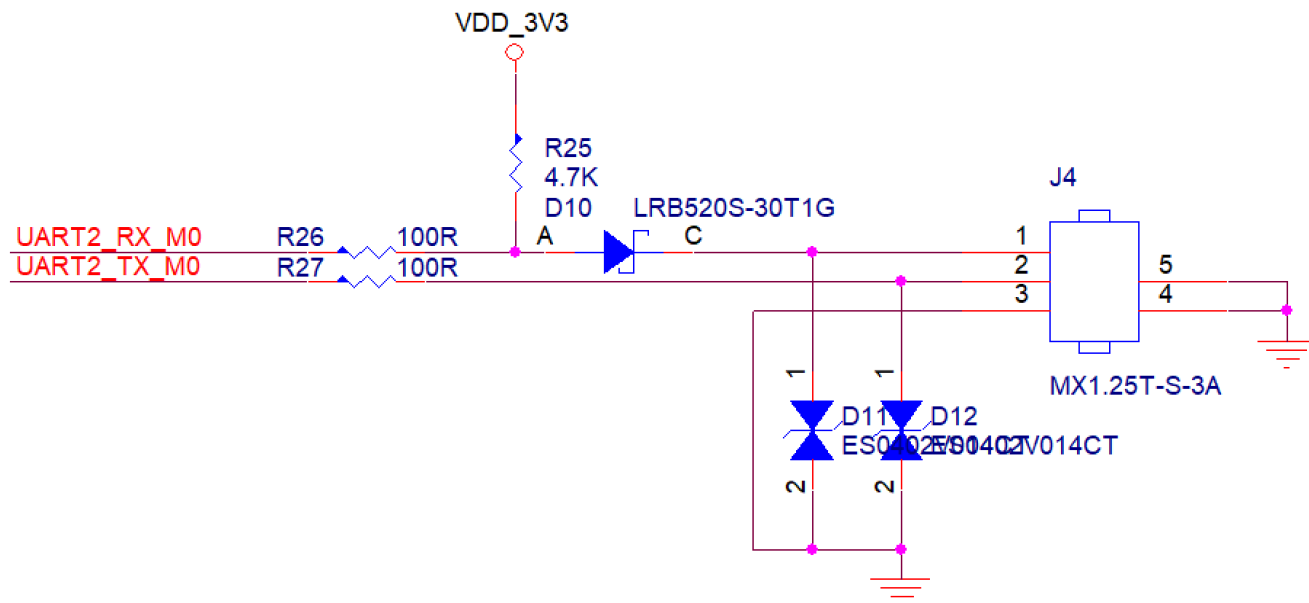
所有基于SOM3568的底板设计，都强烈建议保留下面三种调试下载相关电路！

1. USB3\_OTG0接口，主要用于固件下载及ADB调试。 引脚资源参考2.4。
2. 调试串口，用于系统日志消息和控制终端命令行操作，系统默认使用的调试串口是UART2（M0组）。

| UART资源      | 引脚编号 | UART信号定义    | 电源域        |
|-------------|------|-------------|------------|
| UART2 (M0组) | 59   | UART2_TX_M0 | 3.3V（调试串口） |
|             | 60   | UART2_RX_M0 |            |

### 设计注意事项:

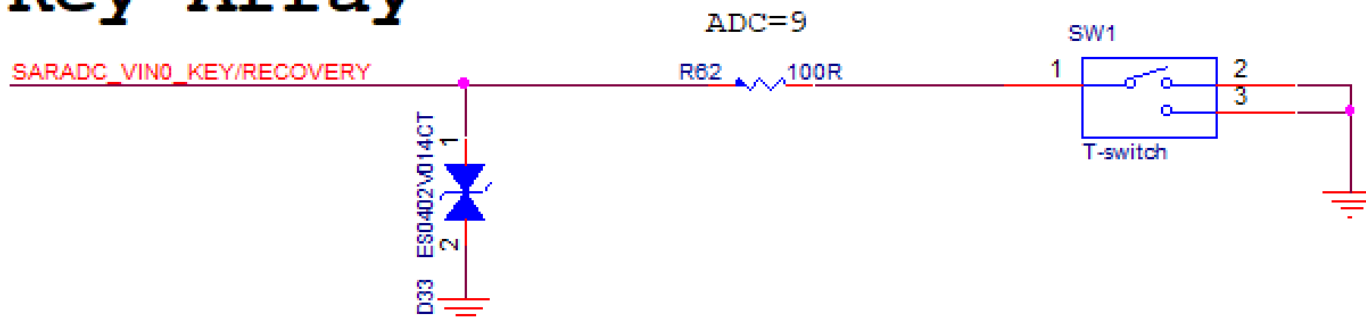
调试串口在使用时经常连接USB转UART TTL 模块，经常在SOM3568未上电时，UART0\_RX\_M0已经由USB转UART TTL 模块灌电。强烈建议采用RS232芯片转换或者采用下面转换电路避免引脚灌电：



3. Recovery按键用于进入烧录固件模式。

SARADC\_VIN0\_KEY/RECOVERY 系统默认用作Recovery功能按键，核心板上已经做了10K电阻上拉，Recovery功能按键参考下图设计：

## Key Array



接上USBOTG0，按住此键，再给主板上电，可以进入固件烧录模式。

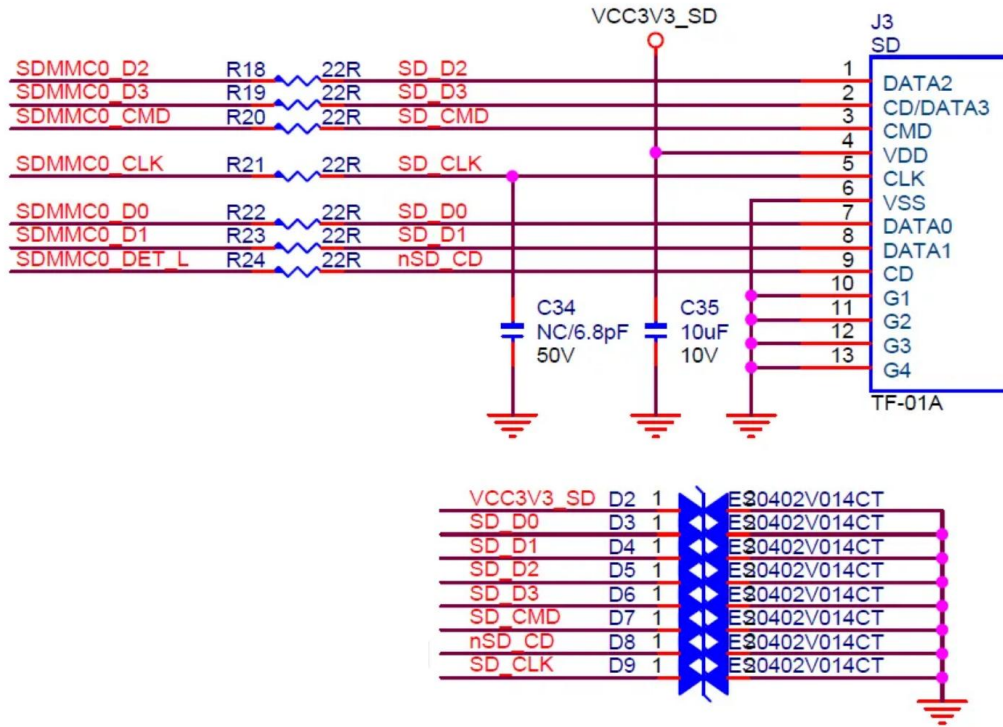
## 2.3 SDMMC0/1/2接口设计

SOM3568-V1核心板扩展出3路MMC/SDIO资源, 兼容SDIO3.0和MMC ver4.51, 4bit数据位宽, 可用于扩展SD卡和WIFI模块。其中SDMMC0 和 SDMMC1 最高可支持 200MHz, SDMMC2 最高只支持到 150MHz。

SDIO/MMC0主要用于连接SD存储卡, 也可用于WIFI模块SDIO接口, 引脚资源如下:

| 引脚编号 | 引脚名称       | 电源域               | 备注       |
|------|------------|-------------------|----------|
| 62   | SDMMC0_DET | 3.3V              | SD卡座检测引脚 |
| 63   | SDMMC0_CLK | 3.3V              | SD卡时钟信号  |
| 64   | SDMMC0_CMD | 3.3V              | SD卡CMD信号 |
| 65   | SDMMC0_D3  | 3.3V              | SD卡Data3 |
| 66   | SDMMC0_D2  | 3.3V              | SD卡Data2 |
| 67   | SDMMC0_D1  | 3.3V              | SD卡Data1 |
| 68   | SDMMC0_D0  | 3.3V              | SD卡Data0 |
| 69   | VCC3V3_SD  | 3.3V/400mA OUTPUT | SD卡供电    |

参考设计如下图所示:



SDIO/MMC1引脚资源如下：

| 引脚编号 | 引脚名称       | 电源域  | 备注       |
|------|------------|------|----------|
| 39   | SDMMC1_D0  | 1.8V | SDIO_D0  |
| 40   | SDMMC1_D1  | 1.8V | SDIO_D1  |
| 41   | SDMMC1_D2  | 1.8V | SDIO_D2  |
| 42   | SDMMC1_D3  | 1.8V | SDIO_D3  |
| 43   | SDMMC1_CMD | 1.8V | SDIO_CMD |
| 44   | SDMMC1_CLK | 1.8V | SDIO_CLK |

SDIO/MMC2（M0组）引脚资源如下：

| 引脚编号 | 引脚名称 | 电源域 | 备注 |
|------|------|-----|----|
|------|------|-----|----|

|    |               |      |          |
|----|---------------|------|----------|
| 92 | SDMMC2_CLK_M0 | 1.8V | SDIO_CLK |
| 93 | SDMMC2_CMD_M0 | 1.8V | SDIO_CMD |
| 94 | SDMMC2_D3_M0  | 1.8V | SDIO_D3  |
| 95 | SDMMC2_D2_M0  | 1.8V | SDIO_D2  |
| 96 | SDMMC2_D1_M0  | 1.8V | SDIO_D1  |
| 97 | SDMMC2_D0_M0  | 1.8V | SDIO_D0  |

### 注意:

1. 走线阻抗控制50ohm，参考面完整，整组走线等长控制+-200mil
2. 建议串匹配电阻（典型值22ohm），时钟信号匹配电阻靠近SOM3568引脚侧放置，时钟信号预留2.2pF电容

## 2.4 USB2.0/3.0设计

IDO-SOM3568-V1核心板具有2路USB3.0接口和2路USB2.0 HOST，其中一路USB3.0中为OTG模式，此路USB为系统固件烧录口，必须要留出。设计底板如要扩展多USB接口，可以使用USB HUB芯片去实现扩展。

USB3\_OTG0（固件下载口）引脚资源如下：

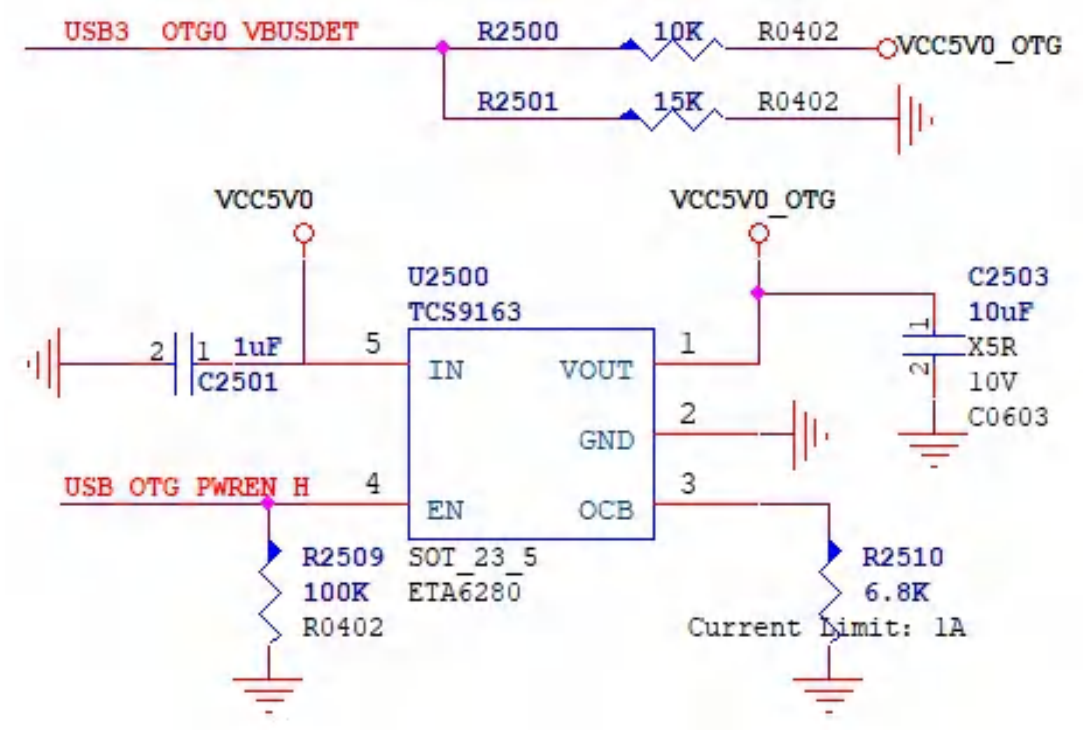
| 引脚编号 | 引脚名称            | 连接方式          | 备注            |
|------|-----------------|---------------|---------------|
| 186  | USB3_OTG0_SSTXP | 串接100nF 电容    | /             |
| 187  | USB3_OTG0_SSTXN |               | /             |
| 188  | USB3_OTG0_DM    | 串接 2. 2ohm 电阻 | OTG0可用于下载烧录功能 |
| 189  | USB3_OTG0_DP    |               |               |
| 190  | USB3_OTG0_SSRXP | 串接100nF 电容    | /             |
| 191  | USB3_OTG0_SSRXN |               | /             |

|     |                   |        |                                    |
|-----|-------------------|--------|------------------------------------|
| 192 | USB3_OTG0_VBUSDET | 电阻分压检测 | OTG0 VBUS检测，高有效                    |
| 193 | USB3_OTG0_ID      | /      | USB OTG ID 识别<br>Micro USB 接口时需要使用 |

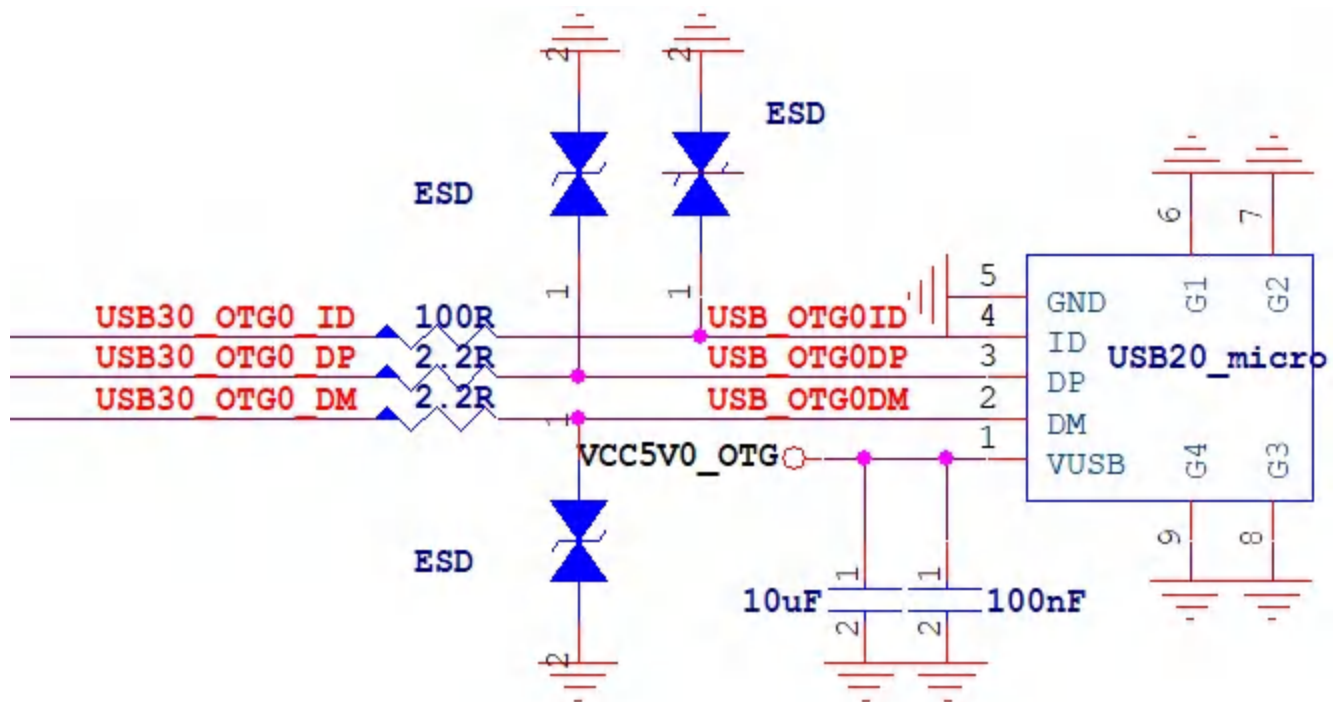
USB3\_OTG0几种常用的参考连接:

**VBUS供电检测和控制电路**

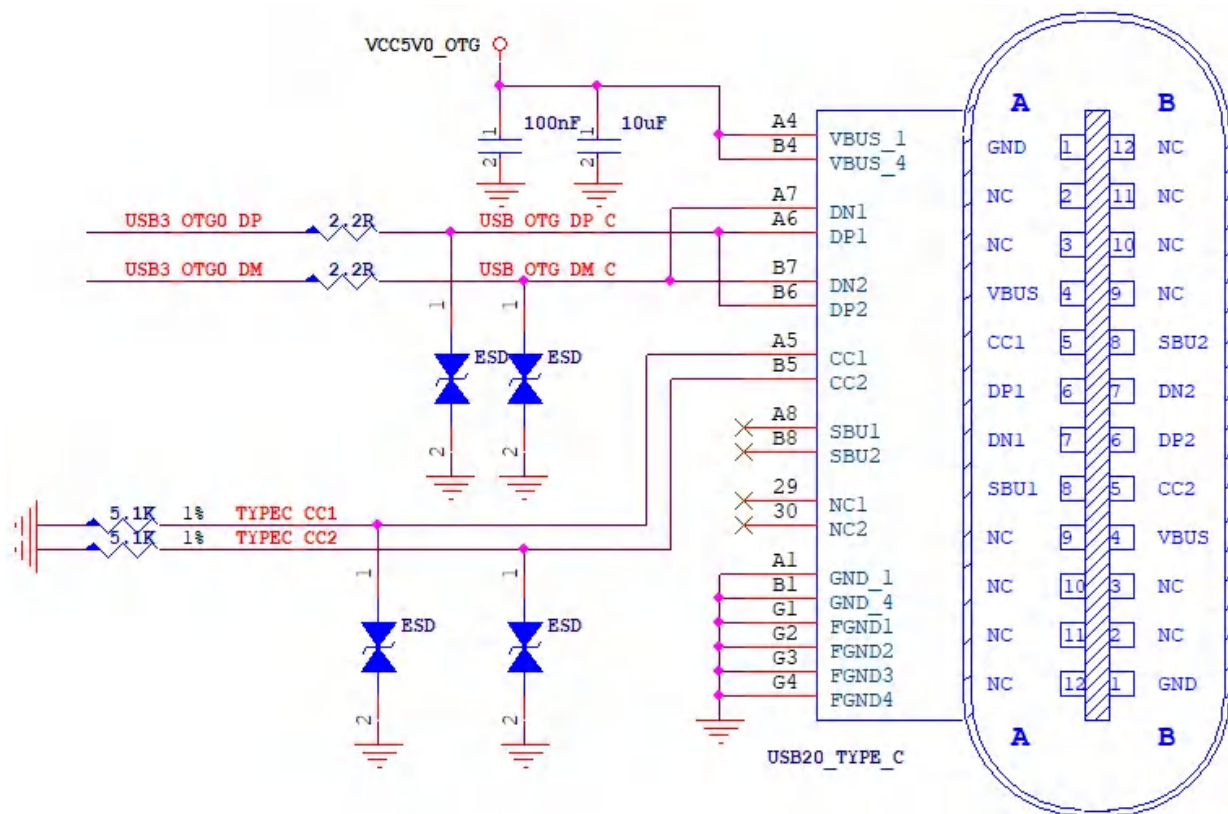
USB OTG0 的供电使能USB\_OTG\_PWREN\_H要选用上电默认拉低的GPIO引脚，且注意功率开关EN脚开启电压与USB\_OTG\_PWREN\_H引脚电平是否匹配。 USB3\_OTG0\_VBUSDET 检测OTG0的VBUS电压，耐压3.3V,要分压后检查。



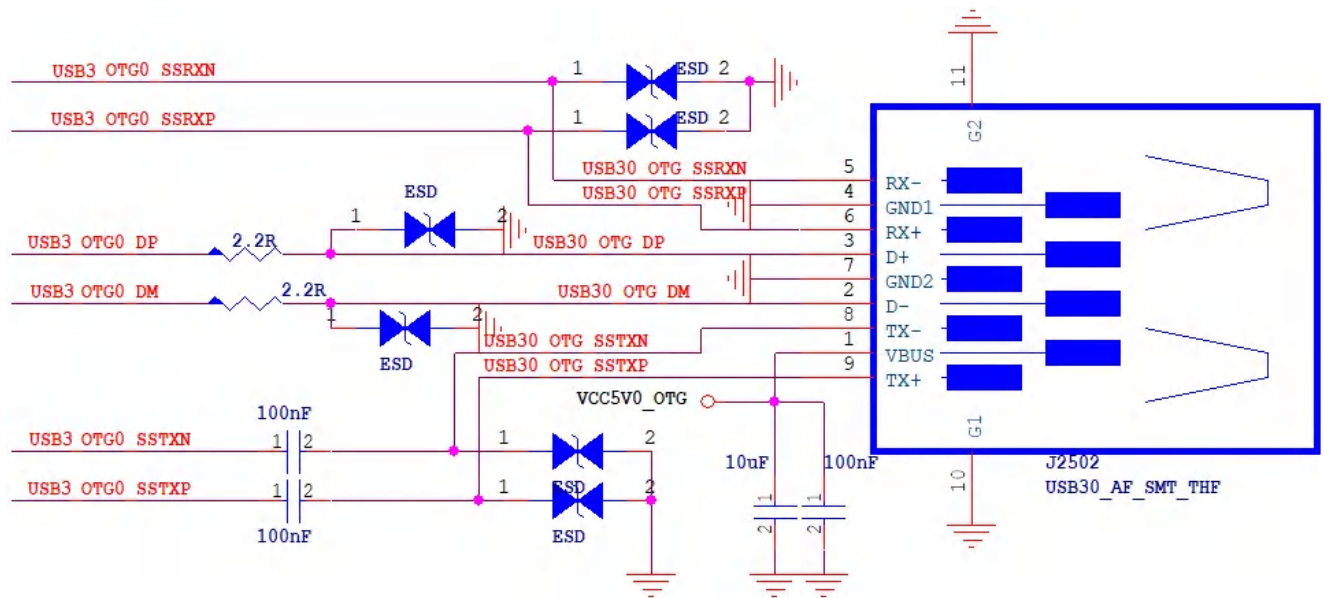
**USB\_OTG0 连接 MicroUSB 【USB2.0 调试下载功能】**



USB\_OTG0 连接TYPEC 【USB2.0 调试下载功能】



TYPEC座子的连接参考[默认从设备]



USB3.0 OTG TYPE-A 座连接参考

USB3\_HOST1引脚资源如下：

| 引脚编号 | 引脚名称             | 备注 |
|------|------------------|----|
| 180  | USB3_HOST1_SSTXP | /  |
| 181  | USB3_HOST1_SSTXN | /  |
| 182  | USB3_HOST1_DM    | /  |
| 183  | USB3_HOST1_DP    | /  |
| 184  | USB3_HOST1_SSRXP | /  |
| 185  | USB3_HOST1_SSRXN | /  |

USB2\_HOST引脚资源如下：

| 引脚编号 | 引脚名称          | 备注 |
|------|---------------|----|
| 99   | USB2_HOST2_DM | /  |
| 100  | USB2_HOST2_DP | /  |

|     |               |   |
|-----|---------------|---|
| 101 | USB2_HOST3_DM | / |
| 102 | USB2_HOST3_DP | / |

### 设计注意事项:

1. ESD 务必采用Cj<0.4pF的型号。USB的差分对上ESD型号必须一致。
2. 2.2R电阻只能串在USB2.0 信号线上。主要用于ESD改善。
3. USB差分走线严格按照90ohm差分阻抗，差分对内等长误差<5mil。 ESD对称摆放。
4. USB3.0 差分线换层过孔<=2个。外接长线缆USB3.0设备时，建议加USB3.0 HUB芯片。

## 2.5 以太网设计

IDO-SOM3568-V1有2路RGMII/RMII接口可用于扩展2路以太网功能。RGMII信号连接千兆PHY芯片，RMII信号可连接百兆PHY芯片。

GMAC0 RGMII/RMII引脚资源列表如下:

| 引脚编号 | GMAC RGMII 信号定义 | RMII信号定义   | 电源域  |
|------|-----------------|------------|------|
| 39   | GMAC0_RXD2      | /          | 1.8V |
| 40   | GMAC0_RXD3      | /          | 1.8V |
| 41   | GMAC0_RXCLK     | /          | 1.8V |
| 42   | GMAC0_TXD2      | /          | 1.8V |
| 43   | GMAC0_TXD3      | /          | 1.8V |
| 44   | GMAC0_TXCLK     | /          | 1.8V |
| 47   | GMAC0_TXD0      | RMII0_TXD0 | 1.8V |
| 48   | GMAC0_TXD1      | RMII0_TXD1 | 1.8V |
| 49   | GMAC0_TXEN      | RMII0_TXEN | 1.8V |
| 50   | GMAC0_RXD0      | RMII0_RXD0 | 1.8V |
| 51   | GMAC0_RXD1      | RMII0_RXD1 | 1.8V |

|    |                  |              |      |
|----|------------------|--------------|------|
| 52 | GMAC0_RXDV_CRS   | RMII0_CRS_DV | 1.8V |
| 53 | ETH0_REFCLKO_25M | /            | 1.8V |
| 54 | GMAC0_MCLKINOUT  | RMII0_CLK    | 1.8V |
| 55 | GMAC0_MDC        | RMII0_MDC    | 1.8V |
| 56 | GMAC0_MDIO       | RMII0_MDIO   | 1.8V |
| 57 | GMAC0_RXER       | RMII0_RXER   | 1.8V |

**GMAC1 RGMII (M0组) 引脚资源列表如下:**

| 引脚编号 | GMAC1 RGMII 信号定义    | MAC1 RMII 信号定义 | 电源域  |
|------|---------------------|----------------|------|
| 106  | GMAC1_MDIO_M0       | RMII1_MDIO     | 3.3V |
| 107  | GMAC1_MDC_M0        | RMII1_MDC      | 3.3V |
| 111  | GMAC1_MCLKINOUT_M0  | RMII1_CLK      | 3.3V |
| 112  | GMAC1_TXEN_M0       | RMII1_TXEN     | 3.3V |
| 113  | GMAC1_TXD1_M0       | RMII1_TXD1     | 3.3V |
| 114  | GMAC1_TXD0_M0       | RMII1_TXD0     | 3.3V |
| 115  | GMAC1_RXER_M0       | RMII1_RXER     | 3.3V |
| 116  | GMAC1_RXDV_CRS_M0   | RMII1_CRS_DV   | 3.3V |
| 117  | GMAC1_RXD1_M0       | RMII1_RXD1     | 3.3V |
| 118  | GMAC1_RXD0_M0       | RMII1_RXD0     | 3.3V |
| 119  | ETH1_REFCLKO_25M_M0 | /              | 3.3V |
| 120  | GMAC1_RXCLK_M0      | /              | 3.3V |
| 121  | GMAC1_TXCLK_M0      | /              | 3.3V |

|     |               |   |      |
|-----|---------------|---|------|
| 122 | GMAC1_RXD3_M0 | / | 3.3V |
| 123 | GMAC1_RXD2_M0 | / | 3.3V |
| 124 | GMAC1_TXD3_M0 | / | 3.3V |
| 125 | GMAC1_TXD2_M0 | / | 3.3V |

GMAC1 RGMII (M1组) 引脚资源列表如下:

| 引脚编号 | GMAC1 RGMII 信号定义    | MAC1 RMII 信号定义 | 电源域  |
|------|---------------------|----------------|------|
| 72   | GMAC1_MDIO_M1       | RMII1_MDIO     | 1.8V |
| 73   | GMAC1_MDC_M1        | RMII1_MDC      | 1.8V |
| 76   | ETH1_REFCLKO_25M_M1 | /              | 1.8V |
| 77   | GMAC1_RXER_M1       | RMII1_RXER     | 1.8V |
| 78   | GMAC1_RXDV_CRS_M1   | RMII1_CRS_DV   | 1.8V |
| 79   | GMAC1_RXD1_M1       | RMII1_RXD1     | 1.8V |
| 80   | GMAC1_RXD0_M1       | RMII1_RXD0     | 1.8V |
| 81   | GMAC1_TXEN_M1       | RMII1_TXEN     | 1.8V |
| 82   | GMAC1_TXD1_M1       | RMII1_TXD1     | 1.8V |
| 83   | GMAC1_TXD0_M1       | RMII1_TXD0     | 1.8V |
| 84   | GMAC1_RXCLK_M1      | /              | 1.8V |
| 85   | GMAC1_RXD3_M1       | /              | 1.8V |
| 86   | GMAC1_RXD2_M1       | /              | 1.8V |
| 87   | GMAC1_TXCLK_M1      | /              | 1.8V |
| 88   | GMAC1_TXD3_M1       | /              | 1.8V |
| 89   | GMAC1_TXD2_M1       | /              | 1.8V |

注意：

- 1. 引脚的电源域有3.3V和1.8V两种，部分PHY芯片IO电压可能不支持1.8V，必要时加高速电平转换芯片或更换PHY芯片
- 2. RK3568内部有两个GMAC控制器，其中GMAC0有一组信号引脚可用， GMAC1 有两组信号引脚可选，分别为M0和M1两组
- 3. 千兆网/百兆以太网接口原理图请参考我司提供的开发板参考原理图

## 2.6 音频接口设计

RK3568支持的音频接口清单：

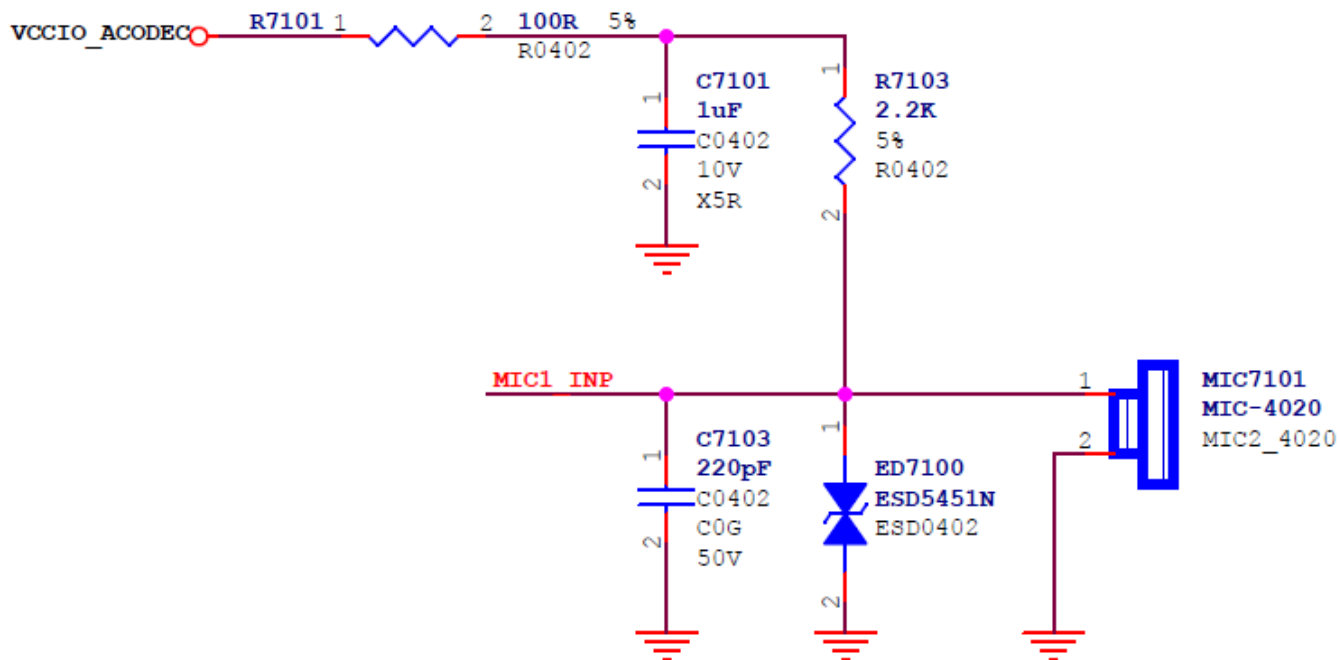
| 音频接口资源 | 资源详情 | 说明        |
|--------|------|-----------|
| I2S    | I2S1 | RK809-5占用 |
|        | I2S2 | 双通道       |
|        | I2S3 | 双通道       |
| SPDIF  | 1路   | 8通道       |
| PDM    | 1路   | 8通道       |

IDO-SOM3568板载PMIC RK809-5内部集成了一路Codec，占用了I2S1资源，核心板输出一路耳机音频输出（双通道），支持一路Mic输入。

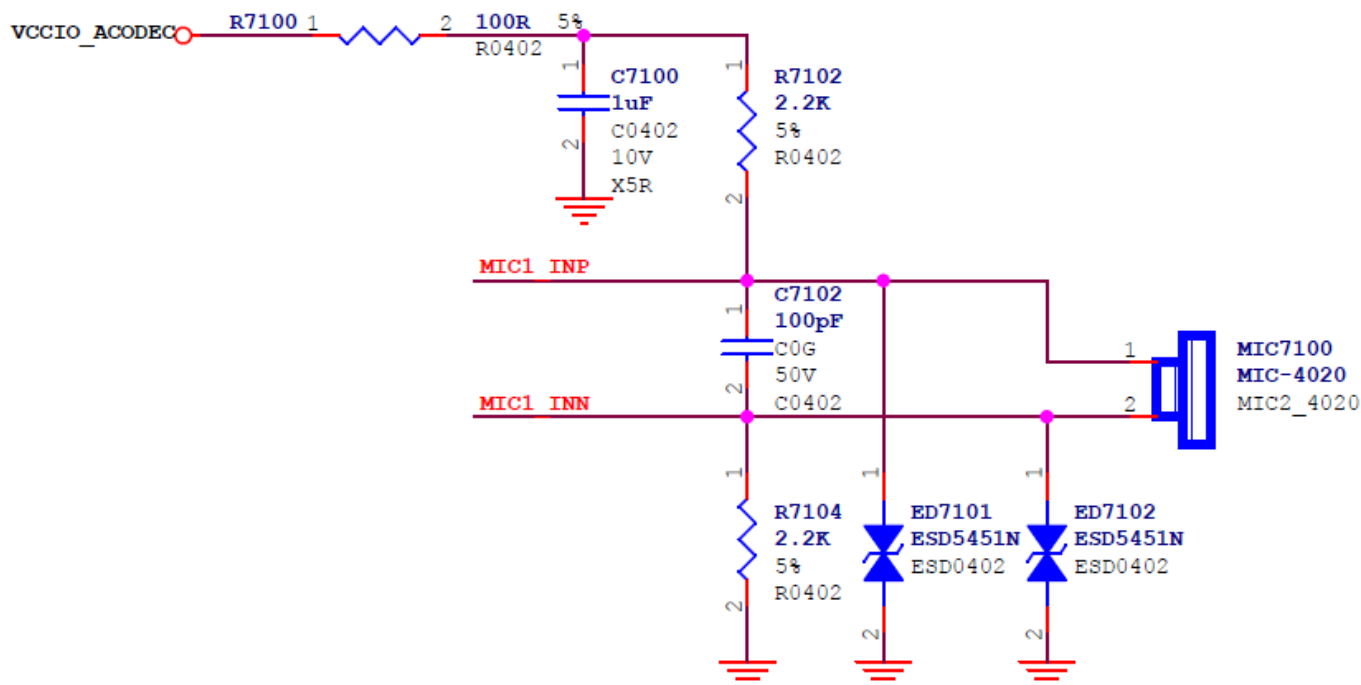
相关引脚定义如下：

| 引脚编号 | 引脚定义    | 说明                                   |
|------|---------|--------------------------------------|
| 9    | HPL_OUT | Left channel output of the headphone |
| 10   | HP_SNS  | Reference ground for the headphone   |





如果使用三段耳机座时，本地MIC 可使用 R K809 5 的模拟 ADC 配置为一个差分输入（相比单端输入，差分输入具有更好的录音效果 偏置电源需要 68 100ohm 电阻和 1uF 以上电容进行 RC 滤波，如下图所示：



I2S2（M0组）引脚列表如下：

| 引脚编号 | I2S2信号 | 电源域 | 说明 |
|------|--------|-----|----|
|------|--------|-----|----|

|    |                 |      |                                                                                                 |
|----|-----------------|------|-------------------------------------------------------------------------------------------------|
| 51 | I2S2_SCLK_RX_M0 | 1.8V | I2S serial clock for receive data                                                               |
| 52 | I2S2_LRCK_RX_M0 | 1.8V | I2S left & right channel signal for receiving serial data, synchronous left & right channel.    |
| 53 | I2S2_MCLK_M0    | 1.8V | I2S clock source                                                                                |
| 54 | I2S2_SCLK_TX_M0 | 1.8V | I2S serial clock for transmit data                                                              |
| 55 | I2S2_LRCK_TX_M0 | 1.8V | I2S left & right channel signal for transmitting serial data, synchronous left & right channel. |
| 56 | I2S2_SDO_M0     | 1.8V | I2S serial data output                                                                          |
| 57 | I2S2_SDI_M0     | 1.8V | I2S serial data input                                                                           |

I2S2（M1组）引脚列表如下：

| 引脚编号 | I2S2信号          | 电源域  | 说明                                                                                           |
|------|-----------------|------|----------------------------------------------------------------------------------------------|
| 70   | I2S2_SCLK_RX_M1 | 1.8V | I2S serial clock for receive data                                                            |
| 82   | I2S2_LRCK_RX_M1 | 1.8V | I2S left & right channel signal for receiving serial data, synchronous left & right channel. |
| 73   | I2S2_MCLK_M1    | 1.8V | I2S clock source                                                                             |

|    |                 |      |                                                                                                 |
|----|-----------------|------|-------------------------------------------------------------------------------------------------|
| 72 | I2S2_SCLK_TX_M1 | 1.8V | I2S serial clock for transmit data                                                              |
| 83 | I2S2_LRCK_TX_M1 | 1.8V | I2S left & right channel signal for transmitting serial data, synchronous left & right channel. |
| 76 | I2S2_SDO_M1     | 1.8V | I2S serial data output                                                                          |
| 77 | I2S2_SDI_M1     | 1.8V | I2S serial data input                                                                           |

I2S3（M0组）引脚列表如下：

| 引脚编号 | I2S3信号       | 电源域  | 说明                                                                                                      |
|------|--------------|------|---------------------------------------------------------------------------------------------------------|
| 124  | I2S3_SCLK_M0 | 3.3V | I2S serial clock for receiving & transmit data                                                          |
| 123  | I2S3_LRCK_M0 | 3.3V | I2S left & right channel signal for receiving & transmit serial data, synchronous left & right channel. |
| 125  | I2S3_MCLK_M0 | 3.3V | I2S clock source                                                                                        |
| 122  | I2S3_SDO_M0  | 3.3V | I2S serial data output                                                                                  |
| 121  | I2S3_SDI_M0  | 3.3V | I2S serial data input                                                                                   |

I2S3（M1组）引脚列表如下：

| 引脚编号 | I2S3信号 | 电源域 | 说明 |
|------|--------|-----|----|
|------|--------|-----|----|

|    |              |      |                                                                                                         |
|----|--------------|------|---------------------------------------------------------------------------------------------------------|
| 28 | I2S3_SCLK_M1 | 3.3V | I2S serial clock for receiving & transmit data                                                          |
| 29 | I2S3_LRCK_M1 | 3.3V | I2S left & right channel signal for receiving & transmit serial data, synchronous left & right channel. |
| 27 | I2S3_MCLK_M1 | 3.3V | I2S clock source                                                                                        |
| 30 | I2S3_SDO_M1  | 3.3V | I2S serial data output                                                                                  |
| 31 | I2S3_SDI_M1  | 3.3V | I2S serial data input                                                                                   |

RK3568提供一个 SPDIF TX 数字音频接口，最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips Digital Interface Format 是 SONY 、 PHILIPS 数字音频接口的简称。就传输载体而言， SPDIF 又分为同轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异， SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

SPDIF 引脚配置列表如下：

| 引脚编号 | 信号定义        | 电源域  |
|------|-------------|------|
| 106  | SPDIF_TX_M1 | 3.3V |
| 29   | SPDIF_TX_M2 | 3.3V |

PDM（M1组）引脚配置列表 如下：

| 引脚编号 | 信号定义        | 电源域  | 说明 |
|------|-------------|------|----|
| 84   | PDM_SDI3_M1 | 1.8V | /  |

|    |             |      |                    |
|----|-------------|------|--------------------|
| 85 | PDM_SDI2_M1 | 1.8V | /                  |
| 86 | PDM_SDI1_M1 | 1.8V | /                  |
| 87 | PDM_CLK1_M1 | 1.8V | PDM sampling clock |
| 88 | PDM_SDI0_M1 | 1.8V | /                  |
| 89 | PDM_CLK0_M1 | 1.8V | PDM sampling clock |

PDM（M2组）引脚配置列表 如下：

| 引脚编号 | 信号定义        | 电源域  | 说明                 |
|------|-------------|------|--------------------|
| 107  | PDM_CLK1_M2 | 3.3V | PDM sampling clock |
| 111  | PDM_SDI3_M2 | 3.3V | /                  |
| 112  | PDM_SDI2_M2 | 3.3V | /                  |
| 115  | PDM_SDI1_M2 | 3.3V | /                  |
| 116  | PDM_SDI0_M2 | 3.3V | /                  |

## 2.7 HDMI设计

RK3568 支持一路HDMI输出，支持HDMI1.4 和HDMI2.0, 支持到1080p@120Hz 和 4096x2160@60Hz，支持3D 视频格式，支持 HDCP1.4/2.2 。

IDO-SOM3568核心板引出了HDMI高速线，支持HDMI2.0协议，分辨率达到4K。若做底板设计，接口需要预留ESD保护设计，并且ESD器件靠近HDMI接口放置，推荐ESD结电容最大不超过0.4PF。

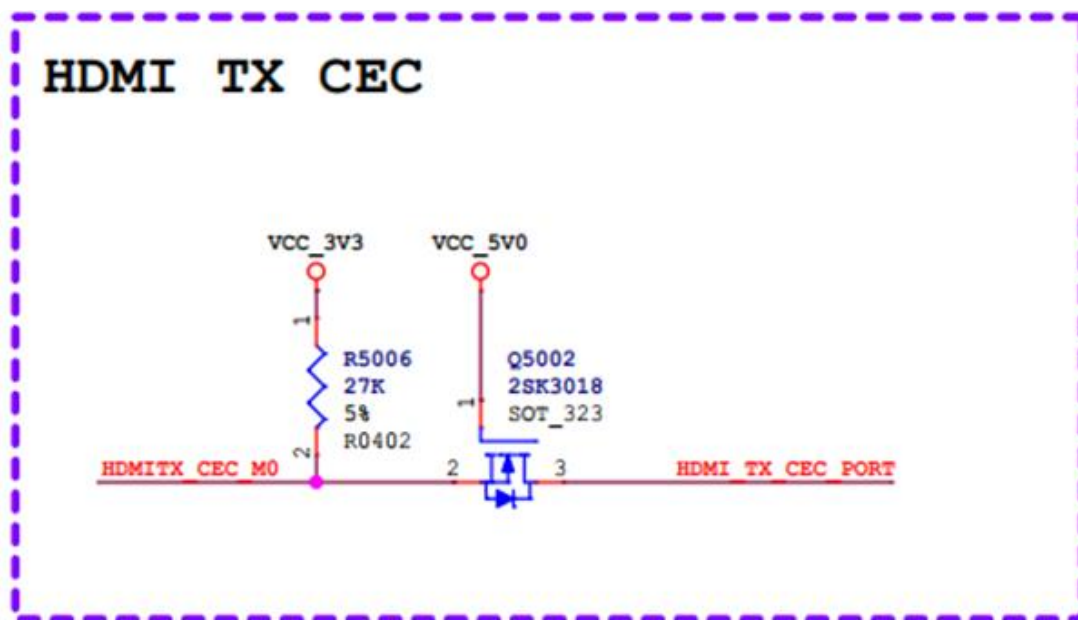
HDMI引脚列表如下：

| 引脚编号 | 信号定义          | 说明                          |
|------|---------------|-----------------------------|
| 148  | HDMI_TX_HPDIN | HDMI hot plug detect signal |
| 149  | HDMITX_SDA    | DDC/SDA 需要做电平转换             |

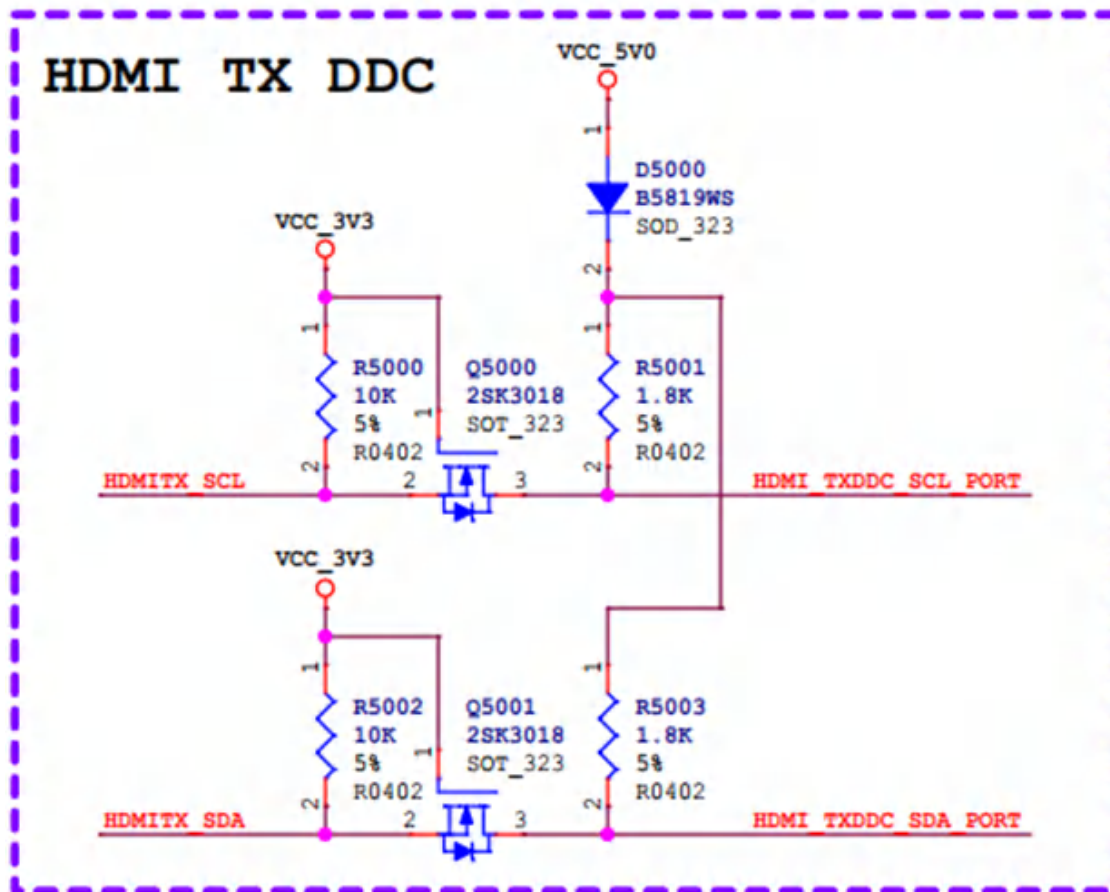
|     |               |                 |
|-----|---------------|-----------------|
| 150 | HDMITX_SCL    | DDC/SCL 需要做电平转换 |
| 151 | HDMITX_CEC_M0 | HDMI CEC signal |
| 153 | HDMI_TX_CLKN  | /               |
| 154 | HDMI_TX_CLKP  | /               |
| 155 | HDMI_TX_D0N   | /               |
| 156 | HDMI_TX_D0P   | /               |
| 157 | HDMI_TX_D1N   | /               |
| 158 | HDMI_TX_D1P   | /               |
| 159 | HDMI_TX_D2N   | /               |
| 160 | HDMI_TX_D2P   | /               |

**注意：**RK3568芯片的I2C是不支持5V电平的，所以DDC/I2C总线需要增加电平转换电路。HDMI高速差分线在LAYOUT设计时尽量避免换层，走线尽量短，参考面保证完整，100ohm差分阻抗控制。

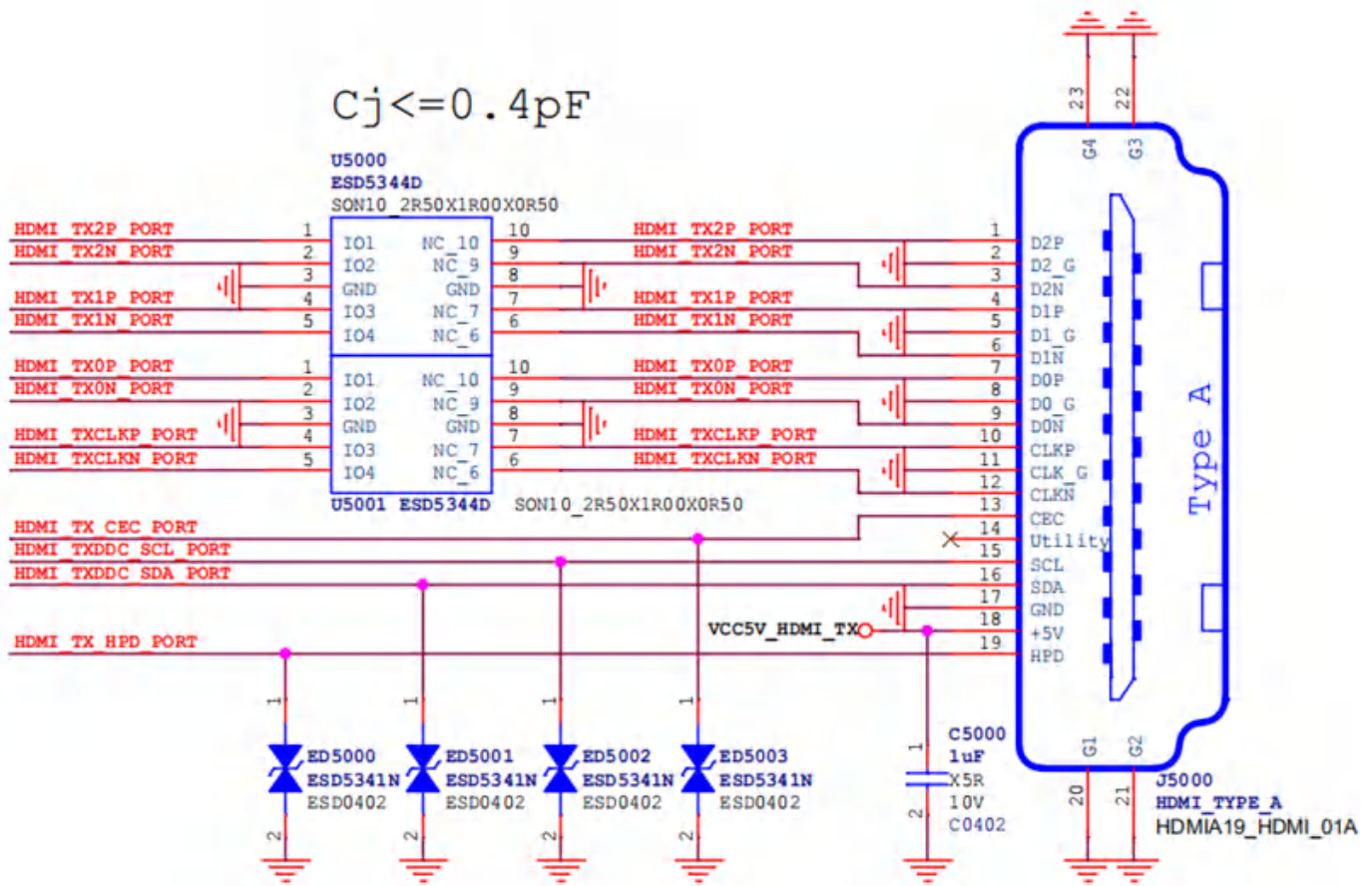
HDMI 接口CEC电路电平转换设计，如下图所示：



DDC/I2C总线电平转换电路设计，如下图所示：



HDMI接口电路设计，参考设计如下图所示：



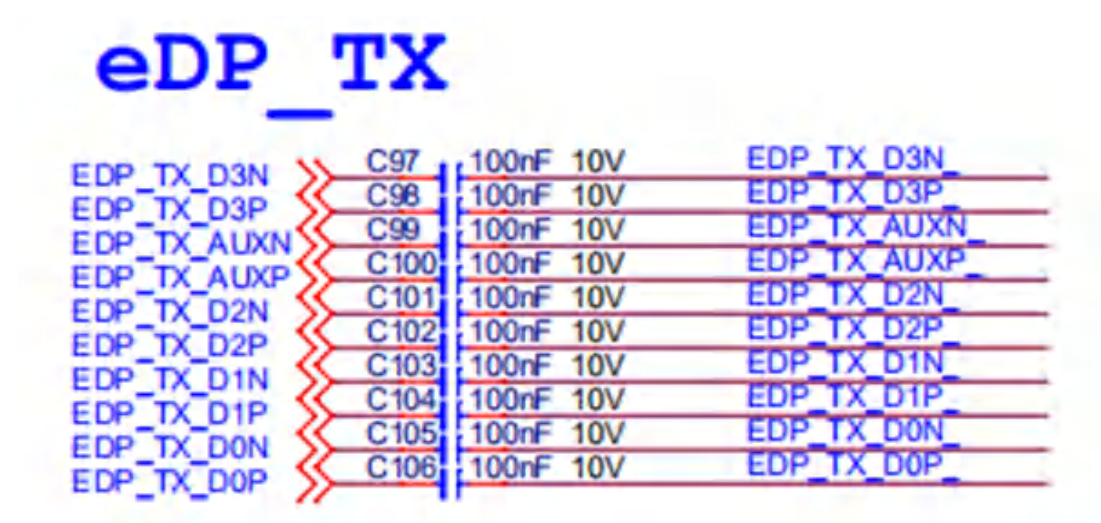
## 2.8 eDP设计

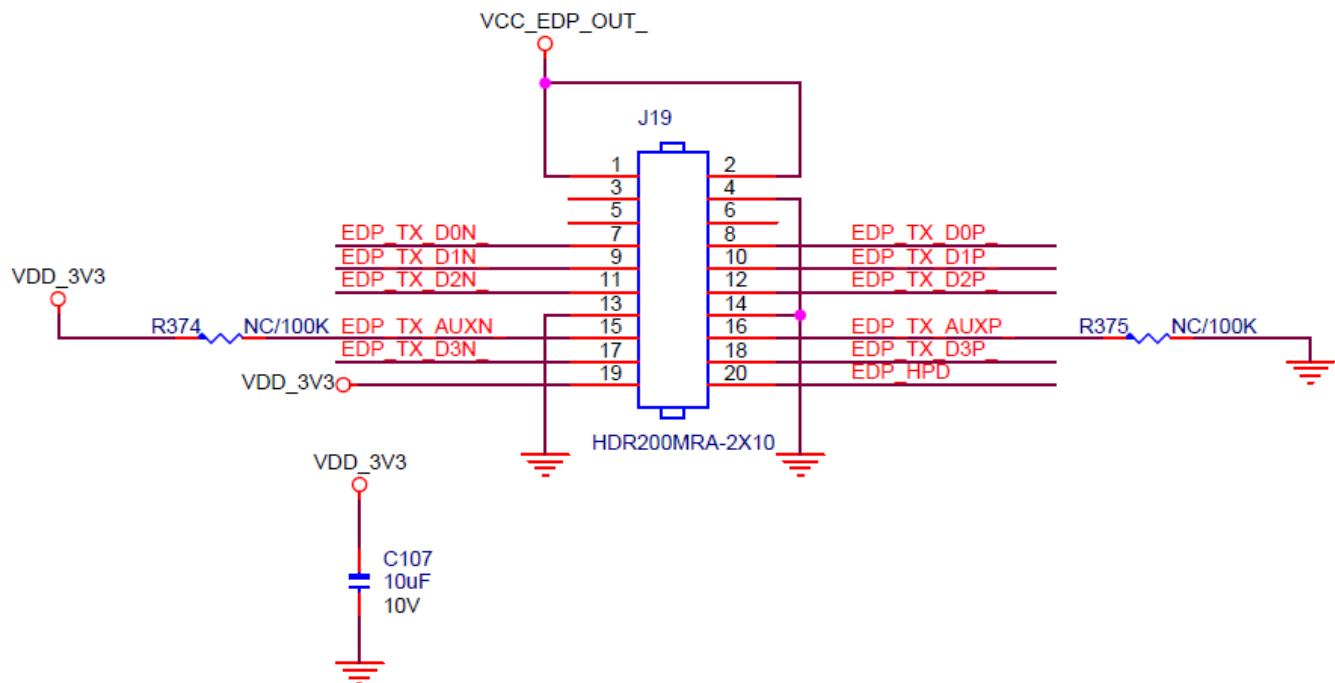
RK3568支持一路eDP视频输出接口，eDP1.3，4lane，分辨率最大支持到2560x1600@60Hz。eDP引脚列表如下表所示：

| 引脚号 | 引脚定义        | 描述                                      |
|-----|-------------|-----------------------------------------|
| 195 | EDP_TX_D3N  | Lane3 data negative differential output |
| 196 | EDP_TX_D3P  | Lane3 data positive differential output |
| 197 | EDP_TX_AUXN | CH-AUX negative differential output     |
| 198 | EDP_TX_AUXP | CH-AUX positive differential output     |

|     |            |                                         |
|-----|------------|-----------------------------------------|
| 199 | EDP_TX_D2N | Lane2 data negative differential output |
| 200 | EDP_TX_D2P | Lane2 data positive differential output |
| 201 | EDP_TX_D1N | Lane1 data negative differential output |
| 202 | EDP_TX_D1P | Lane1 data positive differential output |
| 203 | EDP_TX_D0N | Lane0 data negative differential output |
| 204 | EDP_TX_D0P | Lane0 data positive differential output |

参考设计如下图所示：





**注意：**LAYOUT走线需要控制等长处理，参考面完整，100ohm差分阻抗控制。数据通道输出耦合电容需靠近核心板端。

## 2.9 MIPI-DSI/LVDS设计

IDO-SOM3568-V1核心板引出两路MIPI接口，每路4Lane,最大支持1080P@60Hz分辨率，供客户外接MIPI-DSI显示屏使用。其中MIPI0可以配置为LVDS输出。当配置为LVDS信号时，最大支持1366\*760@60Hz的LVDS接口屏幕。

MIPI0/LVDS0引脚资源如下表所示：

| 引脚编号 | MIPI引脚定义         | LVDS引脚定义     | 描述                 |
|------|------------------|--------------|--------------------|
| 138  | MIPI_DSI_TX0_D3N | LVDS_TX0_D3N | MIPI0/LVDS-发送-D3-负 |
| 139  | MIPI_DSI_TX0_D3P | LVDS_TX0_D3P | MIPI0/LVDS-发送-D3-正 |
| 140  | MIPI_DSI_TX0_D2N | LVDS_TX0_D2N | MIPI0/LVDS-发送-D2-负 |

|     |                   |               |                    |
|-----|-------------------|---------------|--------------------|
| 141 | MIPI_DSI_TX0_D2P  | LVDS_TX0_D2P  | MIPI0/LVDS-发送-D2-正 |
| 142 | MIPI_DSI_TX0_CLKN | LVDS_TX0_CLKN | MIPI0/LVDS-时钟-负    |
| 143 | MIPI_DSI_TX0_CLKP | LVDS_TX0_CLKP | MIPI0/LVDS-时钟-正    |
| 144 | MIPI_DSI_TX0_D1N  | LVDS_TX0_D1N  | MIPI0/LVDS-发送-D1-负 |
| 145 | MIPI_DSI_TX0_D1P  | LVDS_TX0_D1P  | MIPI0/LVDS-发送-D1-正 |
| 146 | MIPI_DSI_TX0_D0N  | LVDS_TX0_D0N  | MIPI0/LVDS-发送-D0-负 |
| 147 | MIPI_DSI_TX0_D0P  | LVDS_TX0_D0P  | MIPI0/LVDS-发送-D0-正 |

MIPI1引脚资源如下表所示：

| 引脚号 | 引脚定义              | 描述            |
|-----|-------------------|---------------|
| 128 | MIPI_DSI_TX1_D3N  | MIPI1-发送-D3-负 |
| 129 | MIPI_DSI_TX1_D3P  | MIPI1-发送-D3-正 |
| 130 | MIPI_DSI_TX1_D2N  | MIPI1-发送-D2-负 |
| 131 | MIPI_DSI_TX1_D2P  | MIPI1-发送-D2-正 |
| 132 | MIPI_DSI_TX1_CLKN | MIPI1-时钟-负    |
| 133 | MIPI_DSI_TX1_CLKP | MIPI1-时钟-正    |
| 134 | MIPI_DSI_TX1_D1N  | MIPI1-发送-D1-负 |
| 135 | MIPI_DSI_TX1_D1P  | MIPI1-发送-D1-正 |
| 136 | MIPI_DSI_TX1_D0N  | MIPI1-发送-D0-负 |
| 137 | MIPI_DSI_TX1_D0P  | MIPI1-发送-D0-正 |

注意：

MIPI高速差分对，差分阻抗按照100ohm控制。走线参考面完整。

MIPI0, MIPI1 可以分别复用为LVDS0, LVDS1 。 LVDS0+LVDS1可以组成双通道LVDS驱动1080P大屏。

## 2.10 PCIe设计

RK3568支持1路PCIe2.0和1路PCIe3.0，其中PCIe2.0 1Lane , PCIe3.0 2Lane，如下表所示：

| 引脚编号 | 引脚定义              | 描述                                                 |
|------|-------------------|----------------------------------------------------|
| 173  | PCIE20_TXP        | PCIE发送0-正                                          |
| 174  | PCIE20_TXN        | PCIE发送0-负                                          |
| 175  | PCIE20_RXP        | PCIE接收0-正                                          |
| 176  | PCIE20_RXN        | PCIE接收0-负                                          |
| 177  | PCIE20_REFCLKP    | PCIE参考时钟-正                                         |
| 178  | PCIE20_REFCLKN    | PCIE参考时钟-负                                         |
| 33   | PCIE20_BUTTONRSTn | PCle Reset request （INPUT）                         |
| 34   | PCIE20_WAKEn_M0   | PCle wake up (I/O)                                 |
| 35   | PCIE20_PERSTn_M0  | PCle warm reset request<br>(INPUT)                 |
| 61   | PCIE20_CLKREQn_M0 | PCle clock request from PCle<br>peripheral (INPUT) |

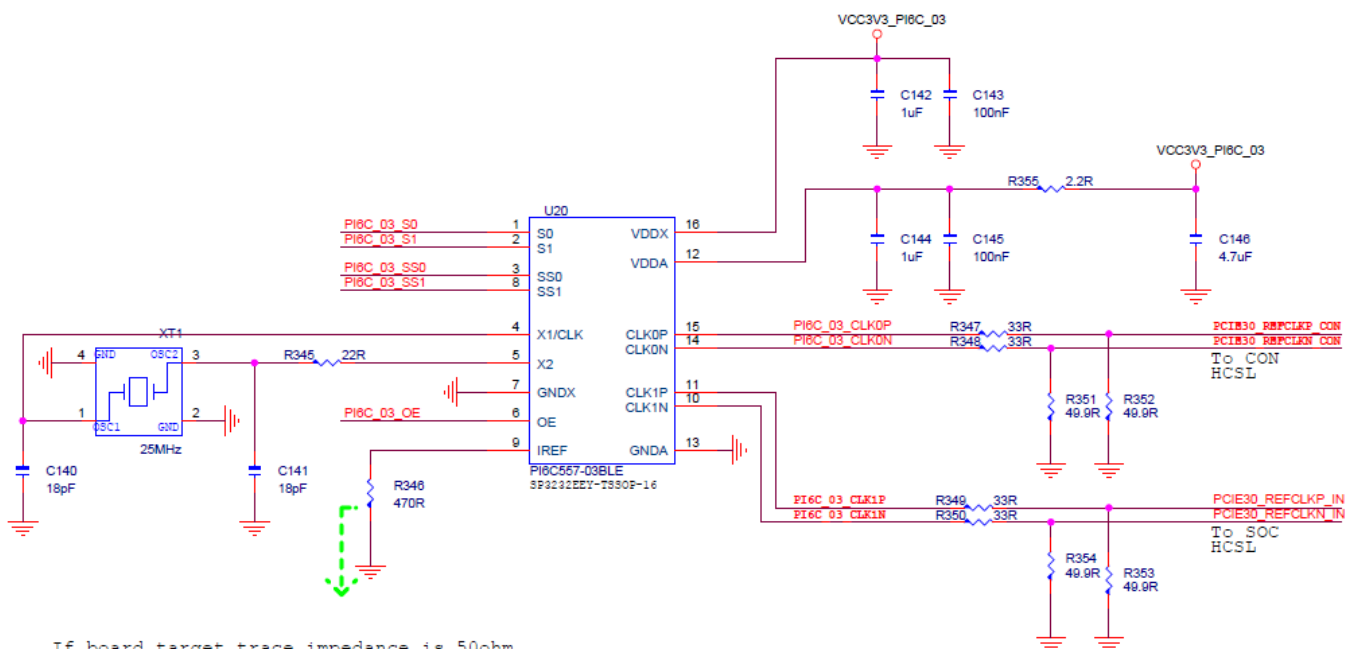
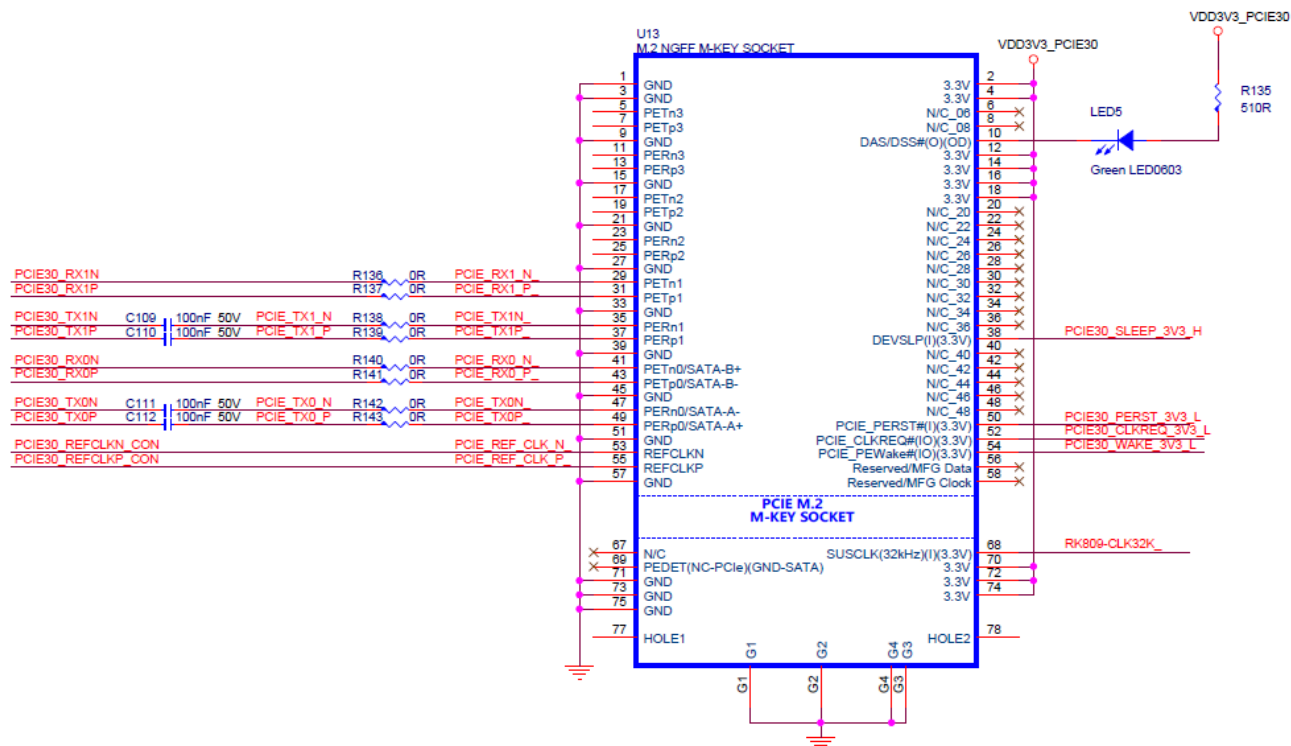
参考设计如下图所示：



|     |                      |      |                                                 |
|-----|----------------------|------|-------------------------------------------------|
| 169 | PCIE30_REFCLKP_IN    | /    | PCIE3.0 参考时钟 正                                  |
| 170 | PCIE30_REFCLKN_IN    | /    | PCIE3.0 参考时钟 负                                  |
| 21  | PCIE30X1_WAKEn_M0    | 3.3V | PCIe wake up (I/O)                              |
| 22  | PCIE30X1_PERSTn_M0   | 3.3V | PCIe warm reset request (INPUT)                 |
| 24  | PCIE30X2_WAKEn_M0    | 3.3V | PCIe wake up (I/O)                              |
| 25  | PCIE30X2_PERSTn_M0   | 3.3V | PCIe warm reset request (INPUT)                 |
| 27  | PCIE30X2_CLKREQn_M2  | 3.3V | PCIe clock request from PCIe peripheral (INPUT) |
| 28  | PCIE30X2_WAKEn_M2    | 3.3V | PCIe wake up (I/O)                              |
| 29  | PCIE30X2_PERSTn_M2   | 3.3V | PCIe warm reset request (INPUT)                 |
| 32  | PCIE30X1_BUTTONRS Tn | 3.3V | PCIe Reset request (INPUT)                      |
| 62  | PCIE30X1_CLKREQn_M0  | 3.3V | PCIe clock request from PCIe peripheral (INPUT) |

**注意：** 仅限PCIe3.0版本核心板。

参考设计如下图所示：



If board target trace impedance is 50ohm  
then R = 475ohm providing an IREF of 2.32 mA .  
The output current ( IOH ) is 6 \* IREF .  
6x2.32x50=696mV

**注意：**PCIe高速差分对，差分阻抗按照100ohm控制；走线参考面完整。

## 2.11 MIPI–CSI接口设计

IDO–SOM3568–V1核心板内置8M ISP处理器,支持一路4 Lane MIPI CSI输入,也可以配置成两路2Lane MIPI CSI 输入。支持单路8M/13M摄像头，或两路5M摄像头接入。

MIPI–CSI 单摄像头和双摄像头的配置区别如下图示：

|         |                     |                                      |
|---------|---------------------|--------------------------------------|
| Option1 | Sensor1 x4Lane      | MIPI_CSI_RX_D0-3<br>MIPI_CSI_RX_CLK0 |
| Option2 | Sensor1 x2Lane      | MIPI_CSI_RX_D0-1<br>MIPI_CSI_RX_CLK0 |
|         | +<br>Sensor2 x2Lane | MIPI_CSI_RX_D2-3<br>MIPI_CSI_RX_CLK1 |

MIPI–CSI引脚列表如下：

| 引脚编号 | 引脚定义              | 描述                   |
|------|-------------------|----------------------|
| 161  | MIPI_CSI_RX_D0P   | MIPI_接收1–D0–正        |
| 162  | MIPI_CSI_RX_D0N   | MIPI_接收1–D0–负        |
| 163  | MIPI_CSI_RX_D1P   | MIPI_接收1–D1正         |
| 164  | MIPI_CSI_RX_D1N   | MIPI_接收1–D1负         |
| 165  | MIPI_CSI_RX_D2P   | MIPI_接收1–D2–正        |
| 166  | MIPI_CSI_RX_D2N   | MIPI_接收1–D2–负        |
| 167  | MIPI_CSI_RX_D3P   | MIPI_接收1–D3–正        |
| 168  | MIPI_CSI_RX_D3N   | MIPI_接收1–D3–负        |
| 169  | MIPI_CSI_RX_CLK0P | MIPI_接收1–时钟–正        |
| 170  | MIPI_CSI_RX_CLK0N | MIPI_接收1–时钟–负        |
| 171  | MIPI_CSI_RX_CLK1P | MIPI_接收2–时钟–正 （用于双摄） |

|     |                   |                     |
|-----|-------------------|---------------------|
| 172 | MIPI_CSI_RX_CLK1N | MIPI_接收2-时钟-负（用于双摄） |
|-----|-------------------|---------------------|

### 注意：

1. IDO-SOM3568-V1核心板因为引脚数量限制，PCIe3.0和MIPI-CSI 引脚输出做了复用设计。根据采购型号区分
2. 支持 x4 Lane 模式 MIPI\_CSI\_RX\_D 【3:0】 数据参考 MIPI\_CSI\_RX\_ CLK0
3. MIPI-CSI高速差分对，差分阻抗按照100ohm控制；走线参考面完整
4. MIPI\_CSI\_RX\_D 【1:0】 数据参考 MIPI\_CSI\_RX\_ CLK0
5. MIPI\_CSI\_RX\_D 【3:2】 数据参考 MIPI\_CSI\_RX\_ CLK1

## 2.12 SATA总线

RK3568自带3路独立的SATA3.0控制器，兼容SATA 3.3 和 AHCI Revision 1.3.1,支持eSATA，支持1.5Gb/s, 3.0Gb/s, 6.0Gb/s。

SATA信号与USB3.0,PCIe2.1, QSGMII/SGMII信号是复用的。根据实际情况选用并配置驱动来使用。

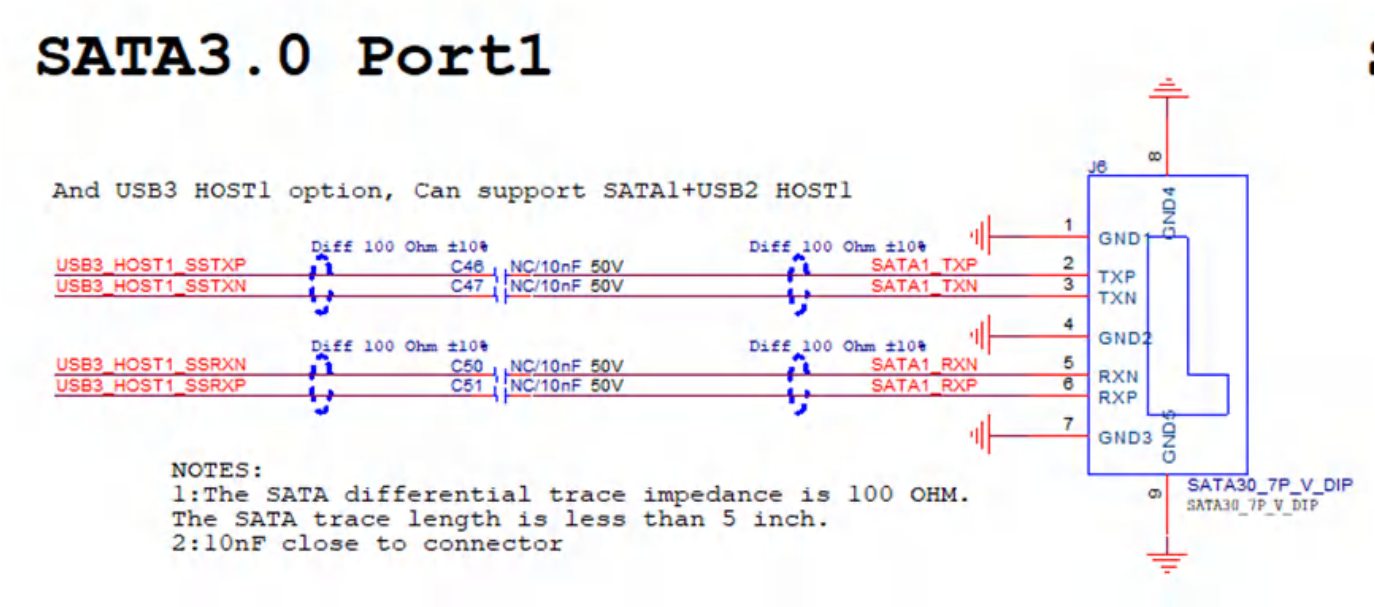
SATA信号引脚资源列表如下：

| SATA控制器 | 核心板引脚编号 | SATA信号定义  | 信号说明       |
|---------|---------|-----------|------------|
| SATA2   | 173     | SATA2_TXP | SATA 发送 DP |
|         | 174     | SATA2_TXN | SATA 发送 DN |
|         | 175     | SATA2_RXP | SATA 接收 DP |
|         | 176     | SATA2_RXN | SATA 接收 DN |
| SATA1   | 180     | SATA1_TXP | SATA 发送 DP |
|         | 181     | SATA1_TXN | SATA 发送 DN |
|         | 184     | SATA1_RXP | SATA 接收 DP |
|         | 185     | SATA1_RXN | SATA 接收 DN |
| SATA0   | 186     | SATA0_TXP | SATA 发送 DP |

|  |     |           |            |
|--|-----|-----------|------------|
|  | 187 | SATA0_TXN | SATA 发送 DN |
|  | 190 | SATA0_RXP | SATA 接收 DP |
|  | 191 | SATA0_RXN | SATA 接收 DN |

**注意：**走线按照100ohm差分阻抗。10nF耦合电容靠近SATA座子。走线长度<5inch。

参考设计如下图：



## 2.13 UART设计

IDO-SOM3568-V1核心板共引出10路UART口，其中UART2为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

UART信号定义及可复用引脚列表如下:

| UART资源 | 引脚编号 | UART信号定义   | 电源域  |
|--------|------|------------|------|
| UART0  | 19   | UART0_RX   | 3.3V |
|        | 20   | UART0_TX   |      |
|        | 23   | UART0_RTSn |      |
|        |      |            |      |

|             |     |               |             |
|-------------|-----|---------------|-------------|
|             | 26  | UART0_CTSn    |             |
| UART1 (M0组) | 47  | UART1_RX_M0   | 1.8V        |
|             | 48  | UART1_TX_M0   |             |
|             | 49  | UART1_RTSn_M0 |             |
|             | 50  | UART1_CTSn_M0 |             |
| UART1 (M1组) | 88  | UART1_RX_M1   | 1.8V        |
|             | 89  | UART1_TX_M1   |             |
|             | 73  | UART1_RTSn_M1 |             |
|             | 70  | UART1_CTSn_M1 |             |
| UART2 (M0组) | 59  | UART2_TX_M0   | 3.3V (调试串口) |
|             | 60  | UART2_RX_M0   |             |
| UART2 (M1组) | 67  | UART2_RX_M1   | 3.3V        |
|             | 68  | UART2_TX_M1   |             |
| UART3 (M0组) | 36  | UART3_RX_M0   | 3.3V        |
|             | 37  | UART3_TX_M0   |             |
| UART3 (M1组) | 111 | UART3_RX_M1   | 3.3V        |
|             | 112 | UART3_TX_M1   |             |
| UART4 (M1组) | 117 | UART4_TX_M1   | 3.3V        |
|             | 118 | UART4_RX_M1   |             |
| UART5 (M0组) | 63  | UART5_TX_M0   | 3.3V        |
|             | 64  | UART5_RX_M0   |             |
|             | 65  | UART5_RTSn_M0 |             |
|             | 66  | UART5_CTSn_M0 |             |
| UART5 (M1组) | 108 | UART5_RX_M1   | 3.3V        |
|             | 109 | UART5_TX_M1   |             |

|             |     |               |      |
|-------------|-----|---------------|------|
| UART6 (M0组) | 39  | UART6_RX_M0   | 1.8V |
|             | 40  | UART6_TX_M0   |      |
| UART6 (M1组) | 67  | UART6_RX_M1   | 3.3V |
|             | 68  | UART6_TX_M1   |      |
| UART7 (M0组) | 41  | UART7_RX_M0   | 1.8V |
|             | 42  | UART7_TX_M0   |      |
|             | 53  | UART7_RTSn_M0 |      |
|             | 54  | UART7_CTSn_M0 |      |
| UART7 (M2组) | 84  | UART7_RX_M2   | 1.8V |
|             | 85  | UART7_TX_M2   |      |
| UART7 (M1组) | 106 | UART7_RX_M1   | 3.3V |
|             | 107 | UART7_TX_M1   |      |
| UART8 (M0组) | 45  | UART8_RTSn_M0 | 1.8V |
|             | 46  | UART8_CTSn_M0 |      |
|             | 58  | UART8_RX_M0   |      |
|             | 57  | UART8_TX_M0   |      |
| UART9 (M0组) | 55  | UART9_RTSn_M0 | 1.8V |
|             | 56  | UART9_CTSn_M0 |      |
|             | 43  | UART9_RX_M0   |      |
|             | 44  | UART9_TX_M0   |      |
| UART9 (M1组) | 30  | UART9_TX_M1   | 3.3V |
|             | 31  | UART9_RX_M1   |      |
| UART9 (M2组) | 82  | UART9_RX_M2   | 1.8V |

### 注意：

1. 需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造

成通讯不正常

2. UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1，M2三组引脚可选配，同一个UART控制器同时只能配置一组引脚
3. 调试串口默认为UART2 M0引脚组

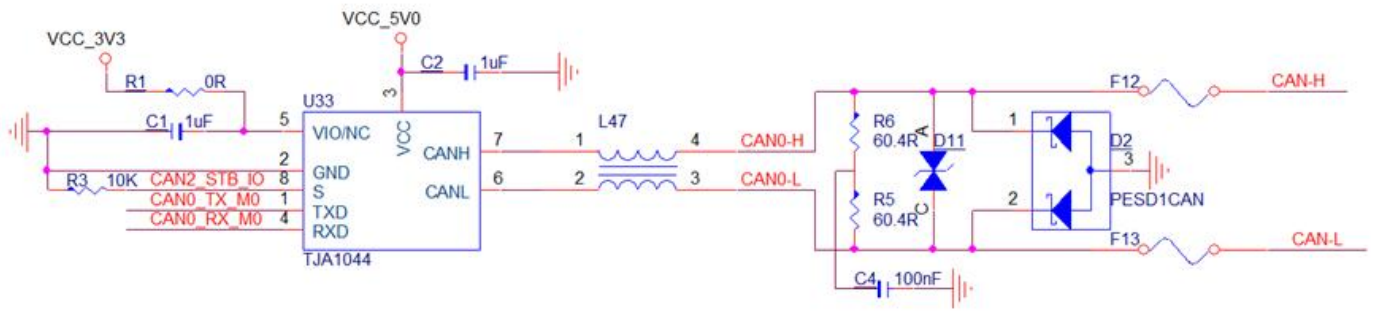
## 2.14 CAN总线

IDO-SOM3568-V1引出3个CAN总线控制器，支持 CAN 2.0B 协议。

CAN接口引脚资源如下表所示：

| CAN资源 | 引脚分组 | 引脚编号 | CAN信号定义    | 电源域  |
|-------|------|------|------------|------|
| CAN0  | M0   | 32   | CAN0_TX_M0 | 3.3V |
|       |      | 33   | CAN0_RX_M0 | 3.3V |
|       | M1   | 63   | CAN0_RX_M1 | 3.3V |
|       |      | 64   | CAN0_TX_M1 | 3.3V |
| CAN1  | M0   | 36   | CAN1_RX_M0 | 3.3V |
|       |      | 37   | CAN1_TX_M0 | 3.3V |
|       | M1   | 27   | CAN1_RX_M1 | 3.3V |
|       |      | 28   | CAN1_TX_M1 | 3.3V |
| CAN2  | M0   | 74   | CAN2_TX_M0 | 1.8V |
|       |      | 75   | CAN2_RX_M0 | 1.8V |
|       | M1   | 45   | CAN2_RX_M1 | 1.8V |
|       |      | 46   | CAN2_TX_M1 | 1.8V |

参考设计如下图所示：



## 2.15 I2C总线

IDO-SOM3568-V1核心板共引出5组I2C接口，使用时注意电平为1.8V 或 3.3V，必要时加电平转换电路。

I2C总线引脚资源如下表：

| I2C资源 | 引脚分组 | 引脚编号 | I2C信号定义     | 电源域  |
|-------|------|------|-------------|------|
| I2C1  | /    | 32   | I2C1_SCL    | 3.3V |
|       |      | 33   | I2C1_SDA    | 3.3V |
| I2C2  | M0   | 34   | I2C2_SCL_M0 | 3.3V |
|       |      | 35   | I2C2_SDA_M0 | 3.3V |
|       | M1   | 74   | I2C2_SCL_M1 | 3.3V |
|       |      | 75   | I2C2_SDA_M1 | 3.3V |
| I2C3  | M0   | 36   | I2C3_SDA_M0 | 3.3V |
|       |      | 37   | I2C3_SCL_M0 | 3.3V |
|       | M1   | 113  | I2C3_SDA_M1 | 3.3V |
|       |      | 114  | I2C3_SCL_M1 | 3.3V |
| I2C4  | M0   | 76   | I2C4_SCL_M0 | 1.8V |
|       |      | 77   | I2C4_SDA_M0 | 1.8V |

|      |    |     |             |      |
|------|----|-----|-------------|------|
|      | M1 | 45  | I2C4_SDA_M1 | 1.8V |
|      |    | 46  | I2C4_SCL_M1 | 1.8V |
| I2C5 | M0 | 115 | I2C5_SDA_M0 | 3.3V |
|      |    | 116 | I2C5_SCL_M0 | 3.3V |
|      | M1 | 149 | I2C5_SDA_M1 | 3.3V |
|      |    | 150 | I2C5_SCL_M1 | 3.3V |

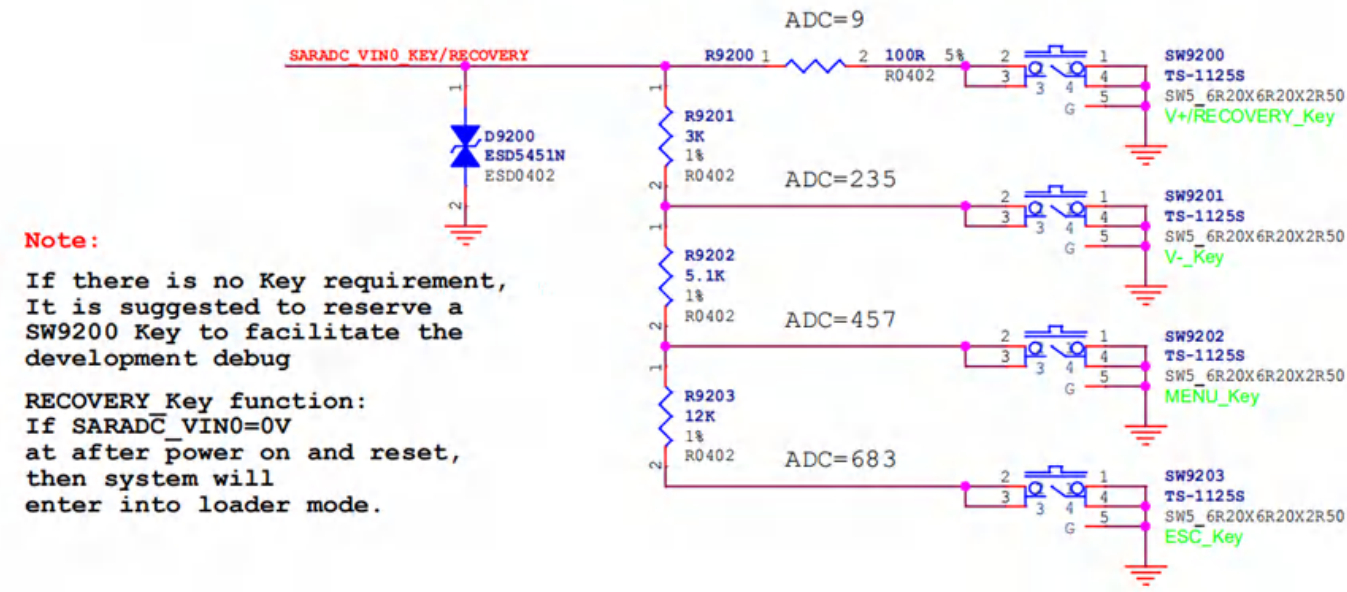
**注意：** 每路I2C控制器资源每次只能配置一组引脚（即M0和M1分组二选一）。

## 2.16 ADC设计说明

核心板共引出4路ADC接口，10bit精度，0~1.8V电压采样范围。

SARADC\_VIN0 默认做为键值输入采样口，并复用为 Recovery 模式 按键（不可修改）。核心板上SARADC\_VIN0通过10 Kohm 上拉电阻上拉到 VCCA\_1V8，默认为高电平（1.8V），在没有按键动作且系在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将SARADC\_VIN0 保持为低电平（0V），则 RK3568 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC\_VIN0 恢复为高电平（1.8V），即可进行固件烧写。另外为了方便开发，建议预留按键或 预留测试点。在Android系统操作界面下，其它按键操作如，VOL-，Home等功能按键也通过SARADC\_VIN0 引脚实现，参考电路如下图所示：

# Key Array



SRADC引脚列表如下：

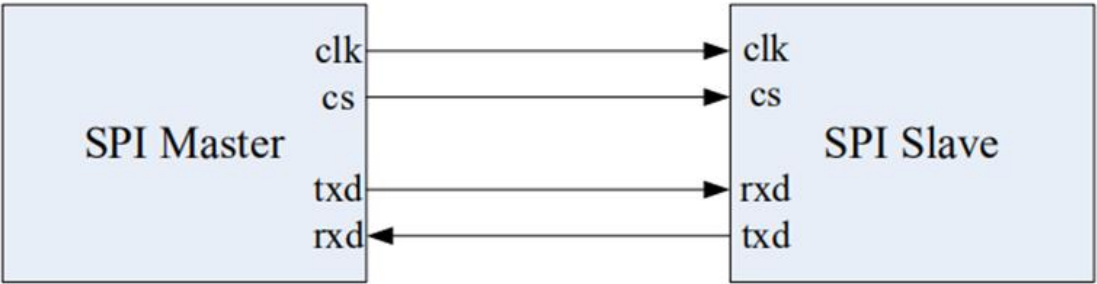
| 引脚号 | 引脚定义                         | 电源域  | 描述                                    |
|-----|------------------------------|------|---------------------------------------|
| 15  | SARADC_VIN0_KEY/R<br>ECOVERY | 1.8V | 默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V |
| 16  | SARADC_VIN2_HP_HO<br>OK      | 1.8V | 可用于耳机线控按键或标准ADC采样.                    |
| 17  | SARADC_VIN4                  | 1.8V | 标准ADC输入                               |
| 18  | SARADC_VIN5                  | 1.8V | 标准ADC输入                               |

**注意：**

- SARADC 采样范围为0~1.8V，采样精度为 10bit s 。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值， 实现多键输入以满足客户产品需求 。 设计中建议任意两个按键键值必须大于 ±35, 即中心电压差必须大于123mV
- SARADC\_VIN有使用时， 靠近核心板管脚必须增加1nF 电容消抖
- 用于按键采集时， 靠近按键需做 ESD 防护， 而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌能力 （如果只有一个键时 ESD 必须靠近按键， 先经过 ESD→100ohm 电阻→1nF→核心板管脚）

## 2.17 SPI设计说明

IDO-SOM3568-V1共引出4路SPI接口，可用于连接SPI通信接口的芯片或者模块。



SPI引脚资源列表如下：

| SPI接口 | 引脚分组 | 引脚编号 | 引脚定义         | 电源域  | 说明                            |
|-------|------|------|--------------|------|-------------------------------|
| SPI0  | M0   | 23   | SPI0_CS1_M0  | 3.3V | SPI 片选1                       |
|       |      | 24   | SPI0_MISO_M0 | 3.3V | SPI Master Input/Slave Output |
|       |      | 25   | SPI0_CS0_M0  | 3.3V | SPI 片选0                       |
|       |      | 34   | SPI0_CLK_M0  | 3.3V | SPI Clock                     |
|       |      | 35   | SPI0_MOSI_M0 | 3.3V | SPI Master Output/Slave input |
| SPI1  | M0   | 49   | SPI1_CLK_M0  | 1.8V | SPI Clock                     |
|       |      | 50   | SPI1_MISO_M0 | 1.8V | SPI Master Input/Slave Output |
|       |      | 51   | SPI1_MOSI_M0 | 1.8V | SPI Master Output/Slave input |
|       |      | 52   | SPI1_CS0_M0  | 1.8V | SPI 片选0                       |

|      |    |     |              |      |                               |
|------|----|-----|--------------|------|-------------------------------|
|      | M1 | 108 | SPI1_CLK_M1  | 3.3V | SPI Clock                     |
|      |    | 109 | SPI1_MISO_M1 | 3.3V | SPI Master Input/Slave Output |
|      |    | 110 | SPI1_MOSI_M1 | 3.3V | SPI Master Output/Slave input |
|      |    | 126 | SPI1_CS0_M1  | 3.3V | SPI 片选0                       |
| SPI2 | M0 | 53  | SPI2_CLK_M0  | 1.8V | SPI Clock                     |
|      |    | 54  | SPI2_MISO_M0 | 1.8V | SPI Master Input/Slave Output |
|      |    | 55  | SPI2_MOSI_M0 | 1.8V | SPI Master Output/Slave input |
|      |    | 56  | SPI2_CS0_M0  | 1.8V | SPI 片选0                       |
|      |    | 57  | SPI2_CS1_M0  | 1.8V | SPI 片选1                       |
| SPI3 | M0 | 76  | SPI3_CLK_M0  | 1.8V | SPI Clock                     |
|      |    | 77  | SPI3_MOSI_M0 | 1.8V | SPI Master Output/Slave input |
|      |    | 79  | SPI3_MISO_M0 | 1.8V | SPI Master Input/Slave Output |
|      |    | 80  | SPI3_CS1_M0  | 1.8V | SPI 片选1                       |
|      |    | 81  | SPI3_CS0_M0  | 1.8V | SPI 片选0                       |
|      | M1 | 151 | SPI3_CS1_M1  | 3.3V | SPI 片选1                       |
|      |    | 27  | SPI3_CLK_M1  | 3.3V | SPI Clock                     |
|      |    |     |              |      |                               |

|  |  |    |                  |      |                                     |
|--|--|----|------------------|------|-------------------------------------|
|  |  | 28 | SPI3_MOSI_M<br>1 | 3.3V | SPI Master<br>Output/Slave<br>input |
|  |  | 30 | SPI3_MISO_M<br>1 | 3.3V | SPI Master<br>Input/Slave<br>Output |
|  |  | 31 | SPI3_CS0_M1      | 3.3V | SPI 片选0                             |

### 说明:

1. 当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可
2. SPI时钟线建立串接端接电阻(典型值22ohm)，靠近核心板一侧引脚放置

## 2.18 PWM设计说明

IDO-SOM3568-V1具引出16路PWM资源，部分PWM具有M0/M1两组引脚，可以二选一使用。

PWM引脚资源列表如下：

| PWM通道 | 引脚编号 | 信号定义    | 电源域  | 说明        |
|-------|------|---------|------|-----------|
| PWM0  | 26   | PWM0_M1 | 3.3V | /         |
| PWM1  | 34   | PWM1_M1 | 3.3V | /         |
| PWM2  | 20   | PWM2_M0 | 3.3V | /         |
|       | 35   | PWM2_M1 | 3.3V | /         |
| PWM3  | 21   | PWM3_IR | 3.3V | 可用于IR接收信号 |
| PWM4  | 22   | PWM4    | 3.3V | /         |
| PWM5  | 23   | PWM5    | 3.3V | /         |
| PWM6  | 24   | PWM6    | 3.3V | /         |
| PWM7  | 25   | PWM7_IR | 3.3V | 可用于IR接收信号 |

|       |     |             |      |           |
|-------|-----|-------------|------|-----------|
| PWM8  | 68  | PWM8_M1     | 3.3V | /         |
|       | 118 | PWM8_M0     | 3.3V |           |
| PWM9  | 117 | PWM9_M0     | 3.3V | /         |
|       | 67  | PWM9_M1     | 3.3V |           |
| PWM10 | 114 | PWM10_M0    | 3.3V | /         |
|       | 64  | PWM10_M1    | 3.3V |           |
| PWM11 | 71  | PWM11_IR_M1 | 1.8V | 可用于IR接收信号 |
|       | 113 | PWM11_IR_M0 | 1.8V |           |
| PWM12 | 30  | PWM12_M1    | 3.3V | /         |
|       | 112 | PWM12_M0    | 3.3V |           |
| PWM13 | 31  | PWM13_M1    | 3.3V | /         |
|       | 111 | PWM13_M0    | 3.3V |           |
| PWM14 | 27  | PWM14_M1    | 3.3V | /         |
|       | 107 | PWM14_M0    | 3.3V |           |
| PWM15 | 28  | PWM15_IR_M1 | 3.3V | 可用于IR接收信号 |
|       | 106 | PWM15_IR_M0 | 3.3V |           |

## 2.19 GPIO设计说明

IDO-SOM3568-V1可用的GPIO引脚共计98个，与其它信号引脚复用。详细定义请参考”IDO-SOM3568-V1-Pinout.xlsx”。核心板引脚中除了ADC、差分信号、RK809-5引脚、电源/地，其它1.8V/3.3V数字引脚基本都可以配置为GPIO使用。

使用时注意GPIO电源域是1.8V还是3.3V。另外参考”IDO-SOM3568-V1-Pinout.xlsx”中GPIO信号名称中后缀带\_d表示上电默认下拉(低电平)，后缀带\_u的表示上电默认上拉（高电平）。

比如在”IDO-SOM3568-V1-Pinout.xlsx”中，SOM3568-V1的31脚可配置为GPIO4\_C6，上电默认下拉（低电平）。SOM3568-V1的32脚可配置为GPIO0\_B3，上电默认上拉3.3V(高电平)，如下图所示：

|    |             |      |                     |         |      |
|----|-------------|------|---------------------|---------|------|
| 31 | SPI3_CS0_M1 | AE8  | PWM13_M1            |         | 3.3V |
|    |             |      | SPI3_CS0_M          | Default |      |
|    |             |      | SATA0_ACT_LED       |         |      |
|    |             |      | UART9_RX_M1         |         |      |
|    |             |      | I2S3 SDI M1         |         |      |
| 32 | I2C1_SCL    | AG24 | GPIO4_C6_d          |         | 3.3V |
|    |             |      | I2C1_SCL            | Default |      |
|    |             |      | CAN0_TX_M0          |         |      |
|    |             |      | PCIE30X1_BUTTONRSTn |         |      |
|    |             |      | MCU JTAG TDO        |         |      |
|    |             |      | GPIO0 B3_u          |         |      |

### 注意：

深度待机时，大部分GPIO的电平域供电会掉电，需要在待机时保持状态的IO引脚，必须分配在GPIO0组。

## 3 SOM3568-V1硬件原理图CheckList

| 编号 | 检查事项                                                               | 检查状态                        |
|----|--------------------------------------------------------------------|-----------------------------|
| 1  | 核心板供电电压范围【3.8-5V】，靠近核心板供电引脚 加5.5V TVS管做浪涌保护。<br>采用独立DCDC，2A以上电流能力。 | <input type="checkbox"/> OK |
| 2  | 整板上电顺序：核心板供电(常供电) ->VCC_1V8 ->底板供电（3.3V，1.8V，5V）                   | <input type="checkbox"/> OK |
| 3  | 所有IO引脚，不得有在核心板VCC_1V8上电前向IO灌电的行为                                   | <input type="checkbox"/> OK |
| 4  | 是否需要插电开机，PMIC_VDC是否按照要求设计分压电阻？                                     | <input type="checkbox"/> OK |

|    |                                                                                                                                      |                                 |
|----|--------------------------------------------------------------------------------------------------------------------------------------|---------------------------------|
| 5  | <p>是否需求关机和待机状态。</p> <p>关机状态和待机状态下，核心板是否保持供电？</p> <p>待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？</p> <p>Power键是否留出？</p>                        | <input type="checkbox"/> O<br>K |
| 6  | <p>有待机需求时，有哪些待机时需要保持状态的IO引脚，这些引脚需要分配在GPIO0组</p>                                                                                      | <input type="checkbox"/> O<br>K |
| 7  | <p>USB0 OTG 接口是否有引出，方便下载烧录。</p> <p>USB_OTG_PWREN_H是否选用上电默认拉低的GPIO引脚？</p>                                                             | <input type="checkbox"/> O<br>K |
| 8  | <p>调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？</p>                                                                                             | <input type="checkbox"/> O<br>K |
| 9  | <p>SARADC_VIN0_KEY/RECOVERY 网络是否符合参考设计有预留按键或测试点？</p>                                                                                 | <input type="checkbox"/> O<br>K |
| 10 | <p>使用SDIO的WIFI模块，供电和IO电平，32K时钟，晶振 等是否符合参考设计</p>                                                                                      | <input type="checkbox"/> O<br>K |
| 11 | <p>SD/TF卡是否符合参考设计？</p>                                                                                                               | <input type="checkbox"/> O<br>K |
| 12 | <p>以太网设计，RGMII， RMII 相关引脚电平是否与PHY芯片的IO电平 匹配？</p>                                                                                     | <input type="checkbox"/> O<br>K |
| 13 | <p>音频接口符合参考设计？</p>                                                                                                                   | <input type="checkbox"/> O<br>K |
| 14 | <p>MIPI DSI /LVDS 显示接口，确认屏幕线序定义，供电时序 符合要求？</p> <p>确认屏幕分辨率和刷新率在支持范围？</p> <p>MIPI RESET是否有GPIO控制？</p> <p>背光和供电在待机/关机状态下是否有漏电问题？</p>    | <input type="checkbox"/> O<br>K |
| 15 | <p>MIPI CSI 摄像头接口，是否有2Lane拆分，信号线分配是否符合参考设计？</p> <p>摄像头模组定义，确认线序定义，供电时序，供电电压电流符合要求？</p> <p>摄像头Sensor是否在支持列表？</p> <p>待机/关机状态下是否有漏电</p> | <input type="checkbox"/> O<br>K |
| 16 | <p>每组IIC总线是否有上拉电阻，电平是否匹配？</p> <p>IIC 上连接的外设地址是否冲突，最高速率是否有冲突？</p> <p>同一组IIC总线下的外设，是否存在待机/关机时供电状态不一致的问题？</p>                           | <input type="checkbox"/> O<br>K |

|    |                                                                                                             |                             |
|----|-------------------------------------------------------------------------------------------------------------|-----------------------------|
| 17 | 每个串口（UART，RS232, RS485, RS422）和 CAN 接口：<br>串口要求的最高波特率和接口芯片用料是否相符？<br>电平是否匹配？<br>接口芯片上电顺序是否晚于VCC_1V8核心板供电输出？ | <input type="checkbox"/> OK |
| 18 |                                                                                                             |                             |
| 19 |                                                                                                             |                             |
| 20 |                                                                                                             |                             |