

IDO-SOM3562-V1 硬件设计指南

1 芯片简介

1.1 模块介绍

1.2 产品图片

2 硬件设计说明

2.1 电源系统

2.2 调试下载相关电路

2.3 USB3.0/2.0

2.4 SDMMC0/1

2.5 以太网

2.6 音频接口

2.7 显示接口(MIPI-DSI/LVDS/RGB)

2.8 PCIe2.1

2.11 MIPI-CSI接口

2.13 UART

2.14 CAN总线

2.15 I2C总线

2.16 ADC

2.17 SPI

2.18 PWM

2.19 GPIO

3 SOM3562硬件原理图CheckList

IDO-SOM3562-V1

硬件设计指南

深圳触觉智能科技有限公司

www.industio.cn

www.industio.cn

文档修订历史

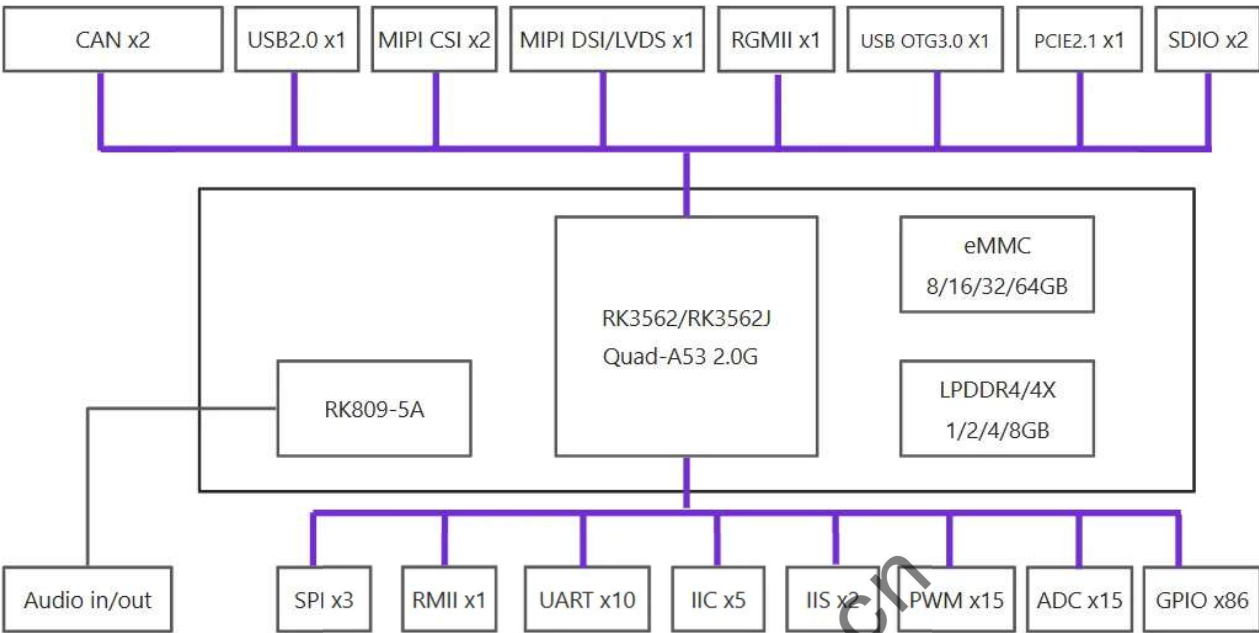
版本	PCBA 版本	修订内容	修订	审核	日期
V1.0	V1A	创建文档	LYJ	IDO	2023/09/15
v1.1	V1B	文档优化	LZR	IDO	2024/04/19

V1.2	V1B	增加USB参考设计,待机说明，调试下载电路，RGB显示接口，原理图Checklist；修改电源系统，以太网，PWM，GPIO等部分。	CW	IDO	2024/06/22
------	-----	--	----	-----	------------

1 芯片简介

Rockchip 新一代 64 位处理器 RK3562 (Quad-core ARM Cortex-A53，主频最高 2.0GHz)；最大支持 8GB 内存；内置独立的 NPU，可用于轻量级人工智能应用。RK3562 拥有 PCIE2.1 / USB3.0 OTG / 双以太网等各类型接口，支持多种视频输入输出接口；RK3562 的目标应用

有：物联网网关、平板电脑、智能家居、教育电子、工业显示、工业控制等行业定制市场。



1.1 模块介绍

IDO-SOM3562-V1是基于RK3562系列CPU开发设计的一款高性能核心板，搭载Android、LINUX 系统。在超小 PCB 面积上，核心板板载 LPDDR4/4X、eMMC、PMIC、扩展 MIPI-CSI、MIPI-DSI、PCIE2.1、USB3.0等接口和多达86路多功能 GPIO，接口丰富。IDO-SOM3562-V1模块框图，如下图所示：

IDO-SOM3562-V1核心板主要功能，如下表所示：

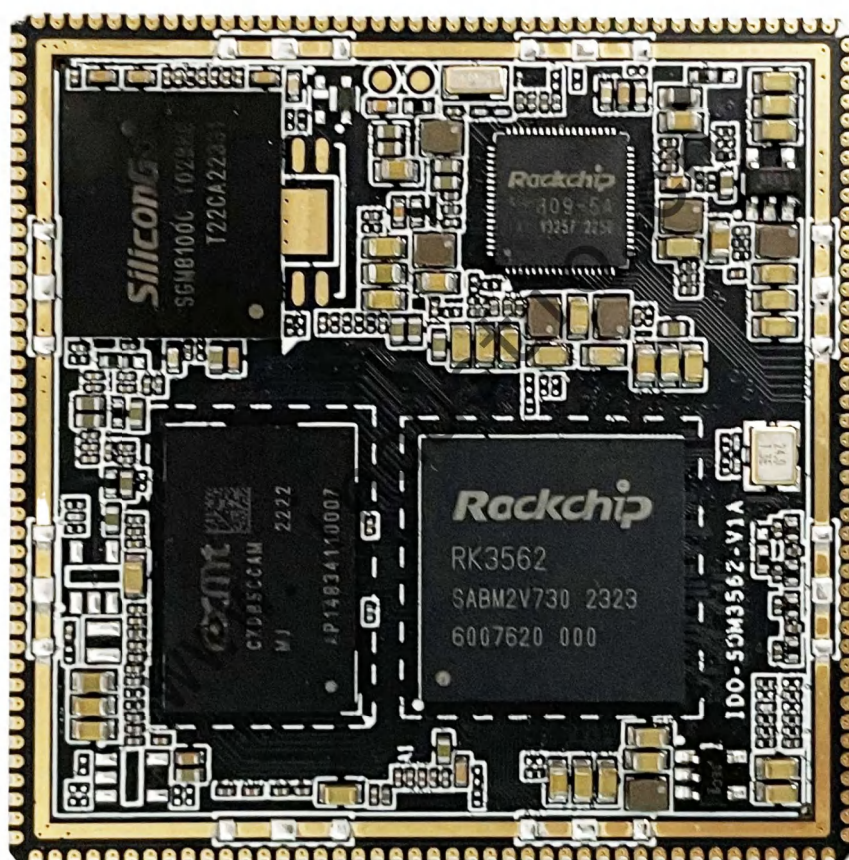
基本参数	
SOC	RockChip RK3562
CPU	四核 64 位Cortex-A53 处理器，主频最高2.0GHz
GPU	ARM G52 2EE 支持 OpenGL ES 1.1/2.0/3.2, OpenCL 2.0, Vulkan 1.1 内嵌高性能2D 加速硬件
NPU	1TOPS的神经网络加速引擎 支持integer 8, integer 16, oat point 16, bfloat point 16 and tf32神经网络运算 支持深度学习框架：TensorFlow、TF-lite、Pytorch、Caffe、ONNX、MXNet、Keras、Darknet

VPU	支持 4K 30fps H.265/H.264/VP9 视频解码 支持 1080P 60fps H.264 视频编码 支持 13M ISP, 支持HDR
内存	LPDDR4/LPDDR4x, 默认2GB/4GB (最高支持8GB)
存储	eMMC 默认16GB/32GB (可选16GB/32GB/64GB)
硬件参数	
以太网	集成1路RMII, 支持百兆以太网 (100 Mbps) 集成1路RGMII, 支持千兆以太网 (1000 Mbps)
显示接口	1 × MIPI DSI 4Lane, 支持2048*1080@60fps 输出 (或1 × LVDS, LVDS最高支持到800*1280@60fps)
摄像头	支持多路摄像头视频采集 (4Lanes+4Lanes 2路MIPI CSI或者2Lanes+2Lanes+4Lanes MIPI CSI 3路MIPI CSI 或者2Lanes+2Lanes+2Lanes+2Lanes 4路MIPI CSI)
音频接口	1 × HPR/L, 双声道耳机输出 1 × SPK, 功放输出 2 × MIC输入
USB	1 × USB3.0 OTG 1 × USB2.0 HOST
PCIe	1 × PCIe 2.1
扩展接口	UART x10 SPI x3 I2C x5 I2S x3 SDIO x2 PWM x15 ADC x15 GPIO x86 CANx2 [RK3562J]
其他	
主板尺寸	4.5cm × 4.5cm

接口类型	172Pin 间距1.1mm邮票孔 + 10Pin 背面焊盘
PCB规格	板厚1.1mm，8层板，高Tg材质，沉金工艺

1.2 产品图片

IDO-SOM3562-V1核心板正面，如下图所示：



IDO-SOM3562-V1核心板背面，如下图所示：



2 硬件设计说明

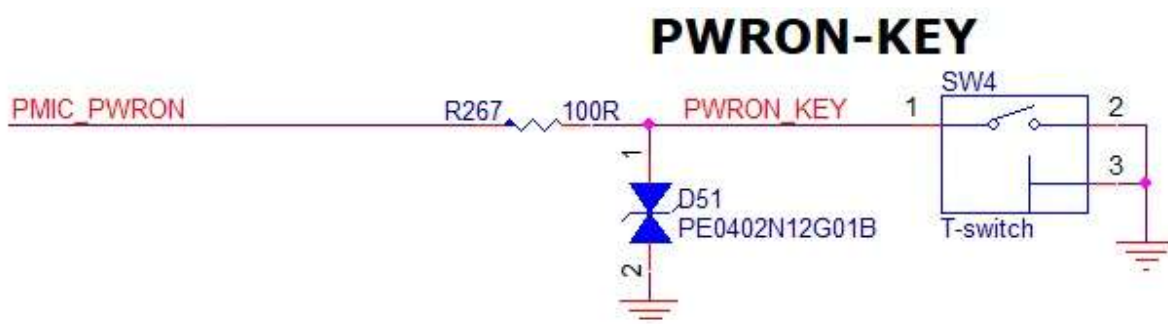
2.1 电源系统

IDO-SOM3562-V1电源相关引脚说明，如下表所示：

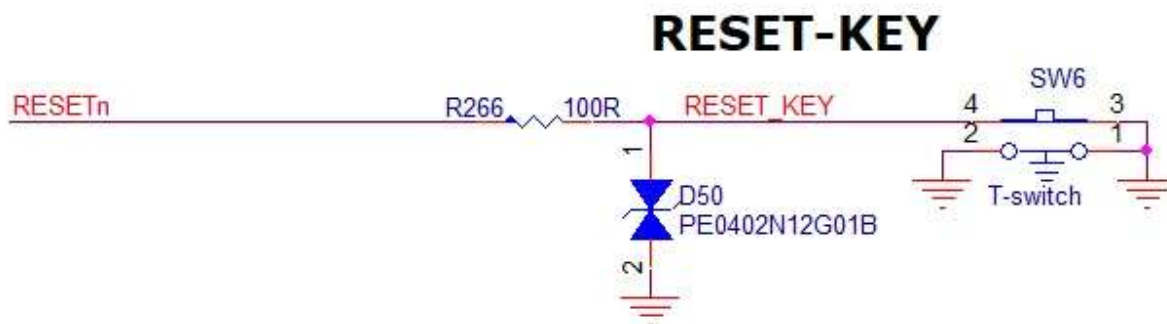
电源相关引脚	引脚编号	方向	引脚说明
VCC5V0	1,2	电源输入	系统主要输入供电，推荐独立DCDC，支持2A持续和3A瞬间电流供电能力， 电压范围【3.6–5V】 ， 推荐4.5V供电 。浪涌电压超过5.5V 可能对核心板上电源芯片造成损害。 靠近引脚加TVS管，做5.5V浪涌保护。
VCCIO4	31	电源输入	CPU 三组 IO 的电源域供电输入，必须供电 ，且只能在核心板输出的VCC_1V8_OUT或VCC_3V3_OUT两

VCCIO5	76	电源输入	个电源二选一。应根据实际需要选择相应IO组电平，每个IO电源域对应的IO组详见 IDO-SOM3562-V1-PINOUT 表格
VCCIO6	116	电源输入	
VCC_1V8_OUT	17	电源输出	1.8V对外供电,仅用于1.8V电源域参考电平,不能用于负载供电。
VCC_3V3_OUT	7	电源输出	3.3V对外供电,仅用于3.3V电源域参考电平,不能用于负载供电。
VCC3V3_SD_OUT	9	电源输出	仅用于外接SD/TF卡供电，无SD/TF卡时可悬空。
PMIC_VDC	5	电源检测输入	检测DC电源，用于插电开机控制。VDC电压第一次>0.55V，自动触发开机。无需插电自动开机时，可下拉到地。
PMIC_EXT_EN	8	关机控制输出	开机输出高(3.3V)，关机时输出低，关机控制输出。
PMIC_PWRON	4	开关机按键输入	开关机按键信号输入检测引脚，用于连接按键输入。内部上拉30K到3.3V。
PMIC_SLEEP	15	待机控制输出	待机控制输出，待机输出高(3.3V)，正常工作时输出低。
RESETn	6	双向	当上电或欠压（核心板供电电压<2.7V）以及复位（reboot）时，此引脚会拉低（输出低）。正常工作状态下，外部拉低此引脚，会触发系统复位。

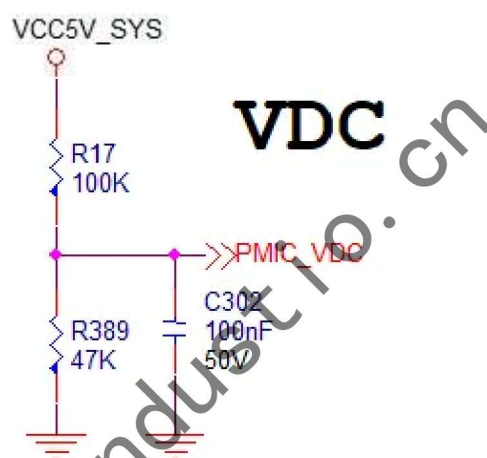
开关机按键参考设计：



复位按键参考设计：



上电自动开机的VDC参考设计：



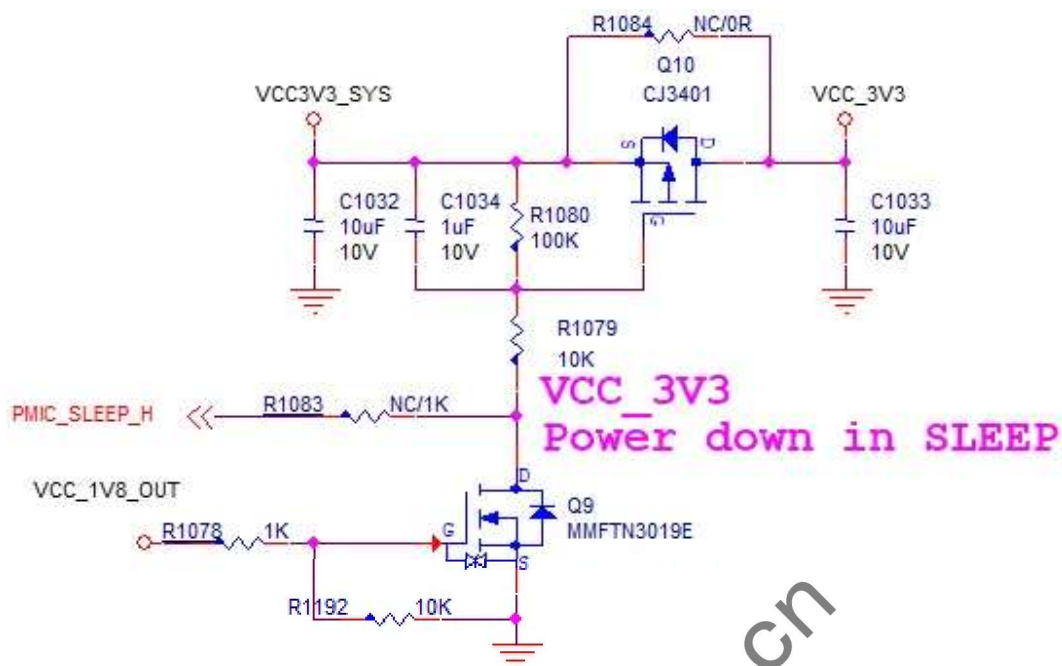
上电时序要求

1. 核心板主供电VCC5V_SYS (引脚1,2) 优先供电。
2. 底板1.8V 和 3.3V 供电在VCC_1V8_OUT输出后再上电。可用VCC_1V8_OUT作为底板1.8V 和 3.3V 供电使能。

关于待机

1. 待机指示

待机时15脚PMIC_SLEEP会输出高（3.3V）。VCC_1V8_OUT 会掉电。底板外围电源在待机时需要关闭的可以用PMIC_SLEEP或者VCC_1V8_OUT控制。参考下图：



2. 待机保持的IO引脚

RK3562进入深度待机状态时，只有CPU和DDR部分区域保持供电。大部分的IO电源也是断电的，所以如果需要深度待机时，仍然可以保持状态的IO，需要选取待机时保持供电的IO组。SOM3562深度待机后保持供电的IO组为GPIO0组。如下图示：

172	REF_CLK_OUT/GPIO0_A0_d	
171	I2C4_SDA_M1/SDMMC0_DET/GPIO0_A4_u	PMUIO0
170	PMU_DEBUG/I2C4_SCL_M1/SDMMC0_PWREN/GPIO0_A5_d	3.3V
169	PCIE20_CLKREQN_M0/GPIO0_A6_d	
168	PCIE20_BUTTONRSTN/CLK0_32K_OUT/CLK_32K_IN/GPIO0_B0_d	
	PWM3_M0/GPIO0_A7_d	
153	I2C1_SCL_M0/GPIO0_B3_d	
154	I2C1_SDA_M0/GPIO0_B4_d	待机时保持供电
155	PCIE20_PERSTN_M0/I2C2_SCL_M0/GPIO0_B5_d	
156	PCIE20_WAKEN_M0/I2C2_SDA_M0/GPIO0_B6_d	
157	SPDIF_TX_M1/CPU_AVS/PWM4_M0/SPI0_CSN1_M0/GPIO0_B7_d	PMUIO1
158	GPU_AVS/PWM7_M0/UART2_TX_M0/CAN1_TX_M1/GPIO0_C0_d	3.3V
159	SPI0_CSN0_M0/PWM5_M0/UART2_CTSN_M0/GPIO0_C2_d	
160	SPI0_CLK_M0/PWM0_M0/UART2_RTSN_M0/GPIO0_C3_d	
161	SPI0_MOSI_M0/PWM1_M0/UART6_CTSN_M0/GPIO0_C4_d	
162	SPI0_MISO_M0/PWM2_M0/UART6_RTSN_M0/GPIO0_C5_d	
163	UART6_TX_M0/CAN0_TX_M2/GPIO0_C6_d	
164	UART6_RX_M0/CAN0_RX_M2/GPIO0_C7_d	
165	JTAG_CPU_MCU_TMS_M0/UART0_RX_M0/GPIO0_D0_u	
166	JTAG_CPU_MCU_TCK_M0/UART0_TX_M0/GPIO0_D1_u	

这两组IO可用于待机唤醒，深度待机时状态需要保持状态的IO脚也应采在这两组中选取。

3. 待机功耗

SOM3562核心板的待机功耗实际测试在【6mA-8mA】5V。

电源设计注意事项：

1. 核心板VCC5V_SYS 注意浪涌保护，过冲电压必须<5.5V。 否则容易烧坏核心板电源芯片。

- 2. 严格按照上电时序要求。
- 3. VCCIO4, VCCIO5, VCCIO6 三组IO供电, 务必从核心板输出电源VCC_1V8_OUT, VCC_3V3_OUT 中二选一。
- 4. VCC_1V8_OUT, VCC_3V3_OUT 两组供电输出, 只能用于IO电压域供电, 不得用于负载供电。供电限流100mA。
- 5. 注意各路IO引脚电平匹配。
- 6. 注意各路IO不得在核心板上电前对核心板带电输出。IO向核心板灌电会导致启动异常或芯片损伤。

2.2 调试下载相关电路

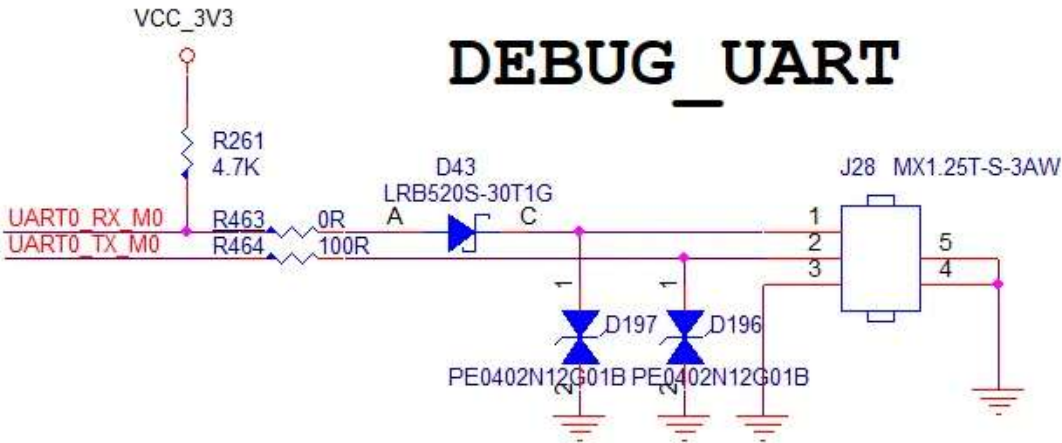
所有基于SOM3562的底板设计, 都强烈建议保留下面三种调试下载相关电路!

- 1. USB0 OTG接口, 主要用于固件下载及ADB调试
具体电路参考2.3节 USB3.0/2.0
- 2. 调试串口, 用于系统日志消息和控制终端命令行操作, 系统默认使用的调试串口是UART0 (M0组)。

UART资源	引脚编号	UART信号定义	电源域
UART0 (M0组)	165	UART0_RX_M0	3.3V(调试串口)
	166	UART0_TX_M0	

设计注意事项:

调试串口在使用时经常连接USB转UART TTL 模块, 经常在SOM3562未上电时, UART0_RX_M0已经由USB转UART TTL 模块灌电。强烈建议采用RS232芯片转换或者采用下面转换电路避免引脚灌电:



3. 启动模式及功能按键

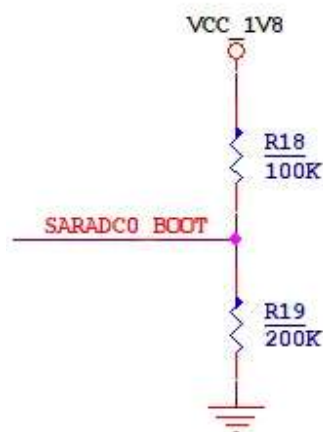
引脚号	引脚定义	电源域	描述
179	SARADC0_BOOT	1.8V	BOOT模式选择，用于启动模式选择，引脚悬空时，内部模认分压从eMMC优先启动；一般做成BOOT按键，按下按键短接到GND，再上电可强制进入Maskrom烧录模式
56	SARADC0_IN1_KEY/RECOVERY	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V。

SARADC0_BOOT在核心板上按照下图config7已经做了分压电阻，启动顺序为eMMC--SD Card--USB。SOM3562核心板上的分压配置如下图：

BOOT_Config

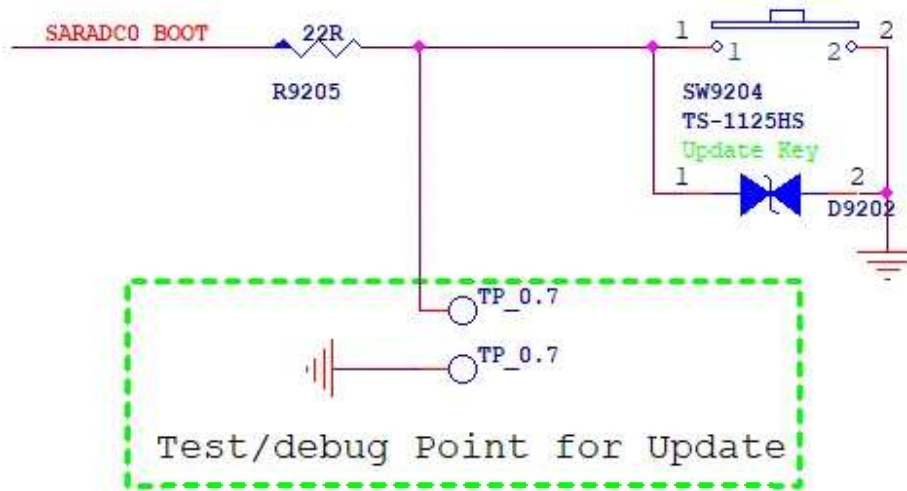
Maskrom/Update Key Value

<i>Config Table for SARADC0_BOOT</i>				
<i>Item</i>	<i>Rup</i>	<i>Rdown</i>	<i>ADC Value</i>	<i>Boot Mode</i>
Config1	DNP	100K	0	USB (Maskrom mode)
Config2	100K	12K	114	Do Not Use
Config3	100K	27K	228	FSPI--USB
Config4	100K	51K	342	Do Not Use
Config5	100K	82K	456	Do Not Use
Config6	100K	120K	570	eMMC--USB
Config7	100K	200K	683	eMMC--SD Card--USB
Config8	100K	330K	796	SD Card--USB
Config9	100K	820K	910	Do Not Use
Config10	100K	NC	1023	FSPI--eMMC--SD Card--USB



底板上的BOOT按键参考电路，如下图：

Maskrom/Update Key

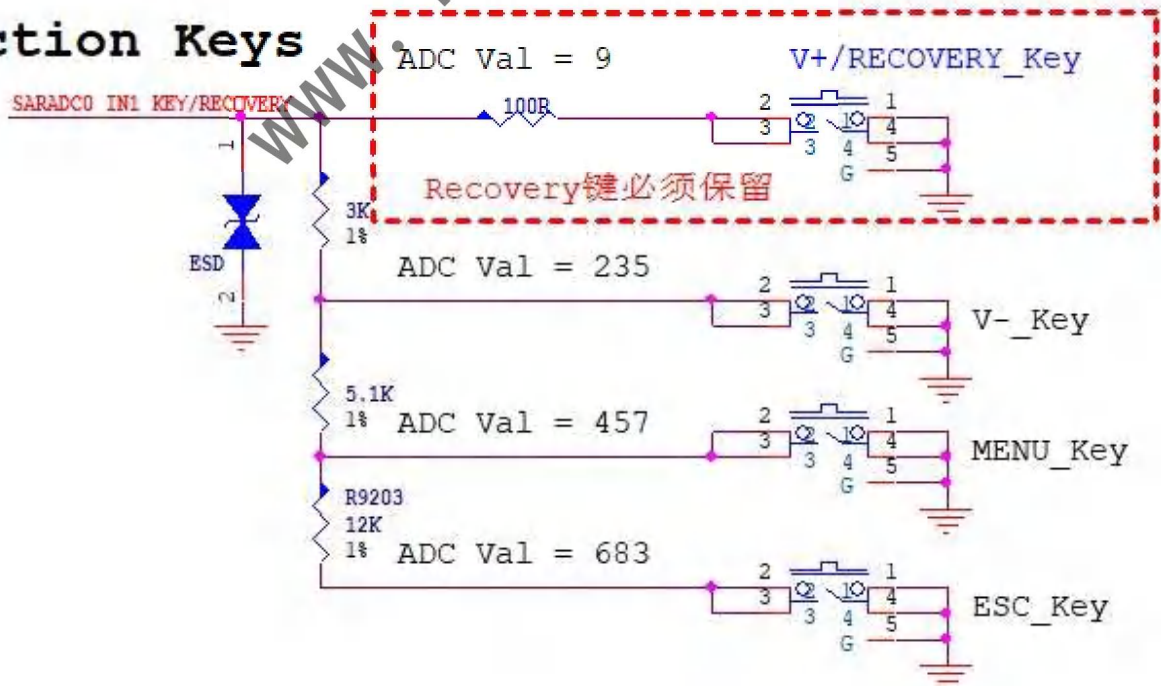


当系统变砖时，启动时BOOT模式按键处于按下状态，即将SARADC0_BOOT保持为低电平（0V），则 RK3562 进入 Maskroom 模式，当 PC 识别到 USB 设备时，即可进行固件烧写。

注意：为了方便开发，建议预留BOOT按键或预留测试点。

SARADC0_IN1_KEY/RECOVERY 系统默认用作功能按键，核心板上已经做了10K电阻上拉，功能按键参考下图设计：

Function Keys



注意：为了方便开发，强烈建议必须保留V+/Recovery按键。

2.3 USB3.0/2.0

IDO-SOM3562-V1核心板具有1路USB3.0 OTG和1路USB2.0 HOST，其中USB3.0 OTG 与PCIE2.1引脚复用。

USB3_OTG0 引脚资源如下表所示：

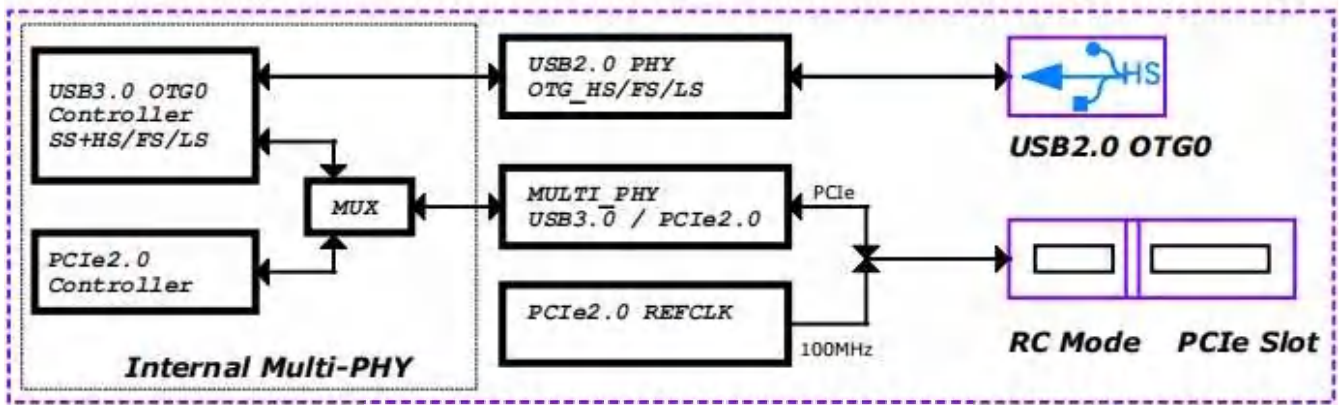
引脚编号	引脚名称	连接方式	备注
24	USB30_OTG0_SSTX P	串接100nF 电容	可复用为PCIE20_TXP
25	USB30_OTG0_SSTX N		可复用为PCIE20_TXN
18	USB3_OTG0_DM	串接 2. 2ohm 电阻	USB2.0 OTG 可用于固件下载烧录和ADB 调试
19	USB3_OTG0_DP		
26	USB30_OTG0_SSRX P	串接100nF 电容	可复用为PCIE20_RXP
27	USB30_OTG0_SSRX N		可复用为PCIE20_RXN
21	USB30_OTG0_VBUS DET	电阻分压检测	OTG0 VBUS检测，高有效（3.3V）
20	USB30_OTG0_ID	/	USB OTG ID 识别 Micro USB 接口时需要 使用

USB2.0 HOST 引脚资源，如下表所示：

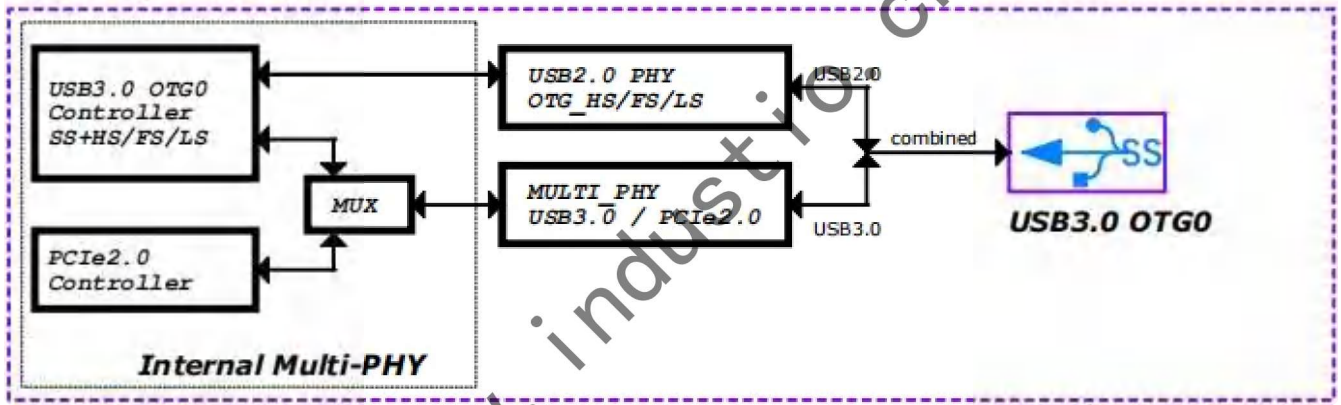
引脚编号	引脚名称	备注
22	USB20_HOST1_DM	/
23	USB20_HOST1_DP	/

USB3.0 OTG0 与PCIE2.0 存在引脚复用，实际可以配置为两种模式 USB2.0 OTG0+PCIE2.0 或者 USB3.0 OTG0：

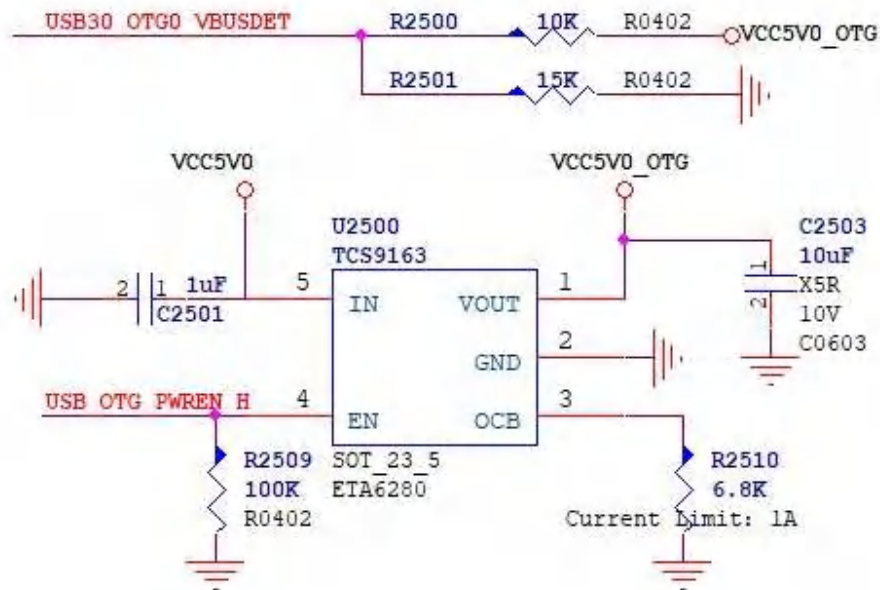
Case1: USB2.0 OTG0 + PCIE2.0 x1 Lane



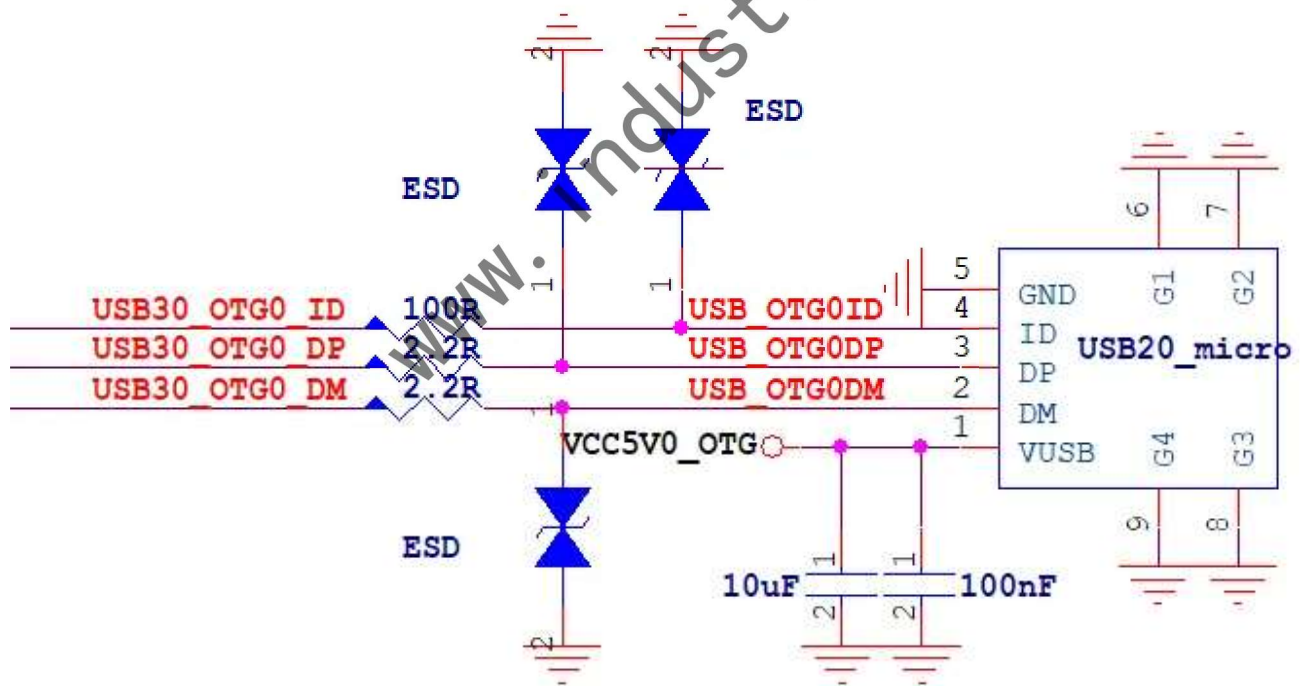
Case2: USB3.0 OTG0



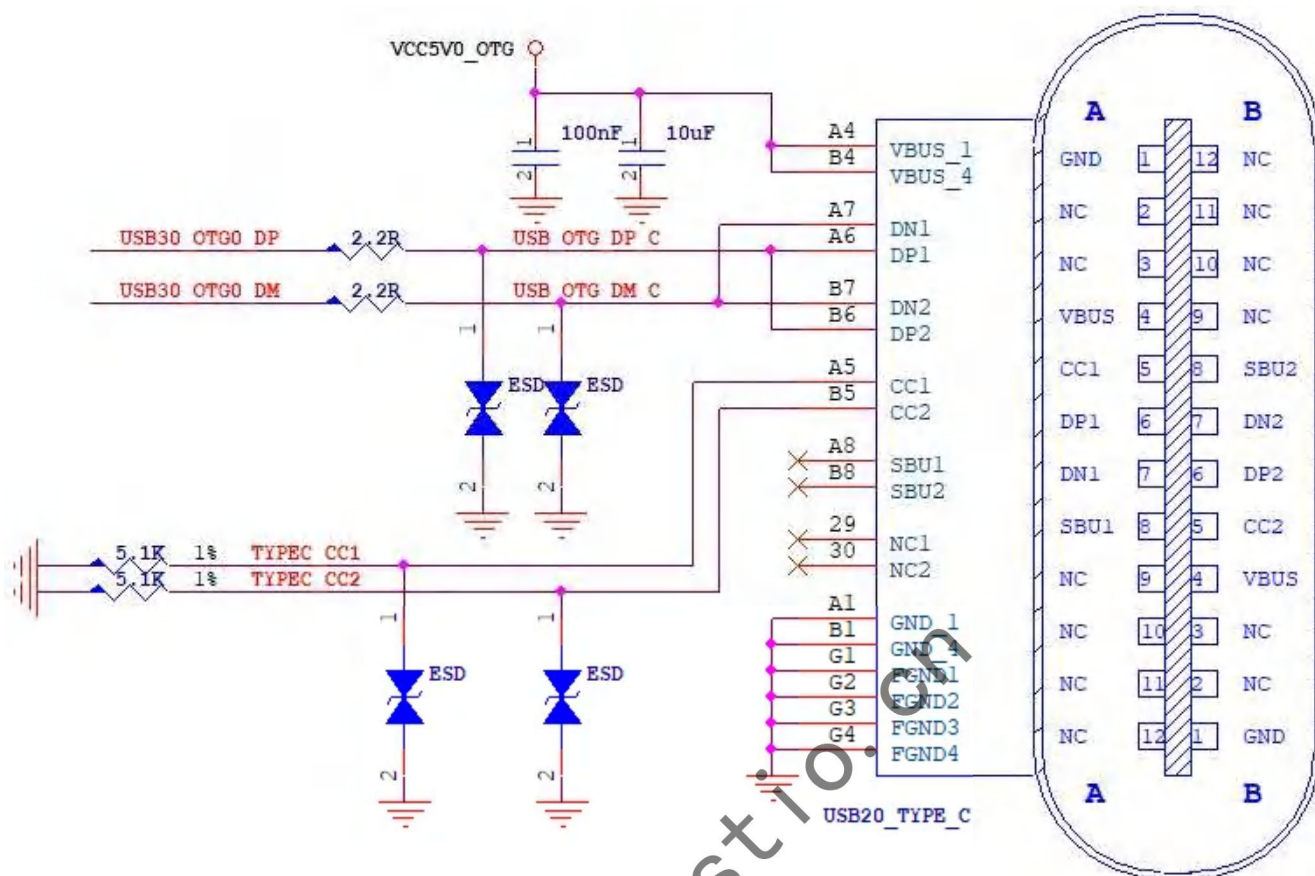
USB OTG0 的供电使能USB_OTG_PWREN_H要选用上电默认拉低的GPIO引脚，且注意功率开关EN脚开启电压与USB_OTG_PWREN_H引脚电平是否匹配。USB30_OTG0_VBUSDET 检测OTG0的VBUS电压，耐压3.3V,要分压后检查。



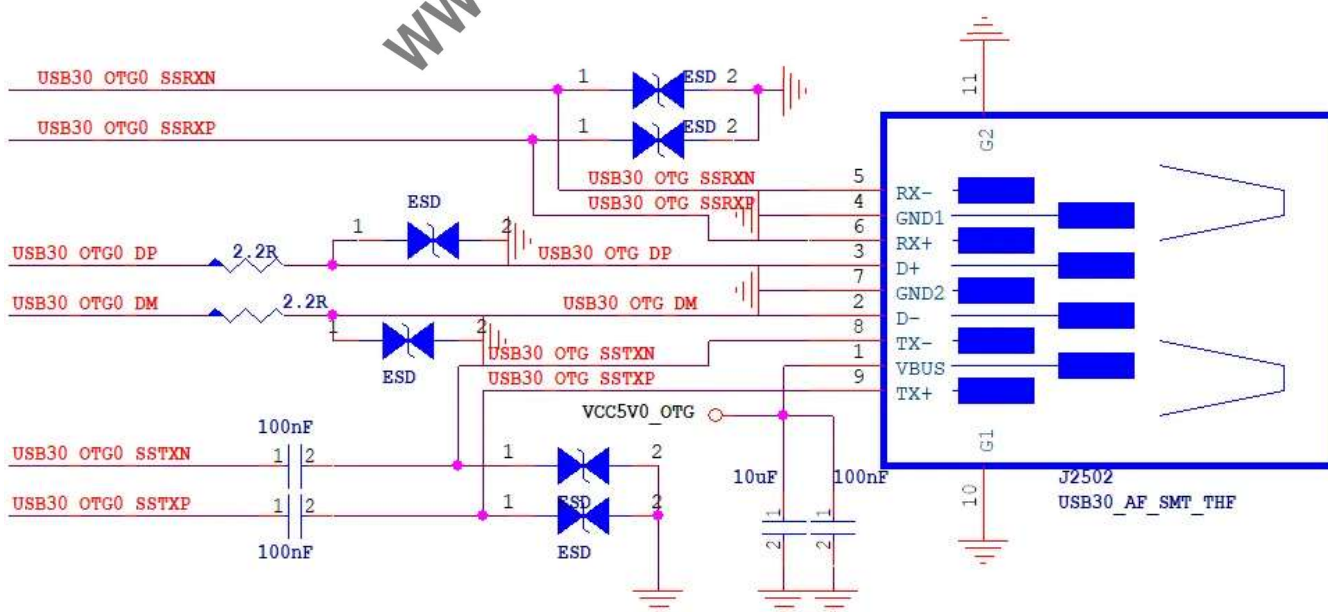
USB OTG0连接MircoUSB, TYPEC, USB-TYPEA 三种连接参考电路如下:



MicroUSB的连接电路



TYPE-C座子的连接参考[默认从设备]



USB3.0 OTG TYPE-A 座连接参考

设计注意事项:

- 1. ESD 务必采用Cj<0.4pF的型号。USB的差分对上ESD型号必须一致。
- 2. 2.2R电阻只能串在USB2.0 信号线上。主要用于ESD改善。
- 3. USB差分走线严格按照90ohm差分阻抗，差分对内等长误差<5mil。ESD对称摆放。
- 4. USB3.0 差分线换层过孔<=2个。外接长线缆USB3.0设备时，建议加USB3.0 HUB芯片。

2.4 SDMMC0/1

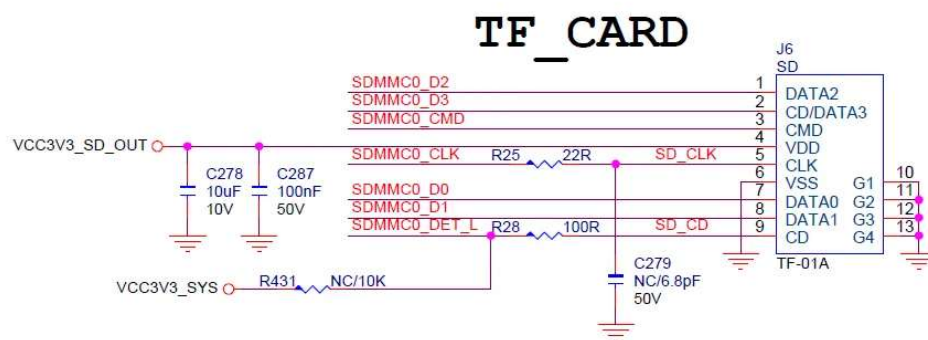
SOM3562-V1核心板扩展出2路MMC/SDIO资源，兼容SDIO3.0和MMC ver4.51，4bit数据位宽，可用于扩展SD卡和WIFI模块。

注意：其中SDMMC0 和 SDMMC1最高只支持到 150MHz。

SDIO/MMC0主要用于连接SD存储卡，也可用于WIFI模块SDIO接口，引脚资源如下表所示：

引脚编号	引脚名称	电源域	备注
50	SDMMC0_D0	3.3V/1.8V	SD卡Data0
49	SDMMC0_D1	3.3V/1.8V	SD卡Data1
54	SDMMC0_D2	3.3V/1.8V	SD卡Data2
53	SDMMC0_D3	3.3V/1.8V	SD卡Data3
52	SDMMC0_CMD	3.3V/1.8V	SD卡CMD信号
51	SDMMC0_CLK	3.3V/1.8V	SD卡时钟信号
171	SDMMC0_DET_L	3.3V	SD卡座检测引脚
9	VCC3V3_SD_OUT	3.3V/400mA OUTPUT	SD卡供电

MMC/SDIO0外接TF卡参考设计，如下图所示：



SDIO/MMC1引脚资源，如下表所示：

引脚编号	引脚名称	电源域	备注
48	SDMMC1_D0	VCCIO4	SDIO_D0
47	SDMMC1_D1	VCCIO4	SDIO_D1
46	SDMMC1_D2	VCCIO4	SDIO_D2
45	SDMMC1_D3	VCCIO4	SDIO_D3
44	SDMMC1_CMD	VCCIO4	SDIO_CMD
43	SDMMC1_CLK	VCCIO4	SDIO_CLK

注意:

1. 走线阻抗控制50ohm，参考面完整，整组走线等长控制±100mil。
2. 建议串匹配电阻（典型值22ohm），时钟信号匹配电阻靠近SOM3562引脚侧放置，时钟信号预留2.2pF电容。

2.5 以太网

RK3562内部有1个GMAC和1个EMAC，可用于扩展2路以太网功能。通过RGMII信号连接千兆PHY芯片，RMII信号可连接百兆PHY芯片。

注意：引脚的电源域有3.3V和1.8V两种，PHY芯片的IO电压要和核心板的IO电平匹配。

RK3562内部的GMAC控制器有两组信号引脚可选，分别为M0和M1两组。GMAC RGMII（M0组）引脚资源，如下表所示：

引脚编号	GMAC RGMII 信号定义	RMII 信号定义	电源域
102	RGMII_TXD0_M0	RMII_TXD0	VCCIO6
103	RGMII_TXD1_M0	RMII_TXD1	VCCIO6
96	RGMII_TXD2_M0	/	VCCIO6
97	RGMII_TXD3_M0	/	VCCIO6
104	RGMII_TXEN_M0	RMII_TXEN	VCCIO6
98	RGMII_TXCLK_M0	/	VCCIO6
105	RGMII_RXD0_M0	RMII_RXD0	VCCIO6
106	RGMII_RXD1_M0	RMII_RXD1	VCCIO6
99	RGMII_RXD2_M0	/	VCCIO6
100	RGMII_RXD3_M0	/	VCCIO6
107	RGMII_RXDV_M0	RMII_CRS_DV	VCCIO6
101	RGMII_RXCLK_M0	RMII_CLK	VCCIO6
108	RGMII_RXER_M0	RMII_RXER	VCCIO6
115	RGMII_CLK_M0	/	VCCIO6
110	RGMII_MDC_M0	/	VCCIO6
111	RGMII_MDIO_M0	/	VCCIO6

GMAC RGMII (M1组) 与EMAC RMII 复用部分引脚在IO4引脚组，如下表所示：

引脚编号	GMAC RGMII 信号定义	EMAC RMII 信号定义	电源域
40	RGMII_TXD0_M1	RMII_TXD0	VCCIO4
39	RGMII_TXD1_M1	RMII_TXD1	VCCIO4
48	RGMII_TXD2_M1	/	VCCIO4
47	RGMII_TXD3_M1	/	VCCIO4
38	RGMII_TXEN_M1	RMII_TXEN	VCCIO4
46	RGMII_TXCLK_M1	/	VCCIO4

37	RGMII_RXD0_M1	RMII_RXD0	VCCIO4
34	RGMII_RXD1_M1	RMII_RXD1	VCCIO4
45	RGMII_RXD2_M1	/	VCCIO4
44	RGMII_RXD3_M1	/	VCCIO4
35	RGMII_RXDV_M1	RMII_CRS_DV	VCCIO4
43	RGMII_RXCLK_M1	/	VCCIO4
33	RGMII_RXER_M1	RMII_RXER	VCCIO4
36	RGMII_CLK_M1	RMII_CLK	VCCIO4
42	RGMII_MDC_M1	RMII_MDC	VCCIO4
41	RGMII_MDIO_M1	RMII_MDIO	VCCIO4

注意：

1. EMAC引脚只复用在IO4组。因此当需要同时做双路网口时，IO4组只能配置为RMII给EMAC使用，GMAC则要分配到IO6组。GMAC也支持降为RMII_百兆PHY接口。
2. 考虑到大部分百兆PHY芯片IO电平为3.3V，当配置为RMII时，对应的IO电平 VCCIO4或者VCCIO6电源也要连接到核心板的VCC_3V3_OUT电源。
3. 只需要1个百兆网口时，可以用GMAC在IO6组的RMII信号，也可以使用EMAC在IO4组的RMII。当只需要1个千兆网口时，可以任意选择IO4组或者IO6组的RGMII信号引脚。

2.6 音频接口

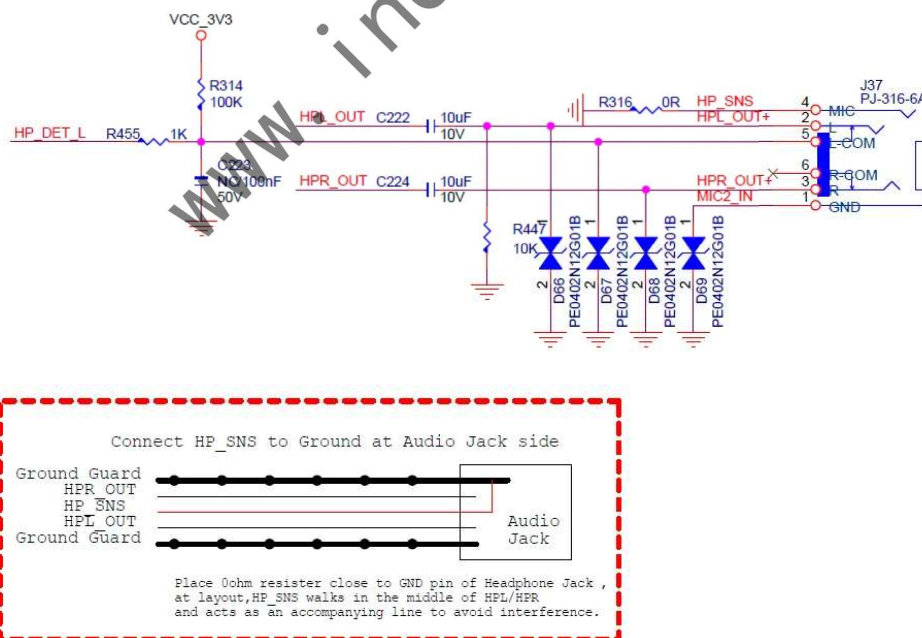
RK3562支持的音频接口清单，如下表所示：

音频接口资源	资源详情	说明
I2S	I2S0	RK809-5A占用
	I2S2	双通道
	I2S3	双通道
SPDIF	1路	8通道
PDM	1路	8通道

IDO-SOM3562板载PMIC RK809-5A内部集成了一路Codec，占用了I2S0资源，核心板输出一路耳机音频输出（双通道），支持一路Mic输入，支持一个8ohm 1W喇叭。相关引脚定义，如下表所示：

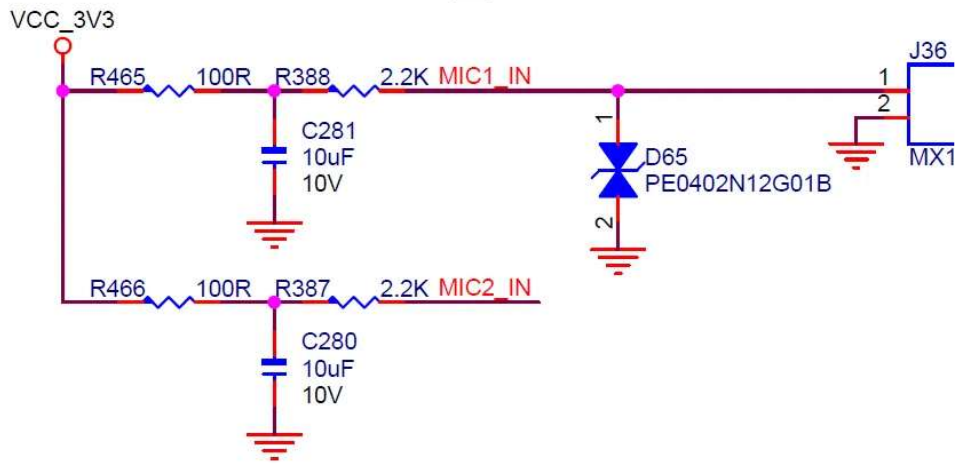
引脚编号	引脚定义	说明
10	HPL_OUT	Left channel output of the headphone
11	HP_SNS	Reference ground for the headphone
12	HPR_OUT	Right channel output of the headphone
14	MIC1_IN	Positive input of the Microphone
13	MIC2_IN	Negative input of the Microphone
175	SPKN_OUT	D类功放，喇叭输出 N，1W功率
174	SPKP_OUT	D类功放，喇叭输出 P，1W功率

如果使用四段耳机座本地 MIC 需求时，RK809-5A 的模拟 ADC 配置拆分两个单端输入。四段耳机座带MIC单端输入电路，如下图所示：

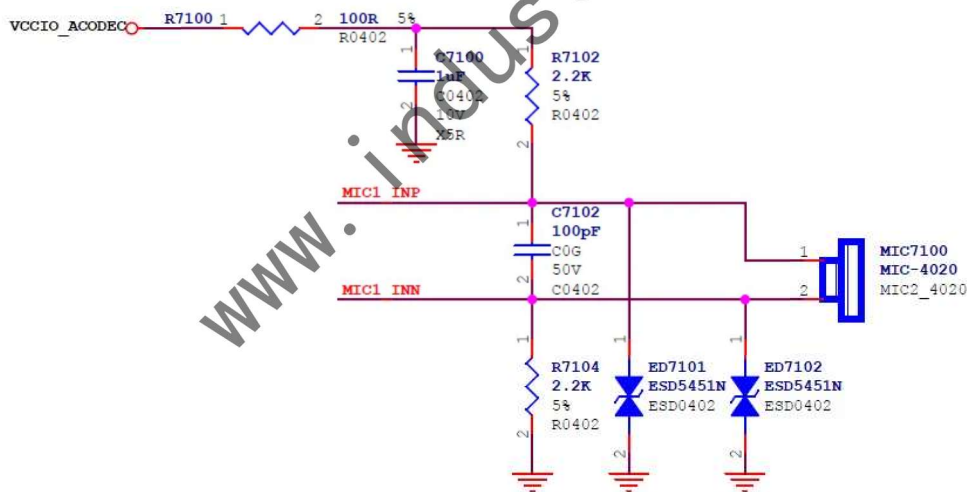


驻极体MIC单端输入电路，如下图所示：

MIC_IN



如果使用三段耳机座时，本地MIC 可使用 RK809-5A 的模拟 ADC 配置为一个差分输入（相比单端输入，差分输入具有更好的录音效果 偏置电源需要 100ohm 电阻和 10uF 以上电容进行 RC 滤波。驻极体MIC 差分输入电路，如下图所示：



I2S1 (M0组) 引脚，如下表所示：

引脚编号	I2S2信号	电源域	说明
91	I2S1_SDI0_M0	VCCIO6	I2S serial data input
92	I2S1_SDI1_M0	VCCIO6	I2S serial data input
93	I2S1_SDI2_M0	VCCIO6	I2S serial data input

94	I2S1_SDI3_M0	VCCIO6	I2S serial data input
90	I2S1_SDO0_M0	VCCIO6	I2S serial data output
112	I2S1_SDO1_M0	VCCIO6	I2S serial data output
113	I2S1_SDO2_M0	VCCIO6	I2S serial data output
114	I2S1_SDO3_M0	VCCIO6	I2S serial data output
89	I2S1_LRCK_M0	VCCIO6	I2S left & right channel signal for receiving serial data, synchronous left & right channel.
88	I2S1_SCLK_M0	VCCIO6	I2S serial clock for receive data
87	I2S1_MCLK_M0	VCCIO6	I2S clock source

I2S1 (M1组) 引脚，如下表所示：

引脚编号	I2S2信号	电源域	说明
79	I2S1_SDI0_M1	VCCIO5	I2S serial data input
80	I2S1_SDI1_M1/I2S1_SDO3_M1	VCCIO5	I2S serial data input/I2S serial data output
81	I2S1_SDI2_M1/I2S1_SDO2_M1	VCCIO5	I2S serial data input/I2S serial data output
82	I2S1_SDI3_M1/I2S1_SDO1_M1	VCCIO5	I2S serial data input/I2S serial data output
83	I2S1_SDO0_M1	VCCIO5	I2S serial data output
84	I2S1_LRCK_M1	VCCIO5	I2S left & right channel signal for receiving serial data, synchronous left & right channel.
85	I2S1_SCLK_M1	VCCIO5	I2S serial clock for receive data
86	I2S1_MCLK_M1	VCCIO5	I2S clock source

I2S2 (M0组) 引脚，如下表所示：

引脚编号	I2S3信号	电源域	说明
32	I2S2_MCLK_M0	VCCIO4	I2S clock source
33	I2S2_SDI_M0	VCCIO4	I2S serial data input
34	I2S2_SDO_M0	VCCIO4	I2S serial data output
35	I2S2_LRCK_M0	VCCIO4	I2S left & right channel signal for receiving serial data, synchronous left & right channel.
36	I2S2_SCLK_M0	VCCIO4	I2S serial data output

I2S2（M1组）引脚，如下表所示：

引脚编号	I2S3信号	电源域	说明
98	I2S2_MCLK_M1	VCCIO6	I2S clock source
96	I2S2_SDI_M1	VCCIO6	I2S serial data input
97	I2S2_SDO_M1	VCCIO6	I2S serial data output
101	I2S2_LRCK_M1	VCCIO6	I2S left & right channel signal for receiving serial data, synchronous left & right channel.
109	I2S2_SCLK_M1	VCCIO6	I2S serial data output

RK3562提供一个 SPDIF TX 数字音频接口，最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips Digital Interface Format 是 SONY 、 PHILIPS 数字音频接口的简称。就传输载体而言， SPDIF 又分为同

轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异， SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。SPDIF 引脚配置，如下表所示：

引脚编号	信号定义	电源域
70	SPDIF_TX_M0	3.3V
157	SPDIF_TX_M1	3.3V
52	SPDIF_TX_M2	3.3V

PDM（M0组）引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
71	PDM_SDI3_M0	3.3V	/
73	PDM_SDI2_M0	3.3V	/
74	PDM_SDI1_M0	3.3V	/
72	PDM_CLK0_M0	3.3V	PDM sampling clock

PDM（M1组）引脚配置，如下表所示：

引脚编号	信号定义	电源域	说明
107	PDM_SDI0_M1	3.3V	/
108	PDM_SDI1_M1	3.3V	/
105	PDM_SDI2_M1	3.3V	/
106	PDM_SDI3_M1	3.3V	/
115	PDM_CLK0_M1	3.3V	PDM sampling clock
109	PDM_CLK1_M1	3.3V	PDM sampling clock

2.7 显示接口(MIPI-DSI/LVDS/RGB)

IDO-SOM3562-V1核心板引出1路MIPI DSI x 4Lane，1.2Gbps per Lane，最大支持2048x1080@60Hz分辨率。MIPI引脚可以配置为LVDS输出。当配置为LVDS信号时，最大支持800*1280@60HZ的LVDS接口屏幕。
RK3562还支持RGB Parallel 视频输出，时钟速率可达150M，支持2048x1080@60Hz (RGB888)。

MIPI/LVDS引脚资源复用，如下表所示：

引脚编号	MIPI引脚定义	LVDS引脚定义	描述
142	MIPI_DSI_TX_D3P	LVDS_TX_D3P	MIPI/LVDS-发送-D3-正

143	MIPI_DSI_TX_D3N	LVDS_TX_D3N	MIPI/LVDS-发送-D3- 负
144	MIPI_DSI_TX_D3P	LVDS_TX_D2P	MIPI/LVDS-发送-D2- 正
145	MIPI_DSI_TX_D3N	LVDS_TX_D2N	MIPI/LVDS-发送-D2- 负
146	MIPI_DSI_TX_CLKP	LVDS_TX_CLKP	MIPI/LVDS-时钟-正
147	MIPI_DSI_TX_CLKN	LVDS_TX_CLKN	MIPI/LVDS-时钟-负
148	MIPI_DSI_TX_D1P	LVDS_TX_D1P	MIPI/LVDS-发送-D1- 正
149	MIPI_DSI_TX_D1N	LVDS_TX_D1N	MIPI/LVDS-发送-D1- 负
150	MIPI_DSI_TX_D0P	LVDS_TX_D0P	MIPI/LVDS-发送-D0- 正
151	MIPI_DSI_TX_D0N	LVDS_TX_D0N	MIPI/LVDS-发送-D0- 负

注意：MIPI高速差分对，差分阻抗按照100ohm控制。走线参考面完整。

RGB Parallel 接口引脚资源如下图所示：

引脚编号	LCD RGB Parallel 定义	描述
104	VO_LCDC_D0	数据位0-7
105	VO_LCDC_D1	
110	VO_LCDC_D2	
87	VO_LCDC_D3	
88	VO_LCDC_D4	

89	VO_LCDC_D5	数据位8-15
90	VO_LCDC_D6	
91	VO_LCDC_D7	
106	VO_LCDC_D8	
107	VO_LCDC_D9	
92	VO_LCDC_D10	
93	VO_LCDC_D11	
94	VO_LCDC_D12	
96	VO_LCDC_D13	
97	VO_LCDC_D14	
98	VO_LCDC_D15	数据位16-23
108	VO_LCDC_D16	
109	VO_LCDC_D17	
111	VO_LCDC_D18	
99	VO_LCDC_D19	
100	VO_LCDC_D20	
101	VO_LCDC_D21	
102	VO_LCDC_D22	
103	VO_LCDC_D23	
112	VO_LCDC_HSYNC	行同步信号
113	VO_LCDC_VSYNC	场同步信号
114	VO_LCDC_DEN	DE 信号
115	VO_LCDC_CLK	Pixel Clock信号

注意：

1. RGB Parallel 走线等长，在时钟较高（>50M以上），须严格等长到100mil以内。等长以

VL_LCDC_CLK为参考。

2. RGB Parallel 比较占用引脚资源，引脚资源不足时，推荐LVDS转RGB Parallel 芯片如 THC63LVDF84C (Thine)（分辨率1366*760@60HZ内）。
3. 建议靠近核心板引脚串接22R端接电阻。

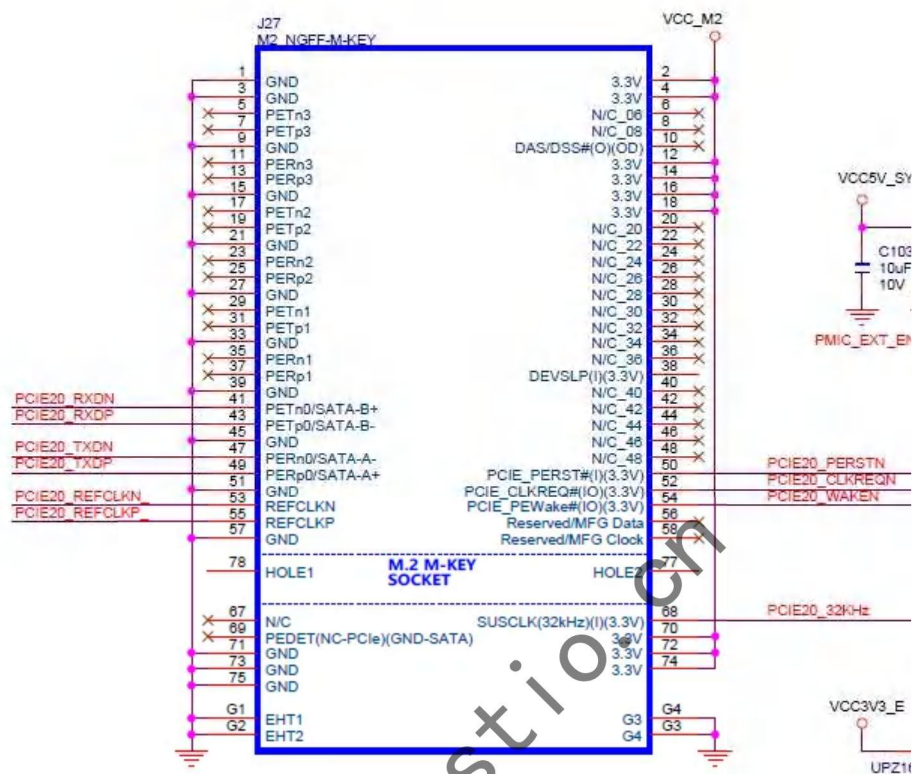
2.8 PCIe2.1

RK3562支持1路PCIe2.1 x 1Lane，支持2Gbps和5Gbps 单Lane。

注意：PCIe2.1接口信号与USB30_OTG信号复用。PCIe2.1/SUSB30_OTG只能同时配置一个接口。
PCIe2.1引脚资源，如下表所示：

引脚编号	引脚定义	描述
24	PCIE20_TXP	PCIE发送0-正 [与USB3.0复用]
25	PCIE20_TXN	PCIE发送0-负 [与USB3.0复用]
26	PCIE20_RXP	PCIE接收0-正 [与USB3.0复用]
27	PCIE20_RXN	PCIE接收0-负 [与USB3.0复用]
28	PCIE20_REFCLKP	PCIE参考时钟-正
29	PCIE20_REFCLKN	PCIE参考时钟-负
73	PCIE20_WAKEN_M1	PCIe wake up (I/O)
74	PCIE20_PERSTN_M1	PCIe warm reset request (INPUT)
72	PCIE20_CLKREQN_M1	PCIe clock request from PCIe peripheral (INPUT)
167	PCIE20_BUTTONRSTN	PCIe Reset request (INPUT)
156	PCIE20_WAKEN_M0	PCIe wake up (I/O)
155	PCIE20_PERSTN_M0	PCIe warm reset request (INPUT)
169	PCIE20_CLKREQN_M0	PCIe clock request from PCIe peripheral (INPUT)

PCIe2.1接口连接M.2 M-Key SSD固态硬盘，参考连接如下图所示：



注意： PCIe高速差分时钟阻抗按照100ohm控制，PCIe高速差分TX/RX阻抗按照90ohm控制走线参考面完整。

2.11 MIPI–CSI接口

RK3562 内置 ISP处理器支持13M@30fps,支持2路4 Lane MIPI CSI输入。支持多路摄像头视频采集 (4Lanes+4Lanes 2路MIPI CSI或者2Lanes+2Lanes+4Lanes MIPI CSI 3路MIPI CSI或者 2Lanes+2Lanes+2Lanes+2Lanes 4路MIPI CSI)

注意：

1. 支持 x4 Lane 模式 MIPI_CSI_RX_D 【3:0】 数据参考 MIPI_CSI_RX_CLK
2. MIPI_CSI_RX_D 【1:0】 数据参考 MIPI_CSI_RX_CLK0
3. MIPI_CSI_RX_D 【3:2】 数据参考 MIPI_CSI_RX_CLK1

MIPI–CSI接口摄像头配置选择，如下图所示：

<i>Usage of each MIPI CSI RXn & CLKn</i>		
<i>Option1</i>	<i>Sensor1 x4Lane</i>	<i>MIPI_CSI_RXn_D0-3</i> <i>MIPI_CSI_RXn_CLK0</i>
<i>Option2</i>	<i>Sensor1 x2Lane</i> <i>+</i> <i>Sensor2 x2Lane</i>	<i>MIPI_CSI_RXn_D0-1</i> <i>MIPI_CSI_RXn_CLK0</i> <i>MIPI_CSI_RXn_D2-3</i> <i>MIPI_CSI_RXn_CLK1</i>

MIPI-CSIO引脚，如下表所示：

引脚编号	引脚定义	描述
130	MIPI_CSI_RX0_CLK1P	MIPI_接收1-时钟-正（用于双摄）
131	MIPI_CSI_RX0_CLK1N	MIPI_接收1-时钟-负（用于双摄）
132	MIPI_CSI_RX0_D3P	MIPI_CSI接收0-D3正
133	MIPI_CSI_RX0_D3N	MIPI_CSI接收0-D3负
134	• MIPI_CSI_RX0_D2P	MIPI_CSI接收0-D2正
135	MIPI_CSI_RX0_D2N	MIPI_CSI接收0-D2负
136	MIPI_CSI_RX0_CLK0P	MIPI_接收0-时钟-正（用于双摄）
137	MIPI_CSI_RX0_CLK0N	MIPI_接收0-时钟-正（用于双摄）
138	MIPI_CSI_RX0_D1P	MIPI_CSI接收0-D1正
139	MIPI_CSI_RX0_D1N	MIPI_CSI接收0-D1负
140	MIPI_CSI_RX0_D0P	MIPI_CSI接收0-D0正
141	MIPI_CSI_RX0_D0N	MIPI_CSI接收0-D0负

MIPI-CSI1引脚，如下表所示：

引脚编号	引脚定义	描述
118	MIPI_CSI_RX1_CLK1P	MIPI_接收1-时钟-正（用于双摄）
119	MIPI_CSI_RX1_CLK1N	MIPI_接收1-时钟-负（用于双摄）
120	MIPI_CSI_RX1_D3P	MIPI_CSI接收1-D3正
121	MIPI_CSI_RX1_D3N	MIPI_CSI接收1-D3负
122	MIPI_CSI_RX1_D2P	MIPI_CSI接收1-D2正
123	MIPI_CSI_RX1_D2N	MIPI_CSI接收1-D2负
124	MIPI_CSI_RX1_CLK0P	MIPI_接收0-时钟-正（用于双摄）
125	MIPI_CSI_RX1_CLK0N	MIPI_接收0-时钟-负（用于双摄）
126	MIPI_CSI_RX1_D1P	MIPI_CSI接收1-D1正
127	MIPI_CSI_RX1_D1N	MIPI_CSI接收1-D1负
128	MIPI_CSI_RX1_D0P	MIPI_CSI接收1-D0正
129	MIPI_CSI_RX1_D0N	MIPI_CSI接收1-D0负

注意：MIPI-CSI高速差分对，差分阻抗按照100ohm控制；走线参考面完整。

2.13 UART

RK3562 有10路UART口，支持的波特率高达4Mbps。其中UART0作为调试口，其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

注意：

1. 需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。
2. 外接RS232，RS485等接口驱动芯片时，注意**接口芯片的上电顺序要晚于IO电源，并且电平要匹配**，以避免灌电或电平差异引起RK3562芯片工作异常或损坏。
3. UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1两组引

脚可选配，同一个UART控制器同时只能配置一组引脚。

4. 调试串口默认为UART0_M0引脚组。

UART信号定义及可复用引脚，如下表所示：

UART资源	引脚编号	UART信号定义	电源域
UART0 (M0组)	165	UART0_RX_M0	3.3V(调试串口)
	166	UART0_TX_M0	
UART0 (M1组)	50	UART0_RX_M1	3.3V
	49	UART0_TX_M1	
UART1 (M0组)	40	UART1_RX_M0	VCCIO4
	39	UART1_TX_M0	
	38	UART1_RTSn_M0	
	37	UART1_CTSn_M0	
UART1 (M1组)	106	UART1_RX_M1	VCCIO6
	105	UART1_TX_M1	
	107	UART1_RTSn_M1	
	108	UART1_CTSn_M1	
UART2 (M1组)	70	UART2_RX_M1	VCCIO1
	71	UART2_TX_M1	
UART3 (M0组)	113	UART3_RX_M0	VCCIO6
	112	UART3_TX_M0	
	92	UART3_RTSn_M0	
	114	UART3_CTSn_M0	
UART3 (M1组)	80	UART3_RX_M1	VCCIO5
	81	UART3_TX_M1	
	79	UART3_RTSn_M1	
	82	UART3_CTSn_M1	

UART4 (M0组)	92	UART4_RX_M0	VCCIO6
	91	UART4_TX_M0	
	89	UART4_RTSn_M0	
	88	UART4_CTSn_M0	
UART4 (M1组)	36	UART4_RX_M1	VCCIO4
	35	UART4_TX_M1	
	34	UART4_RTSn_M1	
	33	UART4_CTSn_M1	
UART5 (M0组)	52	UART5_RX_M0	3.3V
	51	UART5_TX_M0	
	53	UART5_RTSn_M0	
	54	UART5_CTSn_M0	
UART5 (M1组)	73	UART5_RX_M1	3.3V
	72	UART5_TX_M1	
	70	UART5_RTSn_M1	
	71	UART5_CTSn_M1	
UART6 (M0组)	164	UART6_RX_M0	3.3V
	163	UART6_TX_M0	
	162	UART6_RTSn_M0	
	161	UART6_CTSn_M0	
UART6 (M1组)	108	UART6_RX_M1	VCCIO6
	107	UART6_TX_M1	
	103	UART6_RTSn_M1	
	102	UART6_CTSn_M1	
UART7 (M0组)	90	UART7_RX_M0	VCCIO6

	87	UART7_TX_M0	
	94	UART7_RTSn_M0	
	93	UART7_CTSn_M0	
UART7 (M1组)	50	UART7_RX_M1	3.3V
	49	UART7_TX_M1	
UART8 (M0组)	85	UART8_RX_M0	VCCIO5
	86	UART8_TX_M0	
	83	UART8_RTSn_M0	
	84	UART8_CTSn_M0	
UART8 (M1组)	97	UART8_RX_M1	VCCIO6
	96	UART8_TX_M1	
	100	UART8_RTSn_M1	
	99	UART8_CTSn_M1	
UART9 (M0组)	111	UART9_RX_M0	VCCIO6
	110	UART9_TX_M0	
	113	UART9_RTSn_M0	
	112	UART9_CTSn_M0	
UART9 (M1组)	77	UART9_RX_M1	VCCIO5
	78	UART9_TX_M1	

2.14 CAN总线

IDO-SOM3562-V1引出2个CAN总线控制器，支持 CAN 2.0B 协议。

注意：

- 1. CAN引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1，M2三组引脚可选配，同一个CAN控制器同时只能配置一组引脚。
- 2. 外接CAN收发器芯片，注意电平匹配，CAN控制器IO侧上电顺序应晚于CPU IO电源域。

CAN接口引脚资源，如下表所示：

CAN资源	引脚分组	引脚编号	CAN信号定义	电源域
CAN0	M0	71	CAN0_TX_M0	3.3V
		70	CAN0_RX_M0	
	M1	82	CAN0_TX_M1	VCCIO5
		81	CAN0_RX_M1	
	M2	163	CAN0_TX_M2	3.3V
		164	CAN0_RX_M2	
CAN1	M0	51	CAN1_TX_M0	3.3V
		52	CAN1_RX_M0	

2.15 I2C总线

IDO-SOM3562-V1核心板共引出5组I2C接口，使用时注意电平为1.8V 或 3.3V，必要时加电平转换电路。

I2C总线引脚资源，如下表所示：

I2C资源	引脚分组	引脚编号	I2C信号定义	电源域
I2C1	M0	153	I2C1_SCL_M0	3.3V
		154	I2C1_SDA_M0	
	M1	112	I2C1_SCL_M1	VCCIO6
		113	I2C1_SDA_M1	

I2C2	M0	155	I2C2_SCL_M0	3.3V
		156	I2C2_SDA_M0	
	M1	93	I2C2_SCL_M1	VCCIO6
		94	I2C2_SDA_M1	
I2C3	M0	71	I2C3_SCL_M0	3.3V
		70	I2C3_SDA_M0	
	M1	105	I2C3_SCL_M1	VCCIO6
		106	I2C3_SDA_M1	
I2C4	M0	82	I2C4_SCL_M0	VCCIO5
		81	I2C4_SDA_M0	
	M1	170	I2C4_SCL_M1	3.3V
		171	I2C4_SDA_M1	
I2C5	M0	78	I2C5_SCL_M0	VCCIO5
		77	I2C5_SDA_M0	
	M1	42	I2C5_SCL_M1	VCCIO4
		41	I2C5_SDA_M1	

注意： 每路I2C控制器资源每次只能配置一组引脚（即M0和M1分组二选一）。

2.16 ADC

IDO-SOM3562-V1共引出15路ADC接口，10bit精度，【0~1.8V】电压采样范围。

SARADC0_BOOT默认做为 BOOT 模式选择（不可改用于其它用途）。

SARADC0_IN1_KEY/RECOVERY默认做为功能按键输入（不可改用于其它用途）。

其它ADC引脚可以用于电压采样输入端口。

SRADC引脚如下表所示：

引脚号	引脚定义	电源域	描述
-----	------	-----	----

179	SARADC0_BOOT	1.8V	默认用于BOOT按键功能，不建议用作其它功能。核心板内部有分压。
56	SARADC0_IN1_KEY/RECOVERY	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V
57	SARADC0_IN3	1.8V	标准ADC输入
58	SARADC0_IN4	1.8V	标准ADC输入
59	SARADC0_IN5	1.8V	标准ADC输入
60	SARADC0_IN6	1.8V	标准ADC输入
61	SARADC0_IN7	1.8V	标准ADC输入
62	SARADC1_IN0	1.8V	标准ADC输入
63	SARADC1_IN1	1.8V	标准ADC输入
64	SARADC1_IN2	1.8V	标准ADC输入
65	SARADC1_IN3	1.8V	标准ADC输入
66	SARADC1_IN4	1.8V	标准ADC输入
67	SARADC1_IN5	1.8V	标准ADC输入
68	SARADC1_IN6	1.8V	标准ADC输入
69	SARADC1_IN7	1.8V	标准ADC输入

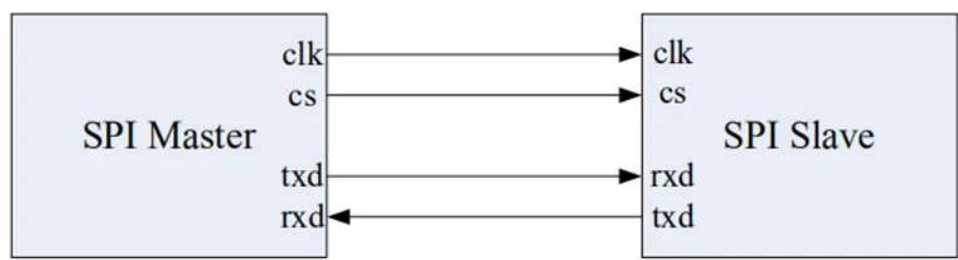
注意：

1. SARADC 采样范围为0~1.8V，采样精度为 10bit s。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值， 实现多键输入以满足客户产品需求。 设计中建议任意两个按键键值必须大于 ± 35 ，即中心电压差必须大于123mV。
2. SARADC_VIN有使用时，靠近核心板管脚必须增加1nF 电容消抖。
3. 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌能力（如果只有一个键时 ESD 必须靠近按键，先经过 ESD→100ohm 电阻→1nF→核心板管脚）。
4. ADC走线应避免数字信号和功率干扰源。

2.17 SPI

IDO-SOM3562-V1共引出3路SPI接口，可用于连接SPI通信接口的芯片或者模块；M0/M1两组引脚二选一使用。

SPI设备连接，如下图所示：



SPI引脚资源，如下表所示：

SPI接口	引脚分组	引脚编号	引脚定义	电源域	说明
SPI0	M0	157	SPI0_CS1_M0	3.3V	SPI 片选1
		159	SPI0_CS0_M0		SPI 片选0
		160	SPI0_CLK_M0		SPI Clock
		161	SPI0_MOSI_M0		SPI Master Output/Slave input
		162	SPI0_MISO_M0		SPI Master Input/Slave Output
	M1	82	SPI0_CS1_M1	VCCIO5	SPI 片选1
		81	SPI0_CS0_M1		SPI 片选0
		83	SPI0_CLK_M1		SPI Clock

		84	SPI0_MOSI_M1		SPI Master Output/Slave input
		80	SPI0_MISO_M1		SPI Master Input/Slave Output
SPI1	M0	100	SPI1_CS1_M0	VCCIO6	SPI 片选1
		99	SPI1_CS0_M0		SPI 片选0
		98	SPI1_CLK_M0		SPI Clock
		102	SPI1_MOSI_M0		SPI Master Output/Slave input
		103	SPI1_MISO_M0		SPI Master Input/Slave Output
	M1	54	SPI1_CS1_M1	3.3V	SPI 片选1
		53	SPI1_CS0_M1		SPI 片选0
		51	SPI1_CLK_M1		SPI Clock
		50	SPI1_MOSI_M1		SPI Master Output/Slave input
		49	SPI1_MISO_M1		SPI Master Input/Slave Output
SPI2	M0	112	SPI2_CS1_M0	VCCIO6	SPI 片选1

		113	SPI2_CS0_M0		SPI 片选0
		114	SPI2_CLK_M0		SPI Clock
		94	SPI2_MOSI_M0		SPI Master Output/Slave input
		93	SPI2_MISO_M0		SPI Master Input/Slave Output
	M1	36	SPI2_CS1_M1	VCCIO4	SPI 片选1
		35	SPI2_CS0_M1		SPI 片选0
		32	SPI2_CLK_M1		SPI Clock
		34	SPI2_MOSI_M1		SPI Master Output/Slave input
		33	SPI2_MISO_M1		SPI Master Input/Slave Output

- 注意：**
- 1. 当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可。
 - 2. SPI时钟线建立串接端接电阻(典型值22ohm)，靠近核心板一侧引脚放置。

2.18 PWM

IDO-SOM3562-V1具引出15路PWM资源，部分PWM具有M0/M1两组引脚，可以二选一使用。

注意： PWM6被核心板上NPU电源占用,不能在底板上配置任何PWM6的引脚。

可用的PWM引脚资源，如下表所示：

PWM通道	引脚编号	信号定义	电源域	说明
PWM0	160	PWM0_M0	3.3V	/
	44	PWM0_M1	VCCIO4	/
PWM1	161	PWM1_M0	3.3V	/
	43	PWM1_M1	VCCIO4	/
PWM2	162	PWM2_M0	3.3V	/
	42	PWM2_M1	VCCIO4	/
PWM3	168	PWM3_M0	3.3V	/
	41	PWM3_M1	VCCIO4	/
PWM4	157	PWM4_M0	3.3V	/
	40	PWM4_M1	VCCIO4	/
PWM5	159	PWM5_M0	3.3V	/
	39	PWM5_M1	VCCIO4	/
PWM7	158	PWM7_M0	3.3V	/
	37	PWM7_M1	VCCIO4	/
PWM8	/	/	/	/
	48	PWM8_M1	VCCIO4	/
PWM9	/	/	/	/
	47	PWM9_M1	VCCIO4	/
PWM10	54	PWM10_M0	3.3V	/
	46	PWM10_M1	VCCIO4	/
PWM11	53	PWM11_M0	3.3V	/
	45	PWM11_M1	VCCIO4	/
PWM12	101	PWM12_M0	VCCIO6	/
	84	PWM12_M1	VCCIO5	/

PWM13	104	PWM13_M0	VCCIO6	/
	83	PWM13_M1	VCCIO5	/
PWM14	88	PWM14_M0	VCCIO6	/
	34	PWM14_M1	VCCIO4	/
PWM15	89	PWM15_M0	VCCIO6	/
	33	PWM15_M1	VCCIO4	/

2.19 GPIO

IDO-SOM3562-V1可用的GPIO引脚共计86个，与其它信号引脚复用。详细定义请参考”IDO-SOM3562-V1-Pinout.xlsx”。核心板引脚中除了ADC、差分信号、RK809-5A引脚、电源/地，其它1.8V/3.3V数字引脚基本都可以配置为GPIO使用。

使用时注意GPIO电源域是1.8V还是3.3V。另外参考”IDO-SOM3562-V1-Pinout.xlsx”中GPIO信号名称中后缀带_d表示上电默认下拉(低电平)，后缀带_u的表示上电默认上拉(高电平)。

比如，在”IDO-SOM3562-V1-Pinout.xlsx”中，SOM3562-V1的163脚可配置为GPIO0_C6_d，上电默认下拉(低电平)。SOM3562-V1的165脚可配置为GPIO0_D0_u，上电默认上拉(高电平)3.3V，GPIO引脚说明，如下图所示：

LCD_PWREN_H_GPIO0_B4_d	154	I2C1_SCL_M0/GPIO0_B5_u
TP_RST_n_GPIO0_B5_d	155	I2C1_SDA_M0/GPIO0_B4_d
TP_INT_n_GPIO0_B6_d	156	PCIE20_PERSTN_M0/I2C2_SCL_M0/GPIO0_B5_d
LCD_BL_PWM_GPIO0_B7_d	157	PCIE20_WAKEN_M0/I2C2_SDA_M0/GPIO0_B6_d
USB_OTG_DE_n_GPIO0_C0_d	158	SPDIF_TX_M1/CPU_AVS/PWM4_M0/SPI0_CSN1_M0/GPIO0_B7_d
SPI0_CSN0_M0	159	GPU_AVS/PWM7_M0/UART2_TX_M0/CAN1_TX_M1/GPIO0_C0_d
SPI0_CLK_M0	160	SPI0_CSN0_M0/PWM5_M0/UART2_CTSN_M0/GPIO0_C2_d
SPI0_MOSI_M0	161	SPI0_CLK_M0/PWM0_M0/UART2_RTSN_M0/GPIO0_C3_d
SPI0_MISO_M0	162	SPI0_MOSI_M0/PWM1_M0/UART6_CTSN_M0/GPIO0_C4_d
UART6_TX_M0	163	SPI0_MISO_M0/PWM2_M0/UART6_RTSN_M0/GPIO0_C5_d
UART6_RX_M0	164	UART6_TX_M0/CAN0_TX_M1/GPIO0_C6_d
UART0_RX_M0_DEBUG	165	UART6_RX_M0/CAN0_RX_M2/GPIO0_C7_d
UART0_TX_M0_DEBUG	166	JTAG_CPU_MCU_TMS_M0/UART0_RX_M0/GPIO0_D0_u
		JTAG_CPU_MCU_TCK_M0/UART0_TX_M0/GPIO0_D1_u
	70	

RK3562 GPIO的DC特性参考下图：

Table 3-3 DC Characteristics

Parameters		Symbol	Min	Typ	Max	Unit
Digital GPIO @3.3V	Input Low Voltage	Vil	-0.3	NA	0.8	V
	Input High Voltage	Vih	2.0	NA	VDDO+0.3	V
	Output Low Voltage	Vol	-0.3	NA	0.4	V
	Output High Voltage	Voh	2.4	NA	VDDO+0.3	V
	Pullup Resistor	Rpu	16	NA	43	Kohm
	Pulldown Resistor	Rpd	16	NA	43	Kohm
Digital GPIO @1.8V	Input Low Voltage	Vil	-0.3	NA	0.35*VDDO	V
	Input High Voltage	Vih	0.65*VDDO	NA	VDDO+0.3	V
	Output Low Voltage	Vol	-0.3	NA	0.4	V
	Output High Voltage	Voh	1.4	NA	VDDO+0.3	V
	Pullup Resistor	Rpu	16	NA	43	Kohm
	Pulldown Resistor	Rpd	16	NA	43	Kohm

3 SOM3562硬件原理图CheckList

编号	检查事项	检查状态
1	核心板供电电压范围【3.6~5V】，加5.5V 浪涌保护。采用独立DCDC，2A以上电流能力。	☐ OK
2	核心板IO供电：VCCIO4（31脚），VCCIO5（76脚），VCCIO6（116脚）都有供电，且采用核心板输出的VCC_1V8_OUT（17脚）或VCC_3V3_OUT（7脚）。	☐ OK
3	整板上电顺序：核心板供电(常供电) → VCC_1V8_OUT → 底板供电（3.3V，1.8V，5V）	☐ OK
4	是否需要插电开机，PMIC_VDC是否按照要求设计分压电阻？	☐ OK
5	是否需求关机和待机状态。 关机状态和待机状态下，核心板是否保持供电？ 待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？ Power键是否留出？	☐ OK

6	有待机需求时，有哪些待机时需要保持状态的IO引脚，这些引脚是否分配在GPIO0组（PMUIO0/1）？	☐ O K
7	USB0 OTG 接口有接出，方便下载烧录。USB_OTG_PWREN_H是否选用上电默认拉低的GPIO引脚？	☐ O K
8	调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？	☐ O K
9	启动模式（SARADC0_BOOT）及功能按键（SARADC0_IN1_KEY/RECOVERY）是否符合参考设计均有预留按键或测试点？	☐ O K
10	USB3.0 OTG 与 PCIE2.1 只有两种选配模式，USB3.0 OTG 或者USB2.0 OTG+PCIE2.1，是否符合参考设计？ USB接口使用的ESD物料是否满足Cj<0.4pF要求？	☐ O K
11	SD/TF卡是否符合参考设计？	☐ O K
12	以太网设计： 双网口GMAC+EMAC千兆+百兆，百兆只能采用VCCIO6组的RMII引脚，千兆只能选择VCCIO4组的RGMII引脚； IO电平，RMII一般只能是3.3V，RGMII 可以1.8V或者3.3V。确认PHY芯片 IO电平 与 对应的核心板电源域电平（VCCIO4/VCCIO6）是否匹配。 千兆PHY芯片的IO电压的配置电阻，RESET引脚GPIO电平，LED灯的极性配置，时钟，符合参考设计？ 千兆/百兆PHY芯片是否是已经调试过的型号？	☐ O K
13	音频接口符合参考设计？	☐ O K
14	MIPI DSI /LVDS 显示接口，确认屏幕线序定义，供电时序 符合要求？ 确认屏幕分辨率和刷新率在支持范围？ MIPI RESET是否有GPIO控制？ 背光和供电在待机/关机状态下是否有漏电问题？	☐ O K
15	MIPI CSI 摄像头接口，是否有2Lane拆分，信号线分配是否符合参考设计？ 摄像头模组定义，确认线序定义，供电时序，供电电压电流符合要求？ 摄像头Sensor是否在支持列表？ 待机/关机状态下是否有漏电	☐ O K

16	每组IIC总线是否有上拉电阻，电平是否匹配？ IIC 上连接的外设地址是否冲突，最高速率是否有冲突？ 同一组IIC总线下的外设，是否存在待机/关机时供电状态不一致的问题？	☐ O K
17	每个串口（UART，RS232, RS485, RS422）和 CAN 接口： 串口要求的最高波特率和接口芯片用料是否相符？ 电平是否匹配？ 接口芯片上电顺序是否晚于VCC_1V8_OUT核心板供电输出？	☐ O K
18	所有使用的PWM信号，不能使用PWM6，属于SOM3562核心板独占资源	☐ O K
19	所有IO引脚，不得有在核心板VCC_1V8_OUT上电前向IO灌电的行为	☐ O K
20	使用SDIO的WIFI模块，供电和IO电平，32K时钟，晶振 等是否符合参考设计	☐ O K

www.industio.cn