

# IDO-SOM3568-V2 硬件设计指南

---

## 1、Rockchip RK3568芯片简介

### 1.1 IDO-SOM3568-V2模块介绍

### 1.2 IDO-SOM3568-V2产品图片

## 2、IDO-SOM3568-V2硬件设计说明

### 2.1 电源系统设计说明

### 2.2 GPIO设计说明

### 2.3 SDMMC0/1/2接口设计

### 2.4 USB2.0/3.0设计

### 2.5 以太网设计

### 2.6 音频接口设计

### 2.7 HDMI设计

### 2.8 eDP设计

### 2.9 MIPI-DSI/LVDS设计

### 2.10 PCIe设计

### 2.11 MIPI-CSI接口设计

### 2.12 SATA总线

### 2.13 UART设计

### 2.14 CAN总线

### 2.15 I2C总线

### 2.16 ADC设计说明

### 2.17 SPI设计说明

### 2.18 PWM设计说明

# IDO-SOM3568-V2

## 硬件设计指南

深圳触觉智能科技有限公司

[www.industio.cn](http://www.industio.cn)

### 文档修订历史

| 版本   | 修订内容 | 修订 | 审核 | 日期         |
|------|------|----|----|------------|
| V1.0 | 创建文档 |    |    | 2022/06/17 |

|  |  |  |  |  |
|--|--|--|--|--|
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

---

# 1、Rockchip RK3568芯片简介

RK3568 是 Rockchip 设计的 低功耗 、高性能应用处理器系列，采用64位 ARM Cortex A55四核处理器主频高达2.0 GHz采用 22nm 制程 。内置 1T 算力 NPU ，支持多种 AI 框架 。GPU 系列采用 Mali G 52 2EE ，支持 H265/H264 、 MVC 、 VP8 等多格式 4K 60fps

视频解码 和 1080P 编码 。 强大的 VOP 支持三屏显示，丰富的工业接口如最大支持 10 个串口 和 3 路 CAN 总线，支持 PICE3 .0 和 SATA 接口。 RK3568 的 目标应用有：

## 1.1 IDO–SOM3568–V2模块介绍

IDO–SOM 3568–V2是基于RK3568系列CPU开发设计的一款高性能核心板，搭载 Android 11、LINUX 系统。在超小 PCB 面积上，核心板板载 LPDDR4、eMMC、PMIC、扩展 eDP 、HDMI、PCIE、USB、MIPI等接口和多达127路多功能 GPIO ， 接口丰富。

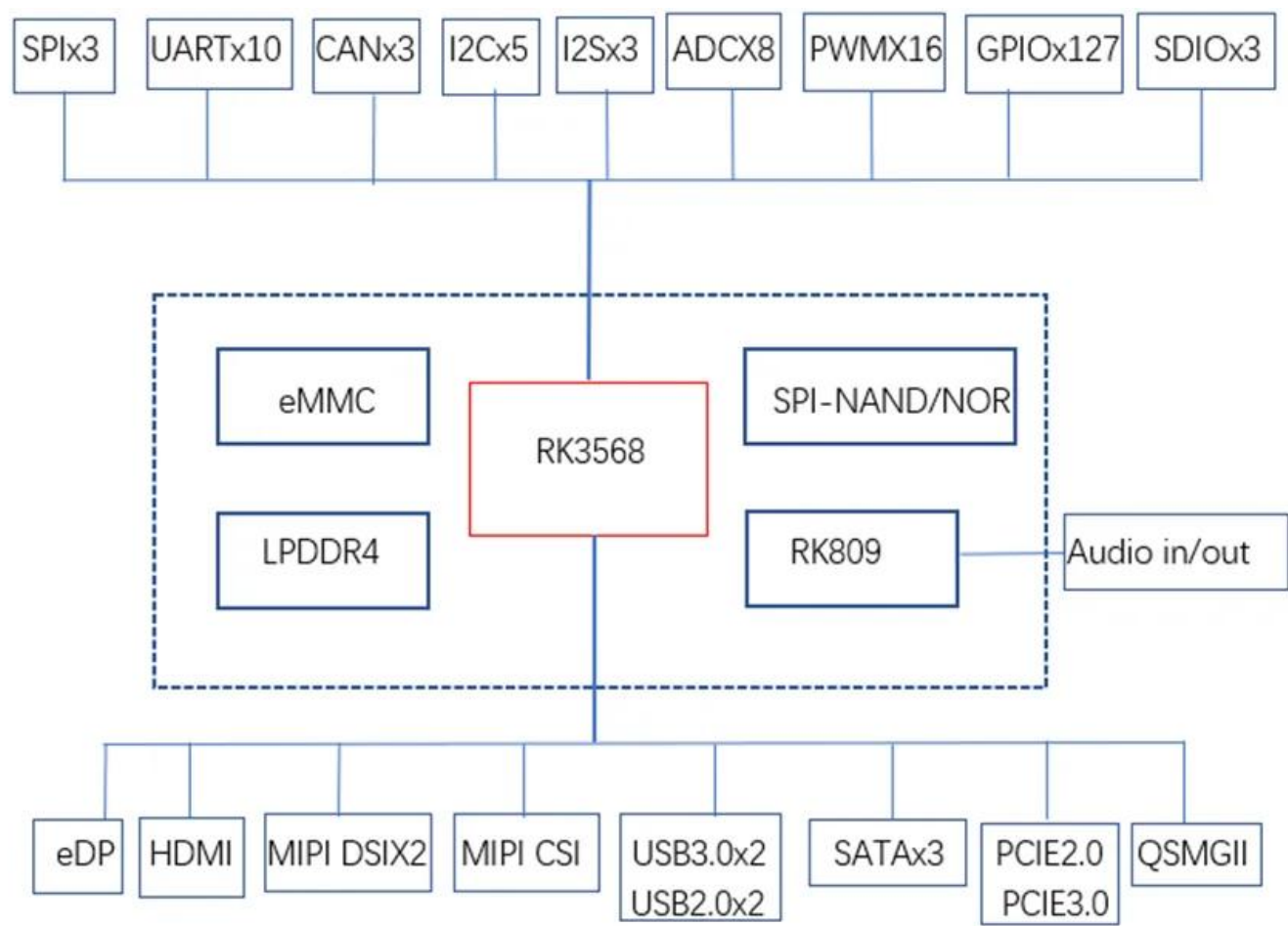


图1. IDO–SOM3568–V2模块框图

IDO–SOM3568–V2核心板主要功能列表：

表1. IDO–SOM3568–V2功能列表

| 基本参数 |                 |
|------|-----------------|
| SOC  | RockChip RK3568 |

|      |                                                                                                                                                     |
|------|-----------------------------------------------------------------------------------------------------------------------------------------------------|
| CPU  | 四核 64 位Cortex-A55 处理器，22nm 先进工艺，主频最高2.0GHz                                                                                                          |
| GPU  | ARM G52 2EE<br>支持 OpenGL ES 1.1/2.0/3.2, OpenCL 2.0, Vulkan 1.1<br>内嵌高性能2D 加速硬件                                                                     |
| NPU  | 0.8Tops@INT8 性能，集成高效能AI 加速器RKNN NPU<br>支持Caffe/TensorFlow/TFLite/ONNX/PyTorch/Keras/Darknet 主流架构模型的一键转换                                             |
| VPU  | 支持 4K 60fps H.265/H.264/VP9 视频解码<br>支持 1080P 100fps H.265/H.264 视频编码<br>支持 8M ISP，支持HDR                                                             |
| 内存   | 2GB / 4GB / 8GB LPDDR4<br>32Bit 位宽，频率高达1600MHz，支持全链路ECC                                                                                             |
| 存储   | 16GB / 32GB / 64GB / 128GB eMMC                                                                                                                     |
| 硬件参数 |                                                                                                                                                     |
| 以太网  | 集成双GMAC 以太网控制器，支持双千兆以太网（1000 M bps）                                                                                                                 |
| 显示接口 | 1 × HDMI2.0，支持4K@60fps 输出<br>2 × MIPI DSI，支持1920*1080@60fps 输出（或双通道1 × MIPI DSI 2560*1440@60fps）<br>1 × eDP1.3，支持 2560*1600@60fps 输出<br>最多可支持三屏异显输出 |
| 摄像头  | 1 × MIPI-CSI 摄像头接口（1x 4-Lane可支持13M 或 2x 2-Lane可支持2x5M）<br>1 × DVP 摄像头接口（支持 5Mpixel）                                                                 |
| 音频接口 | 1 × HDMI 音频输出<br>1 × HPR/L，双声道耳机输出<br>1 × MIC输入                                                                                                     |

|           |                                                                                                           |
|-----------|-----------------------------------------------------------------------------------------------------------|
| USB       | 1 × USB3.0 OTG<br>1 × USB3.0 HOST<br>2 × USB 2.0 HOST                                                     |
| PCIe/SATA | 1 × PCIe2.0<br>1 × PCIe3.0<br>3 × SATA3.0                                                                 |
| 扩展接口      | 10 × UART<br>4 × SPI<br>3 × CAN<br>5 × I2C<br>3 × I2S<br>3 × SDIO3.0<br>16 × PWM<br>8 × ADC<br>127 × GPIO |
| 其他        |                                                                                                           |
| 主板尺寸      | 69.6mm × 45.0mm                                                                                           |
| 接口类型      | 260PIN DDR4-STD连接器                                                                                        |
| PCB规格     | 板厚 1.2mm , 8 层板 高Tg材质, 沉金工艺                                                                               |

## 1.2 IDO-SOM3568-V2产品图片

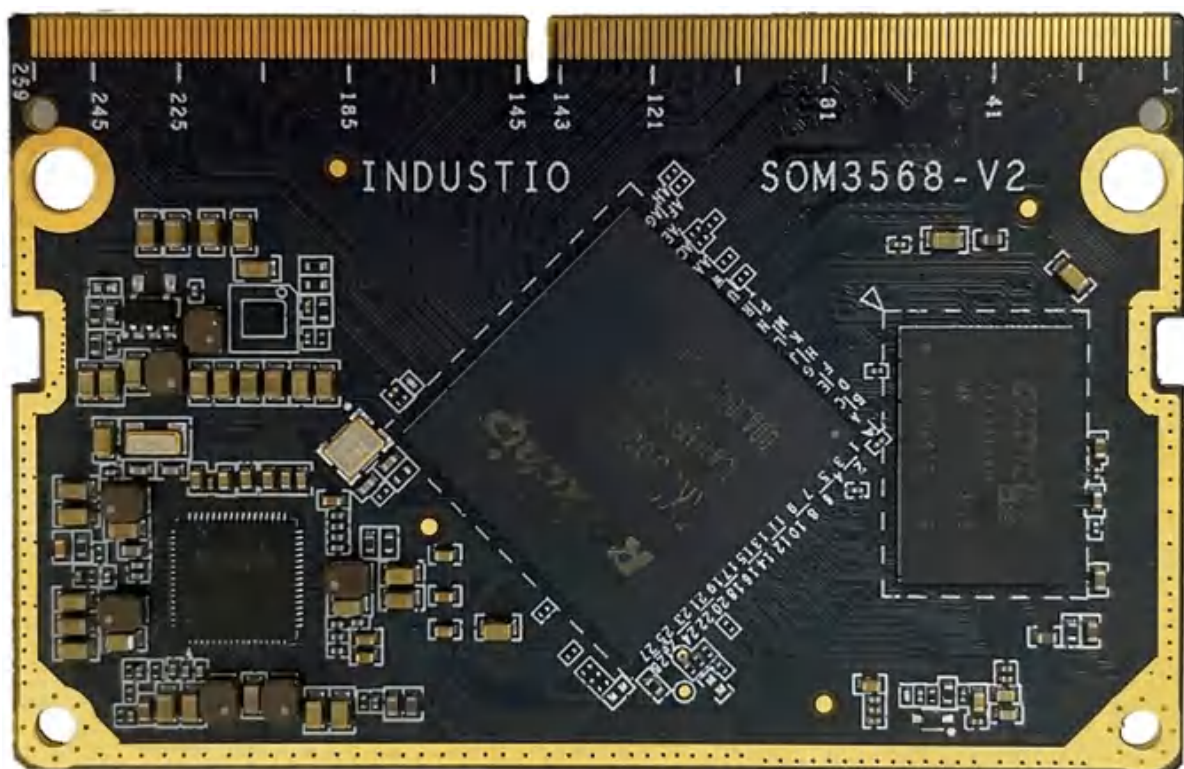


图2. IDO-SOM3568-V2核心板正面



图3. IDO-SOM3568-V2核心板背面

## 2、IDO-SOM3568-V2硬件设计说明

### 2.1 电源系统设计说明

IDO-SOM3568-V2核心板共引出了1个电源主输入VCC5V0\_SYS（核心板253PIN、255PIN、257PIN、259PIN）。

核心板提供3个电源输出引脚为VCC\_3V3，VCC\_1V8，VCC3V3\_SD。VCC3V3\_SD用于扩展SD卡供电，VCC\_3V3和VCC\_1V8用于3.3V电源域和1.8V电源域的引脚参考电平,底板使用时应限流500mA。

与电源系统设计相关的其它引脚，包括 RK809\_VDC, EXT\_EN, RK809\_PWRON。分别用于外部DC电源检测，开关机控制输出，开关机按键输入。

表2. IDO-SOM3568-V2电源相关引脚说明列表

| 电源相关引脚      | 引脚编号            | 方向         | 引脚说明                             |
|-------------|-----------------|------------|----------------------------------|
| VCC5V0_SYS  | 253,255,257,259 | 电源输入       | 系统的主要输入供电, 保障5V@2A持续和3A瞬间电流供电能力。 |
| VCC_3V3     | 245             | 电源输出       | 3.3V对外供电, 用于3.3V电源域参考电平          |
| VCC_1V8     | 237             | 电源输出       | 1.8V对外供电, 用于1.8V电源域参考电平          |
| VCC3V3_SD   | 210             | 电源输出       | 用于外接SD卡供电                        |
| RK809_VDC   | 252             | 电源检测<br>输入 | 检测DC电源, 用于插电开机控制                 |
| EXT_EN      | 249             | 关机控制<br>输出 | 开机输出高, 关机时输出低, 关机控制输出.           |
| RK809_PWRON | 251             | 开关机按键输入    | 开关机按键信号输入检测引脚, 用于连接按键输入          |

## 2.2 GPIO设计说明

IDO-SOM3568-V2可用的GPIO引脚共计127个，与其它信号引脚复用。详细定义请参考”IDO-SOM3568-V2-Pinout.xlsx”。核心板引脚中除了ADC、差分信号、RK809-5引脚、电源/地，其它1.8V/3.3V数字引脚基本都可以配置为GPIO使用。

使用时注意GPIO电源域是1.8V还是3.3V。另外参考”IDO-SOM3568-V2-Pinout.xlsx”中GPIO信号名称中后缀带\_d表示上电默认下拉(低电平)，后缀带\_u的表示上电默认上拉（高电平）。

如下图，在”IDO-SOM3568-V2-Pinout.xlsx”中，SOM3568-V2的231脚可配置为GPIO2\_B1，上电默认下拉（低电平）。SOM3568-V1的233脚可配置为GPIO0\_B2，上电默认上拉(高电平) 1.8V。

|     |            |               |                            |  |
|-----|------------|---------------|----------------------------|--|
| 231 | GPIO2_B1_d | SDMMC1_PWREN  | Default:1.8V↓<br>1.8V/3.3V |  |
|     |            | I2C4_SDA_M1   |                            |  |
|     |            | UART8_RTSn_M0 |                            |  |
|     |            | CAN2_RX_M1    |                            |  |
|     |            | GPIO2_B1_d    |                            |  |
| 233 | GPIO2_B2_u | SDMMC1_DET    | Default:1.8V↓<br>1.8V/3.3V |  |
|     |            | I2C4_SCL_M1   |                            |  |
|     |            | UART8_CTSn_M0 |                            |  |
|     |            | CAN2_TX_M1    |                            |  |
|     |            | GPIO2_B2_u    |                            |  |

图4. GPIO引脚说明

## 2.3 SDMMC0/1/2接口设计

SOM3568-V1核心板扩展出3路MMC/SDIO资源，兼容SDIO3.0和MMC ver4.51，4bit数据位宽，可用于扩展SD卡和WIFI模块。其中SDMMC0 和 SDMMC1 最高可支持 200MHz，SDMMC2 最高只支持到 150MHz。

SDIO/MMC0主要用于连接SD存储卡，也可用于WIFI模块SDIO接口。引脚资源如下：

| 引脚编号 | 引脚名称 | 电源域 | 备注 |
|------|------|-----|----|
|------|------|-----|----|

|     |            |                   |          |
|-----|------------|-------------------|----------|
| 208 | SDMMC0_DET | 3.3V              | SD卡座检测引脚 |
| 206 | SDMMC0_CLK | 3.3V              | SD卡时钟信号  |
| 204 | SDMMC0_CMD | 3.3V              | SD卡CMD信号 |
| 202 | SDMMC0_D3  | 3.3V              | SD卡Data3 |
| 200 | SDMMC0_D2  | 3.3V              | SD卡Data2 |
| 198 | SDMMC0_D1  | 3.3V              | SD卡Data1 |
| 196 | SDMMC0_D0  | 3.3V              | SD卡Data0 |
| 210 | VCC3V3_SD  | 3.3V/400mA OUTPUT | SD卡供电    |

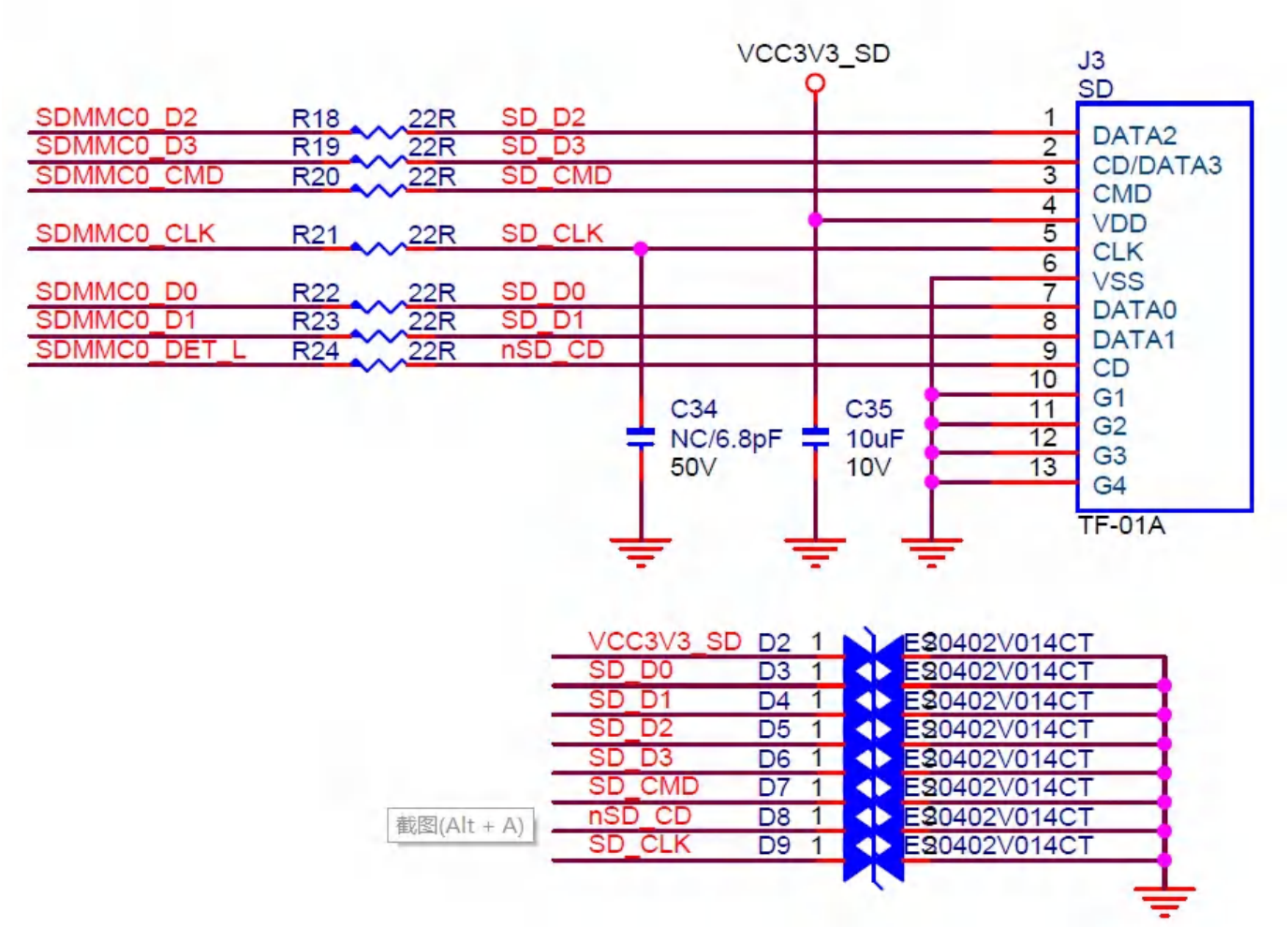


图5. MMC/SDIO0外接TF卡参考设计

SDIO/MMC1引脚资源如下：

| 引脚编号 | 引脚名称       | 电源域  | 备注       |
|------|------------|------|----------|
| 219  | SDMMC1_D0  | 1.8V | SDIO_D0  |
| 221  | SDMMC1_D1  | 1.8V | SDIO_D1  |
| 223  | SDMMC1_D2  | 1.8V | SDIO_D2  |
| 225  | SDMMC1_D3  | 1.8V | SDIO_D3  |
| 227  | SDMMC1_CMD | 1.8V | SDIO_CMD |
| 229  | SDMMC1_CLK | 1.8V | SDIO_CLK |

SDIO/MMC2 (M0组) 引脚资源如下:

| 引脚编号 | 引脚名称          | 电源域  | 备注       |
|------|---------------|------|----------|
| 27   | SDMMC2_CLK_M0 | 1.8V | SDIO_CLK |
| 25   | SDMMC2_CMD_M0 | 1.8V | SDIO_CMD |
| 23   | SDMMC2_D3_M0  | 1.8V | SDIO_D3  |
| 21   | SDMMC2_D2_M0  | 1.8V | SDIO_D2  |
| 19   | SDMMC2_D1_M0  | 1.8V | SDIO_D1  |
| 17   | SDMMC2_D0_M0  | 1.8V | SDIO_D0  |

SDIO/MMC2 (M1组) 引脚资源如下:

| 引脚编号 | 引脚名称          | 电源域  | 备注       |
|------|---------------|------|----------|
| 57   | SDMMC2_CLK_M1 | 3.3V | SDIO_CLK |
| 59   | SDMMC2_CMD_M1 | 3.3V | SDIO_CMD |
| 61   | SDMMC2_D3_M1  | 3.3V | SDIO_D3  |
| 63   | SDMMC2_D2_M1  | 3.3V | SDIO_D2  |
| 65   | SDMMC2_D1_M1  | 3.3V | SDIO_D1  |
| 67   | SDMMC2_D0_M1  | 3.3V | SDIO_D0  |

SDIO/MMC接口设计注意事项:

- 走线阻抗控制50ohm，参考面完整，整组走线等长控制+-200mil。
- 建议串匹配电阻（典型值22ohm），时钟信号匹配电阻靠近SOM3568引脚侧放置，时钟信号预留2.2pF电容。

2.4 USB2.0/3.0设计

IDO-SOM3568-V2核心板具有2路USB3.0接口和2路USB2.0 HOST，其中一路USB3.0中为OTG模式，此路USB为系统固件烧录口，必须要留出！！！！。设计底板如要扩展多USB接口，可以使用USB HUB芯片去实现扩展。

USB3\_OTG0（固件下载口）引脚资源如下：

| 引脚编号 | 引脚名称              | 连接方式          | 备注                                 |
|------|-------------------|---------------|------------------------------------|
| 189  | USB3_OTG0_DM      | 串接 2. 2ohm 电阻 | OTG0可用于下载烧录功能                      |
| 187  | USB3_OTG0_DP      |               |                                    |
| 185  | USB3_OTG0_SSRXP   | 串接100nF 电容    |                                    |
| 183  | USB3_OTG0_SSRXN   |               |                                    |
| 181  | USB3_OTG0_SSTXP   | 串接100nF 电容    |                                    |
| 179  | USB3_OTG0_SSTXN   |               |                                    |
| 191  | USB3_OTG0_VBUSDET | 电阻分压检测        | OTG0 VBUS检测，高有效                    |
| 193  | USB3_OTG0_ID      |               | USB OTG ID 识别<br>Micro USB 接口时需要使用 |

USB3\_HOST1引脚资源如下：

| 引脚编号 | 引脚名称             | 备注 |
|------|------------------|----|
| 177  | USB3_HOST1_SSRXP |    |
| 175  | USB3_HOST1_SSRXN |    |
| 173  | USB3_HOST1_SSTXP |    |
| 171  | USB3_HOST1_SSTXN |    |
| 169  | USB3_HOST1_DM    |    |
| 167  | USB3_HOST1_DP    |    |

USB2\_HOST引脚资源如下：

| 引脚编号 | 引脚名称          | 备注 |
|------|---------------|----|
| 28   | USB2_HOST2_DM |    |
| 26   | USB2_HOST2_DP |    |
| 22   | USB2_HOST3_DM |    |
| 24   | USB2_HOST3_DP |    |

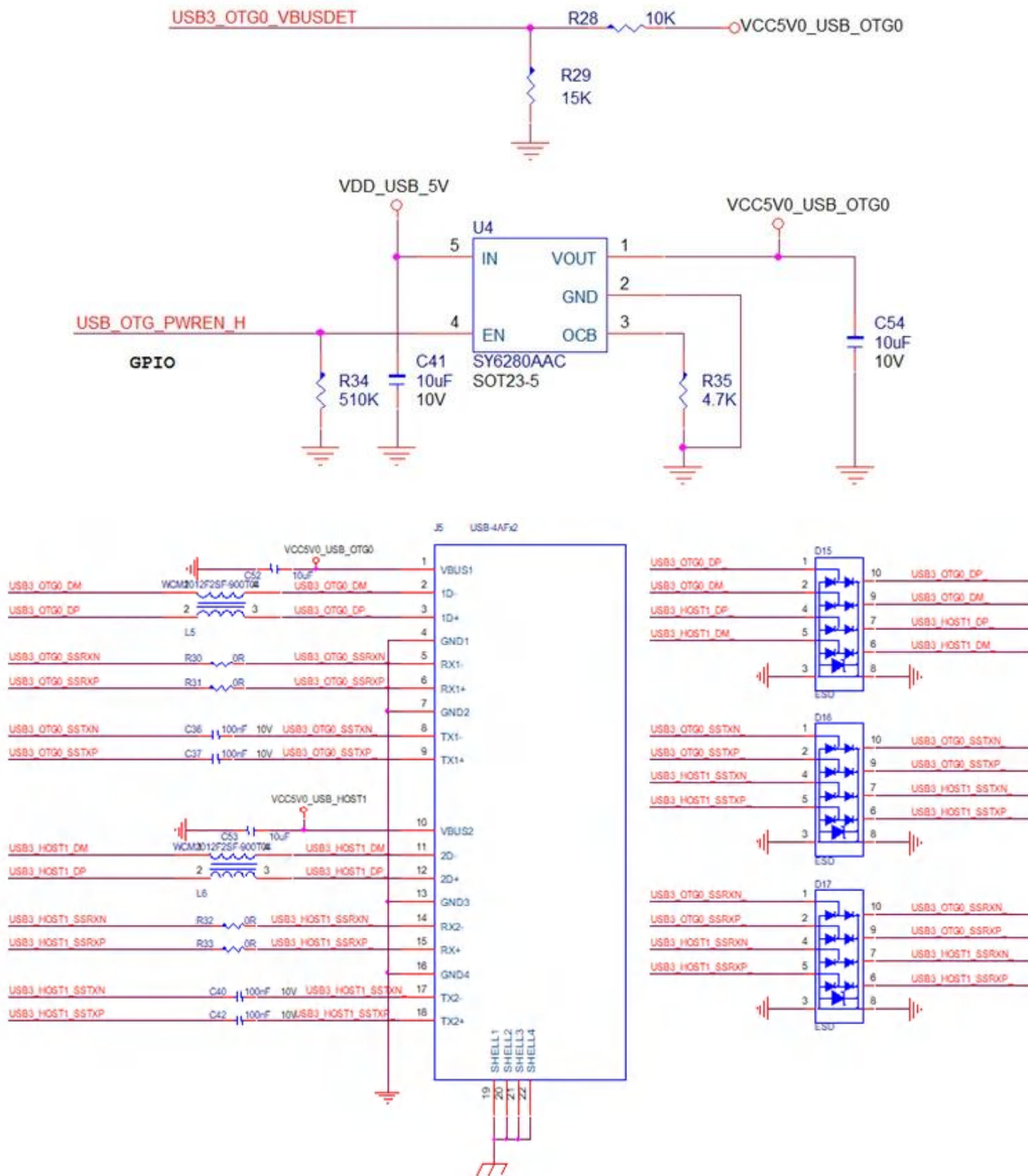


图6. USB3.0接口设计

## 2.5 以太网设计

IDO-SOM3568-V2有2路RGMII/RMII接口可用于扩展2路以太网功能。RGMII信号连接千兆PHY芯片，RMII信号可连接百兆PHY芯片。

**注意：引脚的电源域有3.3V和1.8V两种，部分PHY芯片IO电压可能不支持1.8V，必要时加高速电平转换芯片或更换PHY芯片。**

RK3568内部有两个GMAC控制器，其中GMAC0有一组信号引脚可用，GMAC1 有两组信号引脚可选，分别为M0和M1两组。

**GMAC0 RGMII/RMII引脚资源列表如下：**

| 引脚编号 | GMAC RGMII 信号定义  | RMII信号定义     | 电源域  |
|------|------------------|--------------|------|
| 219  | GMAC0_RXD2       | --           | 1.8V |
| 221  | GMAC0_RXD3       | --           | 1.8V |
| 223  | GMAC0_RXCLK      | --           | 1.8V |
| 225  | GMAC0_TXD2       | --           | 1.8V |
| 227  | GMAC0_TXD3       | --           | 1.8V |
| 229  | GMAC0_TXCLK      | --           | 1.8V |
| 216  | GMAC0_TXD0       | RMII0_TXD0   | 1.8V |
| 218  | GMAC0_TXD1       | RMII0_TXD1   | 1.8V |
| 220  | GMAC0_TXEN       | RMII0_TXEN   | 1.8V |
| 222  | GMAC0_RXD0       | RMII0_RXD0   | 1.8V |
| 224  | GMAC0_RXD1       | RMII0_RXD1   | 1.8V |
| 226  | GMAC0_RXDV_CRS   | RMII0_CRS_DV | 1.8V |
| 228  | ETH0_REFCLKO_25M |              | 1.8V |
| 230  | GMAC0_MCLKINOUT  | RMII0_CLK    | 1.8V |
| 232  | GMAC0_MDC        | RMII0_MDC    | 1.8V |
| 234  | GMAC0_MDIO       | RMII0_MDIO   | 1.8V |
| 236  | GMAC0_RXER       | RMII0_RXER   | 1.8V |

GMAC1 RGMII （M0组）引脚资源列表如下：

| 引脚编号 | GMAC1 RGMII 信号定义    | MAC1 RMII 信号定义 | 电源域  |
|------|---------------------|----------------|------|
| 58   | GMAC1_MDIO_M0       | RMII1_MDIO     | 3.3V |
| 60   | GMAC1_MDC_M0        | RMII1_MDC      | 3.3V |
| 68   | GMAC1_MCLKINOUT_M0  | RMII1_CLK      | 3.3V |
| 70   | GMAC1_TXEN_M0       | RMII1_TXEN     | 3.3V |
| 72   | GMAC1_TXD1_M0       | RMII1_TXD1     | 3.3V |
| 74   | GMAC1_TXD0_M0       | RMII1_TXD0     | 3.3V |
| 76   | GMAC1_RXER_M0       | RMII1_RXER     | 3.3V |
| 78   | GMAC1_RXDV_CRS_M0   | RMII1_CRS_DV   | 3.3V |
| 80   | GMAC1_RXD1_M0       | RMII1_RXD1     | 3.3V |
| 82   | GMAC1_RXD0_M0       | RMII1_RXD0     | 3.3V |
| 53   | ETH1_REFCLKO_25M_M0 | --             | 3.3V |
| 55   | GMAC1_RXCLK_M0      | --             | 3.3V |
| 57   | GMAC1_TXCLK_M0      | --             | 3.3V |
| 59   | GMAC1_RXD3_M0       | --             | 3.3V |
| 61   | GMAC1_RXD2_M0       | --             | 3.3V |
| 63   | GMAC1_TXD3_M0       | --             | 3.3V |
| 65   | GMAC1_TXD2_M0       | --             | 3.3V |

GMAC1 RGMII （M1组）引脚资源列表如下：

| 引脚编号 | GMAC1 RGMII 信号定义 | MAC1 RMII 信号定义 | 电源域 |
|------|------------------|----------------|-----|
|------|------------------|----------------|-----|

|    |                     |              |      |
|----|---------------------|--------------|------|
| 50 | GMAC1_MDIO_M1       | RMII1_MDIO   | 1.8V |
| 48 | GMAC1_MDC_M1        | RMII1_MDC    | 1.8V |
| 54 | ETH1_REFCLKO_25M_M1 | --           | 1.8V |
| 40 | GMAC1_RXER_M1       | RMII1_RXER   | 1.8V |
| 38 | GMAC1_RXDV_CRS_M1   | RMII1_CRS_DV | 1.8V |
| 36 | GMAC1_RXD1_M1       | RMII1_RXD1   | 1.8V |
| 34 | GMAC1_RXD0_M1       | RMII1_RXD0   | 1.8V |
| 32 | GMAC1_TXEN_M1       | RMII1_TXEN   | 1.8V |
| 49 | GMAC1_TXD1_M1       | RMII1_TXD1   | 1.8V |
| 47 | GMAC1_TXD0_M1       | RMII1_TXD0   | 1.8V |
| 45 | GMAC1_RXCLK_M1      | --           | 1.8V |
| 43 | GMAC1_RXD3_M1       | --           | 1.8V |
| 41 | GMAC1_RXD2_M1       | --           | 1.8V |
| 39 | GMAC1_TXCLK_M1      | --           | 1.8V |
| 37 | GMAC1_TXD3_M1       | --           | 1.8V |
| 35 | GMAC1_TXD2_M1       | --           | 1.8V |

千兆网/百兆以太网接口原理图请参考我司提供的开发板参考原理图。

## 2.6 音频接口设计

RK3568支持的音频接口清单：

| 音频接口资源 | 资源详情 | 说明 |
|--------|------|----|
|--------|------|----|

|       |      |           |
|-------|------|-----------|
| I2S   | I2S1 | RK809-5占用 |
|       | I2S2 | 双通道       |
|       | I2S3 | 双通道       |
| SPDIF | 1路   | 8通道       |
| PDM   | 1路   | 8通道       |

IDO-SOM3568板载PMIC RK809-5内部集成了一路Codec，占用了I2S1资源，核心板输出一路耳机音频输出（双通道），支持一路Mic输入。相关引脚定义如下：

| 引脚编号 | 引脚定义     | 说明                                    |
|------|----------|---------------------------------------|
| 242  | HPL_OUT  | Left channel output of the headphone  |
| 244  | HP_SNS   | Reference ground for the headphone    |
| 246  | HPR_OUT  | Right channel output of the headphone |
| 248  | MIC1_INP | Positive input of the Microphone      |
| 250  | MIC1_INN | Negative input of the Microphone      |

如果使用四段耳机座本地 MIC 需求时，RK809-5 的模拟 ADC 配置拆分两个单端输入；

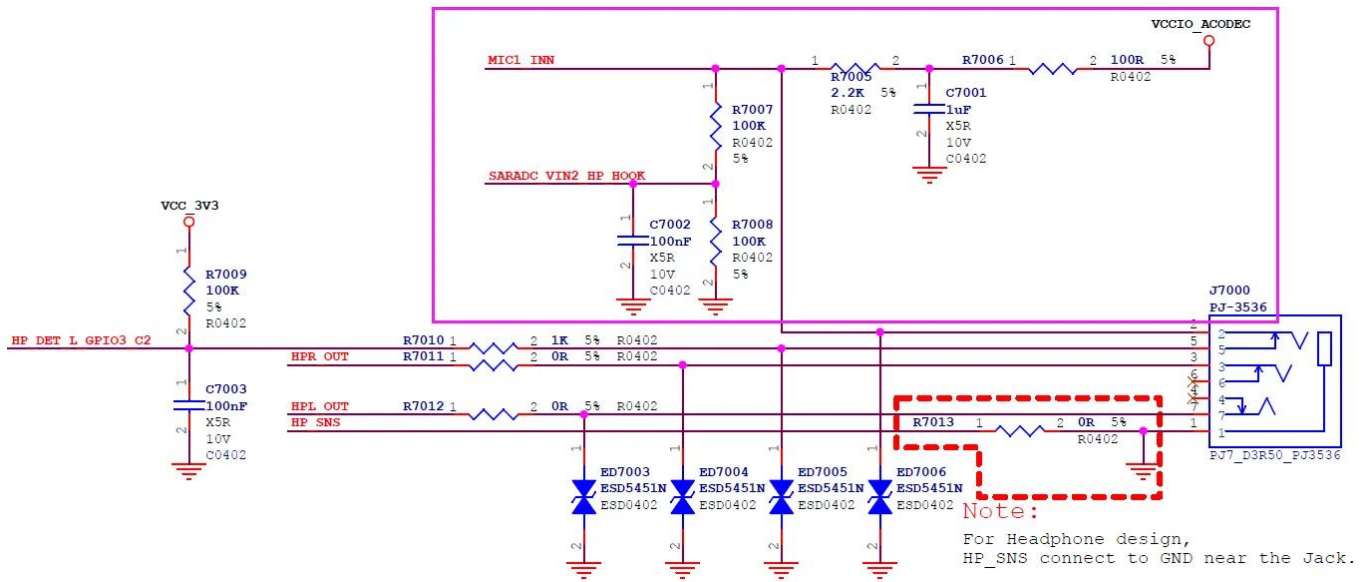


图7. 四段耳机座带MIC单端输入电路

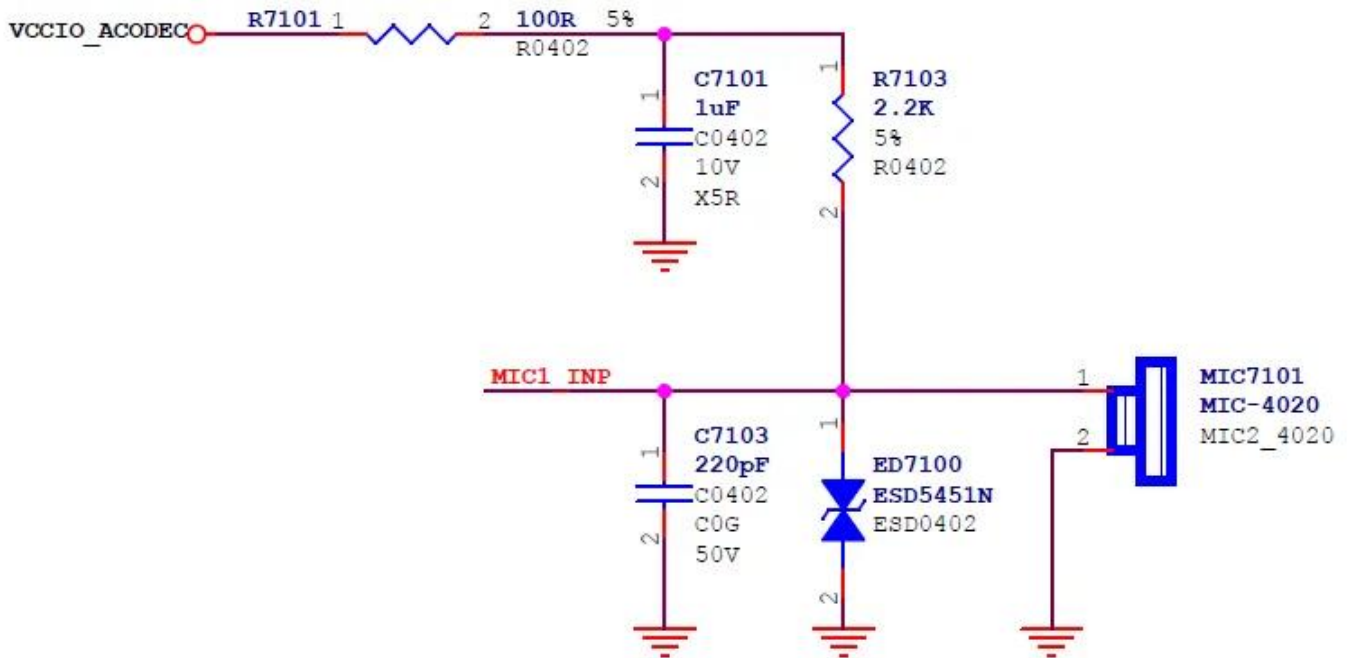


图8. 驻极体MIC单端输入电路

如果使用三段耳机座时，本地MIC 可使用 R K809 5 的模拟 ADC 配置为一个差分输入（相比单端输入，

差分输入具有更好的录音效果 偏置电源需要 68 100ohm 电阻和 1uF 以上电容进行 RC 滤波。

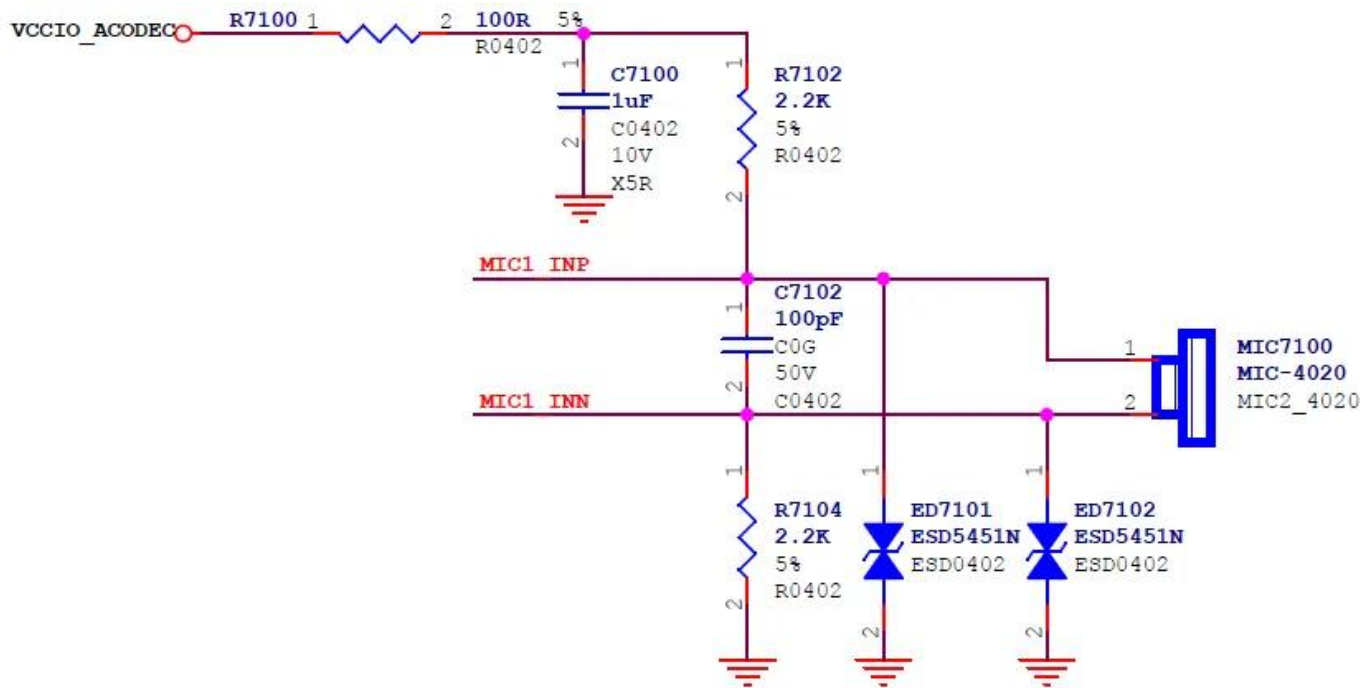


图9. 驻极体MIC差分输入电路

I2S2 (M0组) 引脚列表如下:

| 引脚编号 | I2S2信号          | 电源域  | 说明                                                                                              |
|------|-----------------|------|-------------------------------------------------------------------------------------------------|
| 224  | I2S2_SCLK_RX_M0 | 1.8V | I2S serial clock for receive data                                                               |
| 226  | I2S2_LRCK_RX_M0 | 1.8V | I2S left & right channel signal for receiving serial data, synchronous left & right channel.    |
| 228  | I2S2_MCLK_M0    | 1.8V | I2S clock source                                                                                |
| 230  | I2S2_SCLK_TX_M0 | 1.8V | I2S serial clock for transmit data                                                              |
| 232  | I2S2_LRCK_TX_M0 | 1.8V | I2S left & right channel signal for transmitting serial data, synchronous left & right channel. |

|     |             |      |                        |
|-----|-------------|------|------------------------|
| 234 | I2S2_SDO_M0 | 1.8V | I2S serial data output |
| 236 | I2S2_SDI_M0 | 1.8V | I2S serial data input  |

I2S2 (M1组) 引脚列表如下:

| 引脚编号 | I2S2信号          | 电源域  | 说明                                                                                              |
|------|-----------------|------|-------------------------------------------------------------------------------------------------|
| 54   | I2S2_SCLK_RX_M1 | 1.8V | I2S serial clock for receive data                                                               |
| 49   | I2S2_LRCK_RX_M1 | 1.8V | I2S left & right channel signal for receiving serial data, synchronous left & right channel.    |
| 48   | I2S2_MCLK_M1    | 1.8V | I2S clock source                                                                                |
| 50   | I2S2_SCLK_TX_M1 | 1.8V | I2S serial clock for transmit data                                                              |
| 47   | I2S2_LRCK_TX_M1 | 1.8V | I2S left & right channel signal for transmitting serial data, synchronous left & right channel. |
| 42   | I2S2_SDO_M1     | 1.8V | I2S serial data output                                                                          |
| 40   | I2S2_SDI_M1     | 1.8V | I2S serial data input                                                                           |

I2S3 (M0组) 引脚列表如下:

| 引脚编号 | I2S3信号       | 电源域  | 说明                                             |
|------|--------------|------|------------------------------------------------|
| 63   | I2S3_SCLK_M0 | 3.3V | I2S serial clock for receiving & transmit data |

|    |              |      |                                                                                                         |
|----|--------------|------|---------------------------------------------------------------------------------------------------------|
| 61 | I2S3_LRCK_M0 | 3.3V | I2S left & right channel signal for receiving & transmit serial data, synchronous left & right channel. |
| 65 | I2S3_MCLK_M0 | 3.3V | I2S clock source                                                                                        |
| 59 | I2S3_SDO_M0  | 3.3V | I2S serial data output                                                                                  |
| 57 | I2S3_SDI_M0  | 3.3V | I2S serial data input                                                                                   |

I2S3 (M1组) 引脚列表如下:

| 引脚编号 | I2S3信号       | 电源域  | 说明                                                                                                      |
|------|--------------|------|---------------------------------------------------------------------------------------------------------|
| 138  | I2S3_SCLK_M1 | 3.3V | I2S serial clock for receiving & transmit data                                                          |
| 140  | I2S3_LRCK_M1 | 3.3V | I2S left & right channel signal for receiving & transmit serial data, synchronous left & right channel. |
| 136  | I2S3_MCLK_M1 | 3.3V | I2S clock source                                                                                        |
| 142  | I2S3_SDO_M1  | 3.3V | I2S serial data output                                                                                  |
| 144  | I2S3_SDI_M1  | 3.3V | I2S serial data input                                                                                   |

RK3568提供一个 SPDIF TX 数字音频接口，最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips

Digital Interface Format 是 SONY 、 PHILIPS 数字音频接口的简称。就传输载体而言， SPDIF 又分为同

轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异， SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需

考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

SPDIF 引脚配置列表如下：

| 引脚编号 | 信号定义        | 电源域  |
|------|-------------|------|
| 8    | SPDIF_TX_M0 | 3.3V |
| 58   | SPDIF_TX_M1 | 3.3V |
| 140  | SPDIF_TX_M2 | 3.3V |

PDM (M0组) 引脚配置列表 如下：

| 引脚编号 | 信号定义        | 电源域  | 说明                 |
|------|-------------|------|--------------------|
| 2    | PDM_SDI3_M0 | 3.3V |                    |
| 4    | PDM_SDI2_M0 | 3.3V |                    |
| 6    | PDM_SDI1_M0 | 3.3V |                    |
| 8    | PDM_CLK1_M0 | 3.3V | PDM sampling clock |

PDM (M1组) 引脚配置列表 如下：

| 引脚编号 | 信号定义        | 电源域  | 说明                 |
|------|-------------|------|--------------------|
| 35   | PDM_CLK0_M1 | 1.8V | PDM sampling clock |
| 37   | PDM_SDI0_M1 | 1.8V |                    |
| 39   | PDM_CLK1_M1 | 1.8V | PDM sampling clock |
| 41   | PDM_SDI1_M1 | 1.8V |                    |
| 43   | PDM_SDI2_M1 | 1.8V |                    |
| 45   | PDM_SDI3_M1 | 1.8V |                    |

PDM (M1组) 引脚配置列表 如下：

| 引脚编号 | 信号定义        | 电源域  | 说明                 |
|------|-------------|------|--------------------|
| 60   | PDM_CLK1_M2 | 3.3V | PDM sampling clock |
| 68   | PDM_SDI3_M2 | 3.3V |                    |
| 70   | PDM_SDI2_M2 | 3.3V |                    |
| 76   | PDM_SDI1_M2 | 3.3V |                    |
| 78   | PDM_SDI0_M2 | 3.3V |                    |

## 2.7 HDMI设计

RK3568 支持一路HDMI输出，支持HDMI1.4 和HDMI2.0, 支持到1080p@120Hz 和 4096x2160@60Hz，支持3D 视频格式，支持 HDCP1.4/2.2 。

IDO-SOM3568-V2核心板引出了HDMI高速线，支持HDMI2.0协议，分辨率达到4K。若做底板设计，接口需要预留ESD保护设计，并且ESD器件靠近HDMI接口放置，推荐ESD结电容最大不超过0.4PF。

**注意：RK3568芯片的I2C是不支持5V电平的，所以DDC/I2C总线需要增加电平转换电路。HDMI高速差分线在LAYOUT设计时尽量避免换层，走线尽量短，参考面保证完整，100ohm差分阻抗控制。**

HDMI引脚列表如下：

| 引脚编号 | 信号定义          | 说明                          |
|------|---------------|-----------------------------|
| 143  | HDMI_TX_HPDIN | HDMI hot plug detect signal |
| 91   | HDMITX_SDA    | DDC/SDA 需要做电平转换             |
| 93   | HDMITX_SCL    | DDC/SCL 需要做电平转换             |
| 89   | HDMITX_CEC_M0 | HDMI CEC signal             |
| 147  | HDMI_TX_CLKN  |                             |
| 149  | HDMI_TX_CLKP  |                             |
| 155  | HDMI_TX_D0N   |                             |
| 153  | HDMI_TX_D0P   |                             |

|     |             |  |
|-----|-------------|--|
| 159 | HDMI_TX_D1N |  |
| 157 | HDMI_TX_D1P |  |
| 163 | HDMI_TX_D2N |  |
| 159 | HDMI_TX_D2P |  |

HDMI 接口CEC电路电平转换设计。

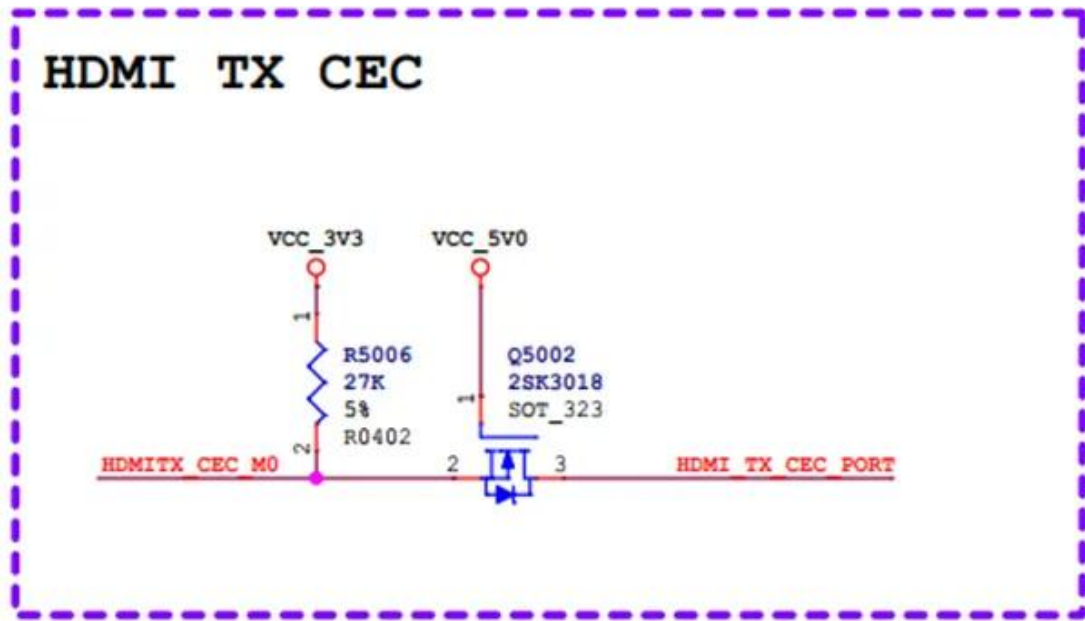


图10. CEC电平转换参考设计图

DDC/I2C总线电平转换电路设计。

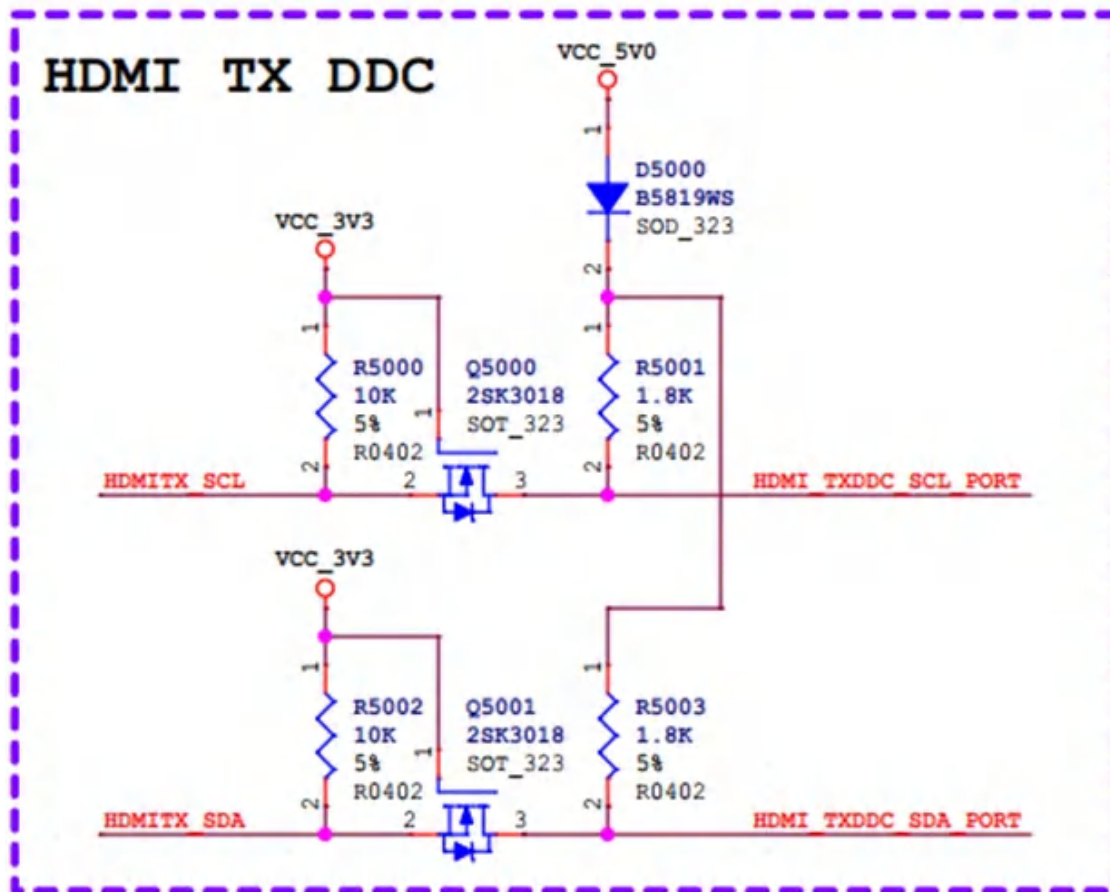


图11. DDC/I2C总线电平转换参考设计图

HDMI接口电路设计

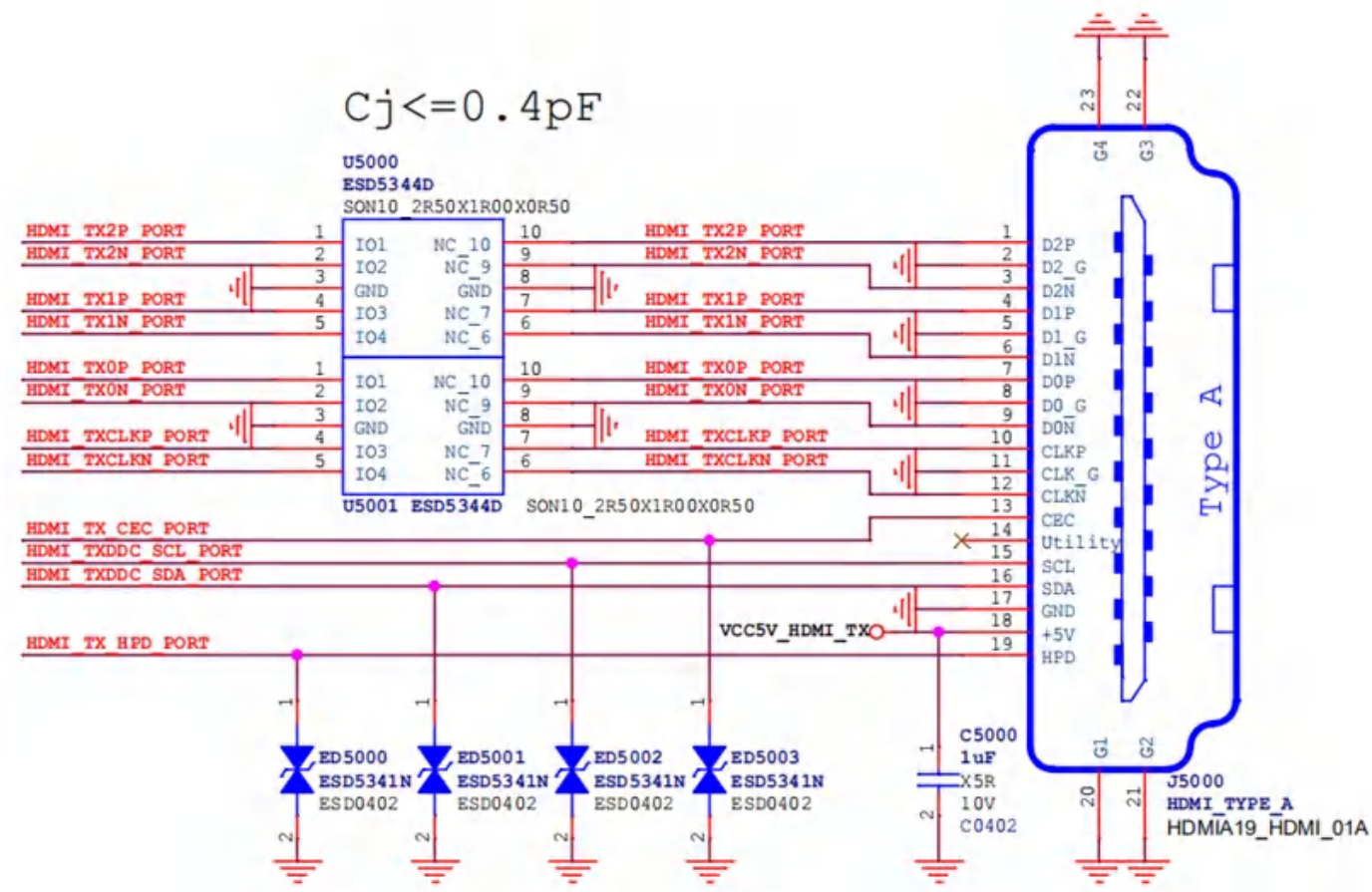


图12. HDMI接口设计图

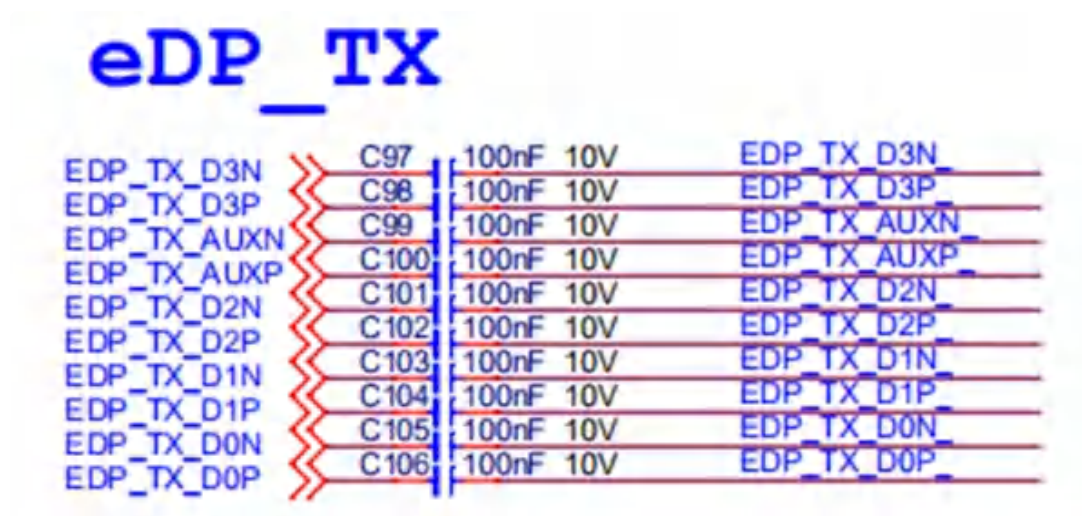
## 2.8 eDP设计

RK3568支持一路eDP视频输出接口，eDP1.3，4lane，分辨率最大支持到2560x1600@60Hz。

eDP引脚列表如下：

| 引脚号 | 引脚定义        | 描述                                      |
|-----|-------------|-----------------------------------------|
| 201 | EDP_TX_D3N  | Lane3 data negative differential output |
| 203 | EDP_TX_D3P  | Lane3 data positive differential output |
| 197 | EDP_TX_AUXN | CH-AUX negative differential output     |

|     |             |                                         |
|-----|-------------|-----------------------------------------|
| 199 | EDP_TX_AUXP | CH-AUX positive differential output     |
| 205 | EDP_TX_D2N  | Lane2 data negative differential output |
| 207 | EDP_TX_D2P  | Lane2 data positive differential output |
| 209 | EDP_TX_D1N  | Lane1 data negative differential output |
| 211 | EDP_TX_D1P  | Lane1 data positive differential output |
| 213 | EDP_TX_D0N  | Lane0 data negative differential output |
| 215 | EDP_TX_D0P  | Lane0 data positive differential output |



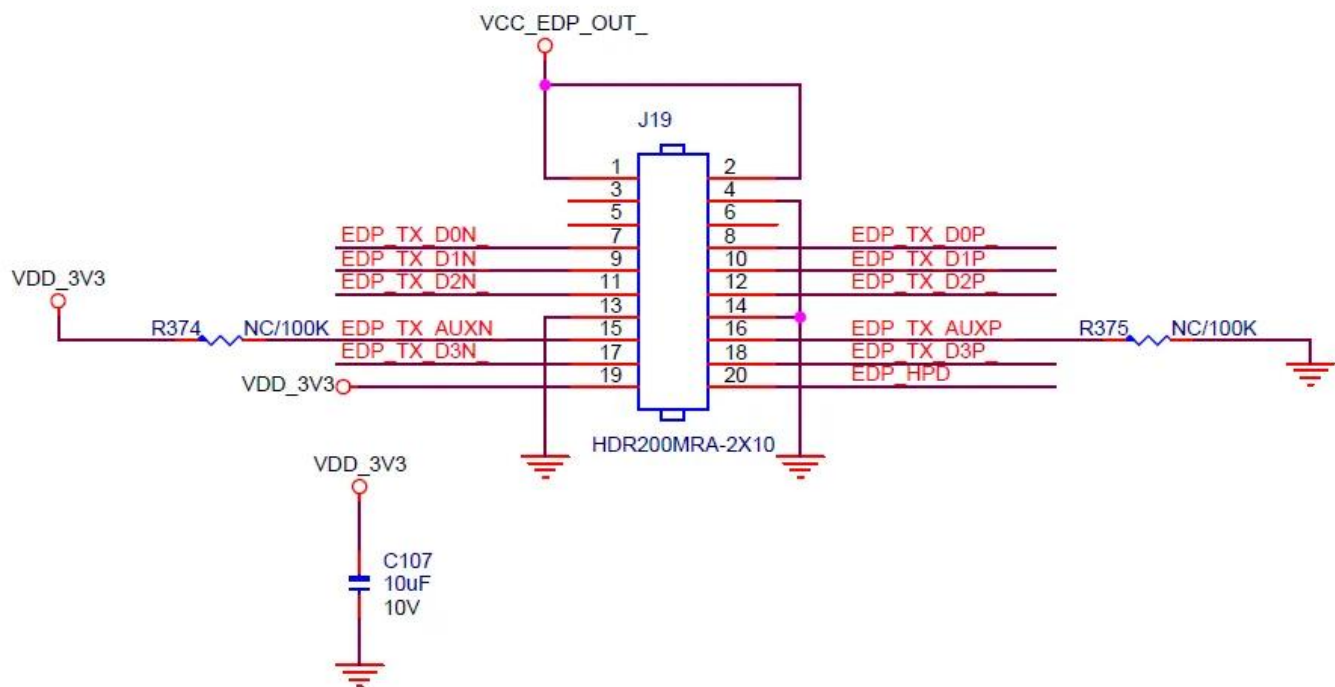


图13. eDP接口参考设计图

注意：LAYOUT走线需要控制等长处理，参考面完整，100ohm差分阻抗控制。数据通道输出耦合电容需靠近核心板端。

## 2.9 MIPI-DSI/LVDS设计

IDO-SOM3568-V2核心板引出两路MIPI接口，每路4Lane,最大支持1080P@60HZ分辨率，供客户外接MIPI-DSI显示屏使用。其中MIPI0可以配置为LVDS输出。当配置为LVDS信号时，最大支持1366\*760@60HZ的LVDS接口屏幕。

MIPI0/LVDS0引脚资源列表：

| 引脚编号 | MIPI引脚定义         | LVDS引脚定义     | 描述                 |
|------|------------------|--------------|--------------------|
| 123  | MIPI_DSI_TX0_D3N | LVDS_TX0_D3N | MIPI0/LVDS-发送-D3-负 |
| 125  | MIPI_DSI_TX0_D3P | LVDS_TX0_D3P | MIPI0/LVDS-发送-D3-正 |

|     |                   |               |                        |
|-----|-------------------|---------------|------------------------|
| 127 | MIPI_DSI_TX0_D2N  | LVDS_TX0_D2N  | MIPI0/LVDS-发送-D2-<br>负 |
| 129 | MIPI_DSI_TX0_D2P  | LVDS_TX0_D2P  | MIPI0/LVDS-发送-D2-<br>正 |
| 131 | MIPI_DSI_TX0_CLKN | LVDS_TX0_CLKN | MIPI0/LVDS-时钟-负        |
| 133 | MIPI_DSI_TX0_CLKP | LVDS_TX0_CLKP | MIPI0/LVDS-时钟-正        |
| 135 | MIPI_DSI_TX0_D1N  | LVDS_TX0_D1N  | MIPI0/LVDS-发送-D1-<br>负 |
| 137 | MIPI_DSI_TX0_D1P  | LVDS_TX0_D1P  | MIPI0/LVDS-发送-D1-<br>正 |
| 139 | MIPI_DSI_TX0_D0N  | LVDS_TX0_D0N  | MIPI0/LVDS-发送-D0-<br>负 |
| 141 | MIPI_DSI_TX0_D0P  | LVDS_TX0_D0P  | MIPI0/LVDS-发送-D0-<br>正 |

#### MIPI1引脚资源列表：

| 引脚号 | 引脚定义              | 描述            |
|-----|-------------------|---------------|
| 86  | MIPI_DSI_TX1_D3N  | MIPI1-发送-D3-负 |
| 88  | MIPI_DSI_TX1_D3P  | MIPI1-发送-D3-正 |
| 90  | MIPI_DSI_TX1_D2N  | MIPI1-发送-D2-负 |
| 92  | MIPI_DSI_TX1_D2P  | MIPI1-发送-D2-正 |
| 94  | MIPI_DSI_TX1_CLKN | MIPI1-时钟-负    |
| 96  | MIPI_DSI_TX1_CLKP | MIPI1-时钟-正    |
| 98  | MIPI_DSI_TX1_D1N  | MIPI1-发送-D1-负 |
| 100 | MIPI_DSI_TX1_D1P  | MIPI1-发送-D1-正 |
| 102 | MIPI_DSI_TX1_D0N  | MIPI1-发送-D0-负 |
| 104 | MIPI_DSI_TX1_D0P  | MIPI1-发送-D0-正 |

注意：MIPI高速差分对，差分阻抗按照100ohm控制。走线参考面完整。

## 2.10 PCIe设计

RK3568支持1路PCIe2.0和1路PCIe3.0，其中PCIe2.0 1Lane，PCIe3.0 2Lane。

注意事项：

- PCIe2.0接口信号与SATA2，QSGMII 信号复用。PCIe2.0/SATA2/QSGMII只能同时配置一个接口。

PCIe2.0引脚资源列表：

| 引脚编号 | 引脚定义              | 描述                                              |
|------|-------------------|-------------------------------------------------|
| 190  | PCIE20_TXP        | PCIE发送0-正                                       |
| 192  | PCIE20_TXN        | PCIE发送0-负                                       |
| 186  | PCIE20_RXP        | PCIE接收0-正                                       |
| 188  | PCIE20_RXN        | PCIE接收0-负                                       |
| 182  | PCIE20_REFCLKP    | PCIE参考时钟-正                                      |
| 184  | PCIE20_REFCLKN    | PCIE参考时钟-负                                      |
| 148  | PCIE20_BUTTONRSTn | PCle Reset request (INPUT)                      |
| 150  | PCIE20_WAKEn_M0   | PCle wake up (I/O)                              |
| 152  | PCIE20_PERSTn_M0  | PCle warm reset request (INPUT)                 |
| 212  | PCIE20_CLKREQn_M0 | PCle clock request from PCle peripheral (INPUT) |
| 2    | PCIE20_CLKREQn_M2 | PCle clock request from PCle peripheral (INPUT) |
| 4    | PCIE20_WAKEn_M2   | PCle wake up (I/O)                              |

|    |                   |                                                    |
|----|-------------------|----------------------------------------------------|
| 6  | PCIE20_PERSTn_M2  | PCIe warm reset request<br>(INPUT)                 |
| 66 | PCIE20_PERSTn_M1  | PCIe warm reset request<br>(INPUT)                 |
| 85 | PCIE20_WAKEn_M1   | PCIe wake up (I/O)                                 |
| 87 | PCIE20_CLKREQn_M1 | PCIe clock request from PCIe<br>peripheral (INPUT) |

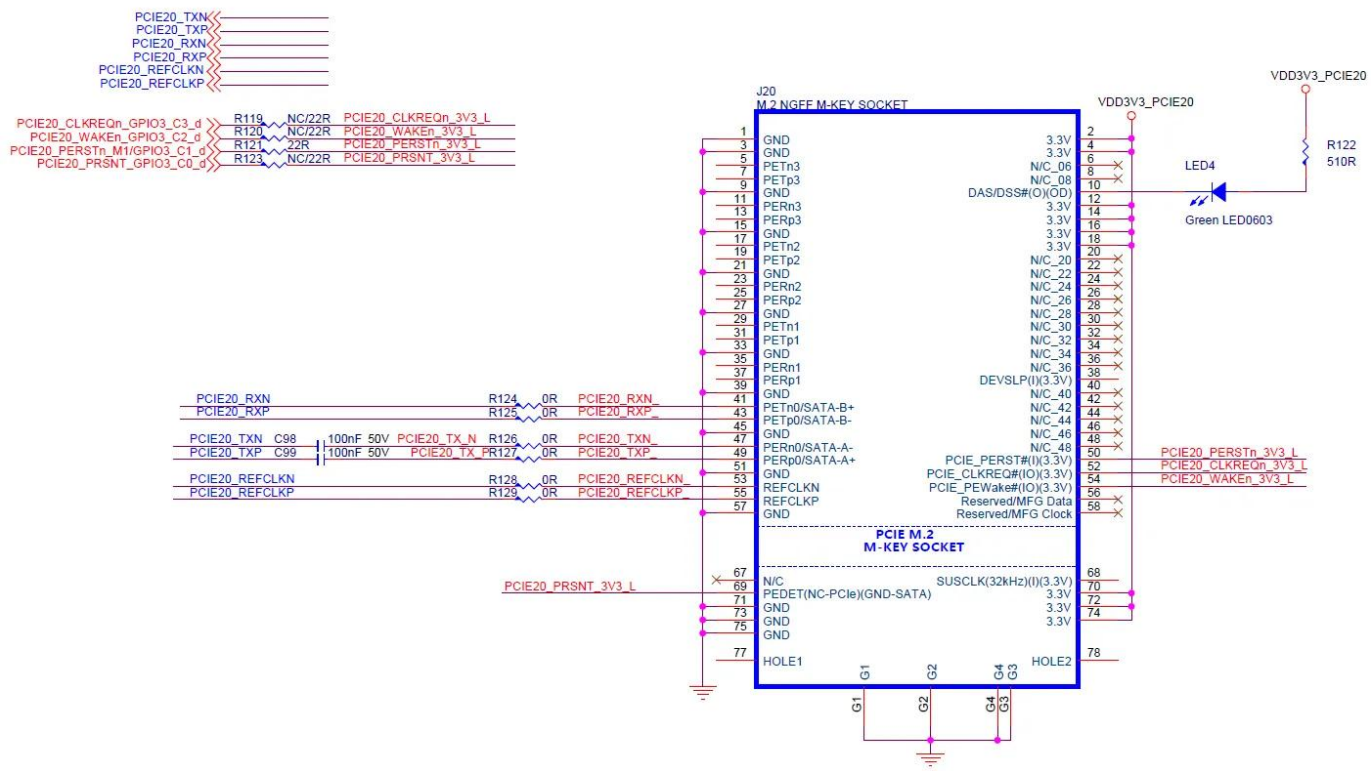


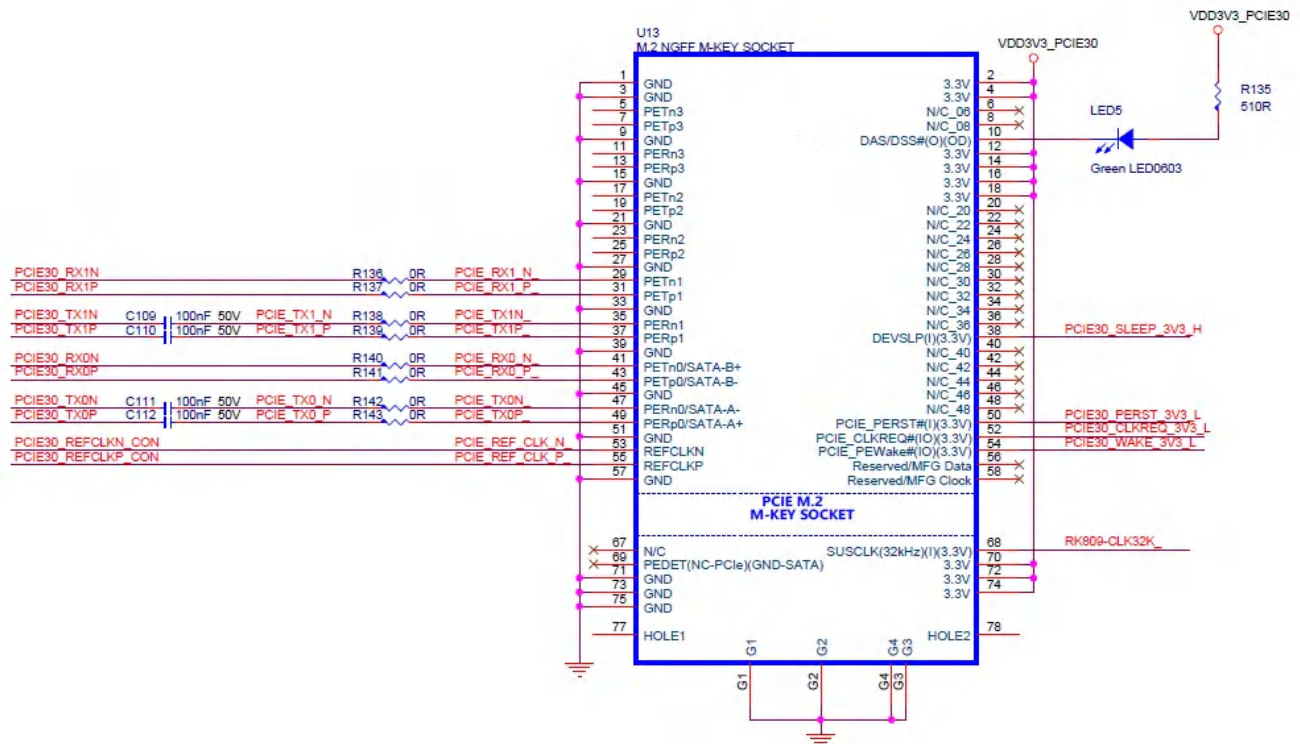
图14. PCIe2.0接口设计

PCIe3.0引脚资源列表

| 引脚编号 | PCIe3.0信号   | 电源域 | 信号描述           |
|------|-------------|-----|----------------|
| 174  | PCIE30_TX0P |     | PCIe3.0 发送 0 正 |
| 172  | PCIE30_TX0N |     | PCIe3.0 发送 0 负 |
| 170  | PCIE30_TX1P |     | PCIe3.0 发送 1 正 |
| 168  | PCIE30_TX1N |     | PCIe3.0 发送 1 负 |

|     |                      |      |                                                 |
|-----|----------------------|------|-------------------------------------------------|
| 166 | PCIE30_RX0P          |      | PCIE3.0 接收 0 正                                  |
| 164 | PCIE30_RX0N          |      | PCIE3.0 接收 0 负                                  |
| 162 | PCIE30_RX1P          |      | PCIE3.0 接收 1 正                                  |
| 160 | PCIE30_RX1N          |      | PCIE3.0 接收 1 负                                  |
| 178 | PCIE30_REFCLKP_IN    |      | PCIE3.0 参考时钟 正                                  |
| 176 | PCIE30_REFCLKN_IN    |      | PCIE3.0 参考时钟 负                                  |
| 67  | PCIE30X1_PERSTn_M1   | 3.3V | PCle warm reset request (INPUT)                 |
| 75  | PCIE30X2_PERSTn_M1   | 3.3V | PCle warm reset request (INPUT)                 |
| 77  | PCIE30X2_WAKEn_M1    | 3.3V | PCle wake up (I/O)                              |
| 79  | PCIE30X2_CLKREQn_M1  | 3.3V | PCle clock request from PCle peripheral (INPUT) |
| 81  | PCIE30X1_WAKEn_M1    | 3.3V | PCle wake up (I/O)                              |
| 83  | PCIE30X1_CLKREQn_M1  | 3.3V | PCle clock request from PCle peripheral (INPUT) |
| 110 | PCIE30X2_CLKREQn_M0  | 3.3V | PCle clock request from PCle peripheral (INPUT) |
| 112 | PCIE30X2_BUTTONRS Tn | 3.3V | PCle Reset request (INPUT)                      |
| 124 | PCIE30X1_WAKEn_M0    | 3.3V | PCle wake up (I/O)                              |
| 126 | PCIE30X1_PERSTn_M0   | 3.3V | PCle warm reset request (INPUT)                 |
| 130 | PCIE30X2_WAKEn_M0    | 3.3V | PCle wake up (I/O)                              |
| 132 | PCIE30X2_PERSTn_M1   | 3.3V | PCle warm reset request (INPUT)                 |

|     |                      |      |                                                 |
|-----|----------------------|------|-------------------------------------------------|
| 136 | PCIE30X2_CLKREQn_M2  | 3.3V | PCIe clock request from PCIe peripheral (INPUT) |
| 138 | PCIE30X2_WAKEn_M2    | 3.3V | PCIe wake up (I/O)                              |
| 140 | PCIE30X2_PERSTn_M2   | 3.3V | PCIe warm reset request (INPUT)                 |
| 146 | PCIE30X1_BUTTONRS Tn | 3.3V | PCIe Reset request (INPUT)                      |
| 208 | PCIE30X1_CLKREQn_M0  | 3.3V | PCIe clock request from PCIe peripheral (INPUT) |



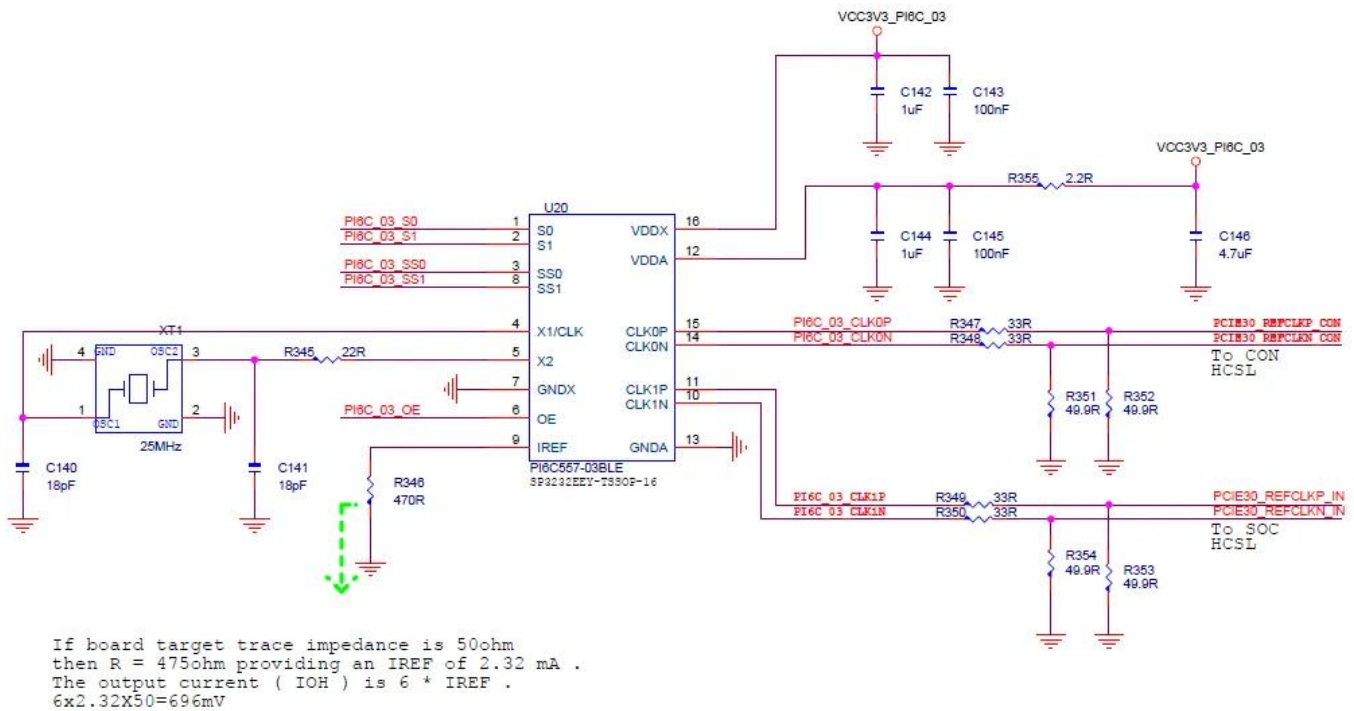


图15. PCIe3.0接口设计

PCIe接口设计注意事项：PCIe高速差分对，差分阻抗按照100ohm控制；走线参考面完整。

## 2.11 MIPI–CSI接口设计

IDO–SOM3568–V2核心板内置8M ISP处理器,支持一路4 Lane MIPI CSI输入,也可以配置成两路2Lane MIPI CSI 输入。支持单路8M/13M摄像头，或两路5M摄像头接入。

注意事项：

- 支持 x4 Lane 模式 MIPI\_CSI\_RX\_D 【3:0】 数据参考 MIPI\_CSI\_RX\_ CLK0
- MIPI\_CSI\_RX\_D 【1:0】 数据参考 MIPI\_CSI\_RX\_ CLK0
- MIPI\_CSI\_RX\_D 【3:2】 数据参考 MIPI\_CSI\_RX\_ CLK1

MIPI–CSI 单摄像头和双摄像头的配置区别如下图示：

|         |                     |                                      |
|---------|---------------------|--------------------------------------|
| Option1 | Sensor1 x4Lane      | MIPI_CSI_RX_D0-3<br>MIPI_CSI_RX_CLK0 |
| Option2 | Sensor1 x2Lane      | MIPI_CSI_RX_D0-1<br>MIPI_CSI_RX_CLK0 |
|         | +<br>Sensor2 x2Lane | MIPI_CSI_RX_D2-3<br>MIPI_CSI_RX_CLK1 |

图16. MIPI-CSI接口单/双摄像头配置选择

MIPI-CSI引脚列表如下：

| 引脚编号 | 引脚定义              | 描述                   |
|------|-------------------|----------------------|
| 119  | MIPI_CSI_RX_D0P   | MIPI_接收1-D0-正        |
| 117  | MIPI_CSI_RX_D0N   | MIPI_接收1-D0-负        |
| 115  | MIPI_CSI_RX_D1P   | MIPI_接收1-D1正         |
| 113  | MIPI_CSI_RX_D1N   | MIPI_接收1-D1负         |
| 111  | MIPI_CSI_RX_D2P   | MIPI_接收1-D2-正        |
| 109  | MIPI_CSI_RX_D2N   | MIPI_接收1-D2-负        |
| 107  | MIPI_CSI_RX_D3P   | MIPI_接收1-D3-正        |
| 105  | MIPI_CSI_RX_D3N   | MIPI_接收1-D3-负        |
| 103  | MIPI_CSI_RX_CLK0P | MIPI_接收1-时钟-正        |
| 101  | MIPI_CSI_RX_CLK0N | MIPI_接收1-时钟-负        |
| 99   | MIPI_CSI_RX_CLK1P | MIPI_接收2-时钟-正 （用于双摄） |
| 97   | MIPI_CSI_RX_CLK1N | MIPI_接收2-时钟-负 （用于双摄） |

表13.MIPI–CSI引脚列表

MIPI–CSI接口设计注意事项：MIPI–CSI高速差分对，差分阻抗按照100ohm控制；走线参考面完整。

## 2.12 SATA总线

RK3568自带3路独立的SATA3.0控制器，兼容SATA 3.3 和 AHCI Revision 1.3.1,支持eSATA，支持1.5Gb/s, 3.0Gb/s, 6.0Gb/s。

SATA信号与USB3.0,PCIE2.1, QSGMII/SGMII信号是复用的。根据实际情况选用并配置驱动来使用。

SATA信号引脚资源列表如下：

| SATA控制器 | 核心板引脚编号 | SATA信号定义  | 信号说明       |
|---------|---------|-----------|------------|
| SATA2   | 190     | SATA2_TXP | SATA 发送 DP |
|         | 192     | SATA2_TXN | SATA 发送 DN |
|         | 186     | SATA2_RXP | SATA 接收 DP |
|         | 188     | SATA2_RXN | SATA 接收 DN |
| SATA1   | 173     | SATA1_TXP | SATA 发送 DP |
|         | 171     | SATA1_TXN | SATA 发送 DN |
|         | 177     | SATA1_RXP | SATA 接收 DP |
|         | 175     | SATA1_RXN | SATA 接收 DN |
| SATA0   | 181     | SATA0_TXP | SATA 发送 DP |
|         | 179     | SATA0_TXN | SATA 发送 DN |
|         | 185     | SATA0_RXP | SATA 接收 DP |
|         | 183     | SATA0_RXN | SATA 接收 DN |

SATA接口设计注意事项：走线按照100ohm差分阻抗。10nF耦合电容靠近SATA座子。 走线长度<5inch。 参考设计如下图：

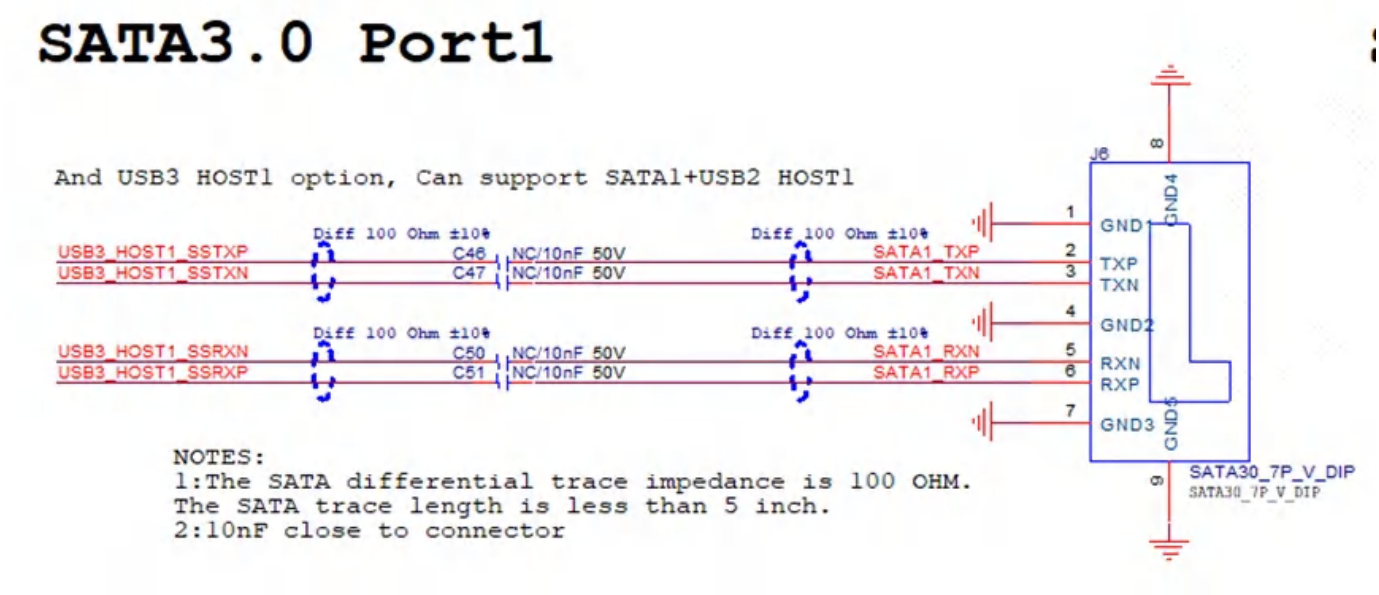


图17. SATA接口参考设计

## 2.13 UART设计

IDO-SOM3568-V2核心板共引出10路UART口，其中UART2C为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

注意事项：

- 需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。
- UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1，M2三组引脚可选配，同一个UART控制器同时只能配置一组引脚。
- 调试串口默认为UART2 M0引脚组。

UART信号定义及可复用引脚列表：

| UART资源 | 引脚编号 | UART信号定义 | 电源域  |
|--------|------|----------|------|
| UART0  | 120  | UART0_RX | 3.3V |
|        |      |          |      |

|             |     |               |             |
|-------------|-----|---------------|-------------|
|             | 122 | UART0_TX      |             |
|             | 128 | UART0_RTSn    |             |
|             | 134 | UART0_CTSn    |             |
| UART1 (M0组) | 216 | UART1_RX_M0   | 1.8V        |
|             | 218 | UART1_TX_M0   |             |
|             | 220 | UART1_RTSn_M0 |             |
|             | 222 | UART1_CTSn_M0 |             |
| UART1 (M1组) | 37  | UART1_RX_M1   | 1.8V        |
|             | 35  | UART1_TX_M1   |             |
|             | 48  | UART1_RTSn_M1 |             |
|             | 54  | UART1_CTSn_M1 |             |
| UART2 (M0组) | 118 | UART2_TX_M0   | 3.3V (调试串口) |
|             | 116 | UART2_RX_M0   |             |
| UART2 (M1组) | 198 | UART2_RX_M1   | 3.3V        |
|             | 196 | UART2_TX_M1   |             |
| UART3 (M0组) | 154 | UART3_RX_M0   | 3.3V        |
|             | 156 | UART3_TX_M0   |             |
| UART3 (M1组) | 68  | UART3_RX_M1   | 3.3V        |
|             | 70  | UART3_TX_M1   |             |
| UART4 (M1组) | 80  | UART4_TX_M1   | 3.3V        |
|             | 82  | UART4_RX_M1   |             |
| UART5 (M0组) | 206 | UART5_TX_M0   | 3.3V        |
|             | 204 | UART5_RX_M0   |             |
|             | 202 | UART5_RTSn_M0 |             |
|             | 200 | UART5_CTSn_M0 |             |

|             |     |               |      |
|-------------|-----|---------------|------|
| UART5 (M1组) | 62  | UART5_RX_M1   | 3.3V |
|             | 64  | UART5_TX_M1   |      |
| UART6 (M0组) | 219 | UART6_RX_M0   | 1.8V |
|             | 221 | UART6_TX_M0   |      |
|             | 224 | UART6_RTSn_M0 |      |
|             | 226 | UART6_CTSn_M0 |      |
| UART6 (M1组) | 198 | UART6_RX_M1   | 3.3V |
|             | 196 | UART6_TX_M1   |      |
| UART7 (M0组) | 223 | UART7_RX_M0   | 1.8V |
|             | 225 | UART7_TX_M0   |      |
|             | 228 | UART7_RTSn_M0 |      |
|             | 230 | UART7_CTSn_M0 |      |
| UART7 (M2组) | 45  | UART7_RX_M2   | 1.8V |
|             | 43  | UART7_TX_M2   |      |
| UART7 (M1组) | 58  | UART7_RX_M1   | 3.3V |
|             | 60  | UART7_TX_M1   |      |
| UART8 (M0组) | 231 | UART8_RTSn_M0 | 1.8V |
|             | 233 | UART8_CTSn_M0 |      |
|             | 238 | UART8_RX_M0   |      |
|             | 236 | UART8_TX_M0   |      |
| UART8 (M1组) | 71  | UART8_RX_M1   |      |
|             | 73  | UART8_TX_M1   |      |
| UART9 (M0组) | 232 | UART9_RTSn_M0 | 1.8V |
|             | 234 | UART9_CTSn_M0 |      |
|             | 227 | UART9_RX_M0   |      |
|             |     |               |      |

|             |     |             |      |
|-------------|-----|-------------|------|
| UART9 (M1组) | 229 | UART9_TX_M0 | 3.3V |
|             | 142 | UART9_TX_M1 |      |
|             | 144 | UART9_RX_M1 |      |
| UART9 (M2组) | 49  | UART9_RX_M2 | 1.8V |
|             | 47  | UART9_TX_M2 |      |

## 2.14 CAN总线

IDO-SOM3568-V2引出3个CAN总线控制器，支持 CAN 2.0B 协议。

CAN接口引脚资源如下表：

| CAN资源 | 引脚分组 | 引脚编号 | CAN信号定义    | 电源域  |
|-------|------|------|------------|------|
| CAN0  | M0   | 146  | CAN0_TX_M0 | 3.3V |
|       |      | 148  | CAN0_RX_M0 | 3.3V |
|       | M1   | 204  | CAN0_RX_M1 | 3.3V |
|       |      | 206  | CAN0_TX_M1 | 3.3V |
| CAN1  | M0   | 154  | CAN1_RX_M0 | 3.3V |
|       |      | 156  | CAN1_TX_M0 | 3.3V |
|       | M1   | 136  | CAN1_RX_M1 | 3.3V |
|       |      | 138  | CAN1_TX_M1 | 3.3V |
| CAN2  | M0   | 46   | CAN2_TX_M0 | 1.8V |
|       |      | 44   | CAN2_RX_M0 | 1.8V |
|       | M1   | 231  | CAN2_RX_M1 | 1.8V |
|       |      | 233  | CAN2_TX_M1 | 1.8V |

CAN总线参考设计如下：

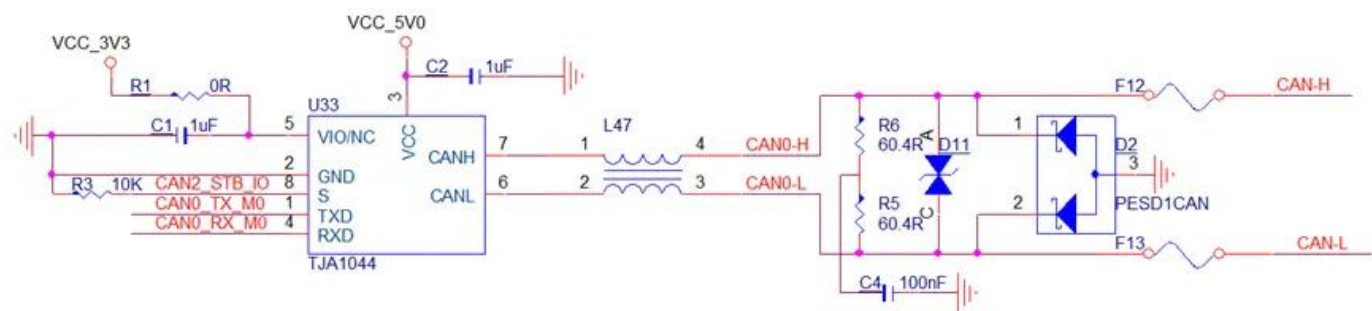


图18. CAN收发器参考设计

## 2.15 I2C总线

I2C总线接口，使用时注意电平为1.8V 或 3.3V，必要时加电平转换电路。

I2C总线引脚资源如下表：

| I2C资源 | 引脚分组 | 引脚编号 | I2C信号定义     | 电源域  |
|-------|------|------|-------------|------|
| I2C1  | --   | 146  | I2C1_SCL    | 3.3V |
|       |      | 148  | I2C1_SDA    | 3.3V |
| I2C2  | M0   | 150  | I2C2_SCL_M0 | 3.3V |
|       |      | 152  | I2C2_SDA_M0 | 3.3V |
|       | M1   | 46   | I2C2_SCL_M1 | 3.3V |
|       |      | 44   | I2C2_SDA_M1 | 3.3V |
| I2C3  | M0   | 154  | I2C3_SDA_M0 | 3.3V |
|       |      | 156  | I2C3_SCL_M0 | 3.3V |
|       | M1   | 72   | I2C3_SDA_M1 | 3.3V |
|       |      | 74   | I2C3_SCL_M1 | 3.3V |

|      |    |     |             |      |
|------|----|-----|-------------|------|
| I2C4 | M0 | 42  | I2C4_SCL_M0 | 1.8V |
|      |    | 40  | I2C4_SDA_M0 | 1.8V |
|      | M1 | 231 | I2C4_SDA_M1 | 1.8V |
|      |    | 233 | I2C4_SCL_M1 | 1.8V |
| I2C5 | M0 | 76  | I2C5_SDA_M0 | 3.3V |
|      |    | 78  | I2C5_SCL_M0 | 3.3V |
|      | M1 | 91  | I2C5_SDA_M1 | 3.3V |
|      |    | 93  | I2C5_SCL_M1 | 3.3V |

说明： 每路I2C控制器资源每次只能配置一组引脚（即M0和M1分组二选一）。

## 2.16 ADC设计说明

核心板共引出7路ADC接口，10bit精度，0~1.8V电压采样范围。

SARADC\_VIN0 默认做为键值输入采样口，并复用为 R ecovery 模式 按键（不可修改）。核心板上SARADC\_VIN0通过10 Kohm 上拉电阻上拉到 VCCA\_1V8，默认为高电平（1.8V），在没有按键动作且系在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将SARADC\_VIN0 保持为低电平（0V），则 RK3568 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松

开按键使 SARADC\_VIN0 恢复为高电平（1.8V），即可进行固件烧写。另外为了方便开发，建议预留按键或 预留测试点。在Android系统操作界面下，其它按键操作如，VOL-，Home等功能按键也通过 SARADC\_VIN0 引脚实现，参考电路如下：

# Key Array

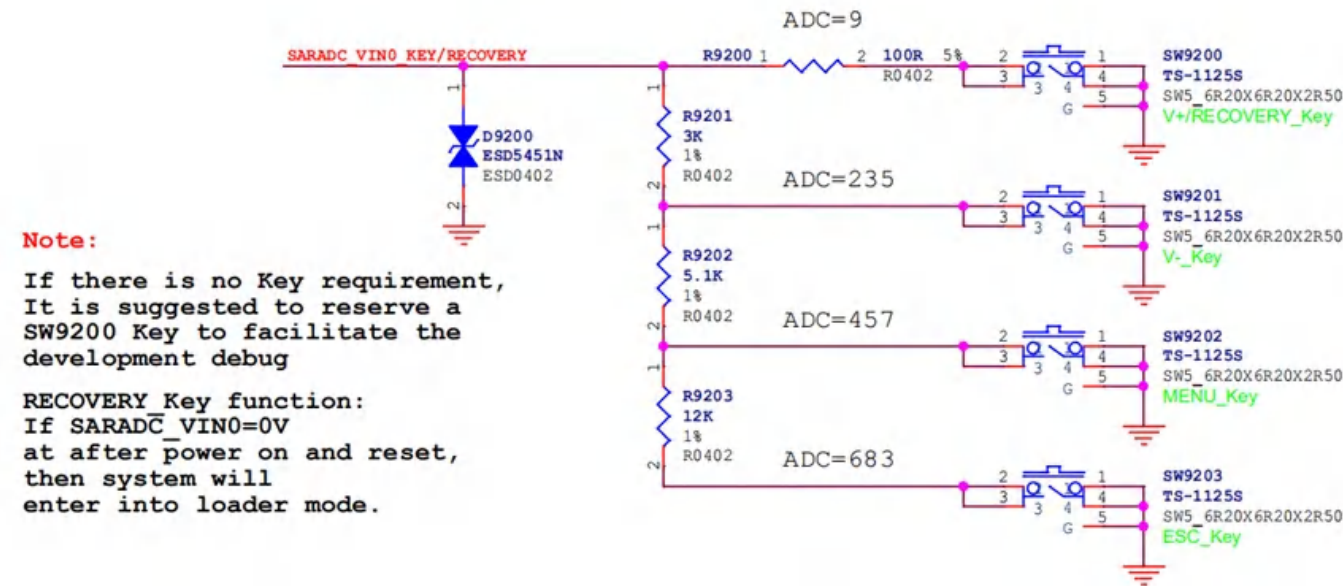


图19. ADC扩展按键参考设计图

SRADC引脚列表如下：

| 引脚号 | 引脚定义                     | 电源域  | 描述                                    |
|-----|--------------------------|------|---------------------------------------|
| 1   | SARADC_VIN0_KEY/RECOVERY | 1.8V | 默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V |
| 3   | SARADC_VIN2_HP_HOOK      | 1.8V | 可用于耳机线控按键或标准ADC采样.                    |
| 5   | SARADC_VIN3              | 1.8V | 标准ADC输入                               |
| 7   | SARADC_VIN4              | 1.8V | 标准ADC输入                               |
| 9   | SARADC_VIN5              | 1.8V | 标准ADC输入                               |
| 11  | SARADC_VIN6              | 1.8V | 标准ADC输入                               |
| 13  | SARADC_VIN7              | 1.8V | 标准ADC输入                               |

注意事项：

- SARADC 采样范围为0~1.8V，采样精度为 10bit s 。按键阵列采用并联型， 可以通过增减

按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求 。 设计中建议任意两个按键键值必须大于  $\pm 35$ , 即中心电压差必须大于123mV 。

- SARADC\_VIN有使用时，靠近核心板管脚必须增加1nF 电容消抖。
- 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌能力（如果只有一个键时 ESD 必须靠近按键，先经过 ESD→100ohm 电阻→1nF→核心板管脚）。

## 2.17 SPI设计说明

IDO-SOM3568-V2共引出4路SPI接口，可用于连接SPI通信接口的芯片或者模块。

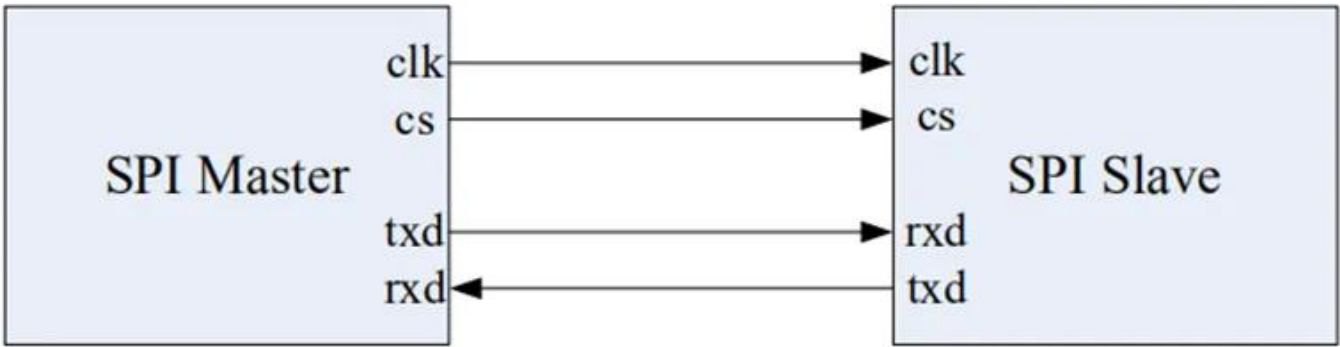


图20. SPI设备连接

SPI引脚资源列表：

| SPI接口 | 引脚分组 | 引脚编号 | 引脚定义         | 电源域  | 说明                            |
|-------|------|------|--------------|------|-------------------------------|
| SPI0  | M0   | 128  | SPI0_CS1_M0  | 3.3V | SPI 片选1                       |
|       |      | 130  | SPI0_MISO_M0 | 3.3V | SPI Master Input/Slave Output |
|       |      | 132  | SPI0_CS0_M0  | 3.3V | SPI 片选0                       |
|       |      | 150  | SPI0_CLK_M0  | 3.3V | SPI Clock                     |
|       |      | 152  | SPI0_MOSI_M0 | 3.3V | SPI Master Output/Slave input |

|      |    |     |              |      |                               |
|------|----|-----|--------------|------|-------------------------------|
|      | M1 | 81  | SPI0_CLK_M1  | 3.3V | SPI Clock                     |
|      |    | 83  | SPI0_CS0_M1  | 3.3V | SPI 片选0                       |
|      |    | 85  | SPI0_MOSI_M1 | 3.3V | SPI Master Output/Slave input |
|      |    | 87  | SPI0_MISO_M1 | 3.3V | SPI Master Input/Slave Output |
| SPI1 | M0 | 220 | SPI1_CLK_M0  | 1.8V | SPI Clock                     |
|      |    | 222 | SPI1_MISO_M0 | 1.8V | SPI Master Input/Slave Output |
|      |    | 224 | SPI1_MOSI_M0 | 1.8V | SPI Master Output/Slave input |
|      |    | 226 | SPI1_CS0_M0  | 1.8V | SPI 片选0                       |
|      |    | 238 | SPI1_CS1_M0  | 1.8V | SPI 片选1                       |
|      | M1 | 62  | SPI1_CLK_M1  | 3.3V | SPI Clock                     |
|      |    | 64  | SPI1_MISO_M1 | 3.3V | SPI Master Input/Slave Output |
|      |    | 66  | SPI1_MOSI_M1 | 3.3V | SPI Master Output/Slave input |
|      |    | 67  | SPI1_CS0_M1  | 3.3V | SPI 片选0                       |
|      |    |     |              |      |                               |
| SPI2 | M0 | 228 | SPI2_CLK_M0  | 1.8V | SPI Clock                     |
|      |    | 230 | SPI2_MISO_M0 | 1.8V | SPI Master Input/Slave Output |
|      |    |     |              |      |                               |

|  |      |     |              |      |                               |
|--|------|-----|--------------|------|-------------------------------|
|  |      | 232 | SPI2_MOSI_M0 | 1.8V | SPI Master Output/Slave input |
|  |      | 234 | SPI2_CS0_M0  | 1.8V | SPI 片选0                       |
|  |      | 236 | SPI2_CS1_M0  | 1.8V | SPI 片选1                       |
|  | M1   | 71  | SPI2_CLK_M1  | 3.3V | SPI Clock                     |
|  |      | 73  | SPI2_MISO_M1 | 3.3V | SPI Master Input/Slave Output |
|  |      | 75  | SPI2_MOSI_M1 | 3.3V | SPI Master Output/Slave input |
|  |      | 77  | SPI2_CS0_M1  | 3.3V | SPI 片选0                       |
|  |      | 79  | SPI2_CS1_M1  | 3.3V | SPI 片选1                       |
|  | SPI3 | 42  | SPI3_CLK_M0  | 1.8V | SPI Clock                     |
|  |      | 40  | SPI3_MOSI_M0 | 1.8V | SPI Master Output/Slave input |
|  |      | 36  | SPI3_MISO_M0 | 1.8V | SPI Master Input/Slave Output |
|  |      | 34  | SPI3_CS1_M0  | 1.8V | SPI 片选1                       |
|  |      | 32  | SPI3_CS0_M0  | 1.8V | SPI 片选0                       |
|  |      | 89  | SPI3_CS1_M1  | 3.3V | SPI 片选1                       |
|  |      | 136 | SPI3_CLK_M1  | 3.3V | SPI Clock                     |
|  |      | 138 | SPI3_MOSI_M1 | 3.3V | SPI Master Output/Slave input |
|  |      |     |              |      |                               |

|  |  |     |                  |      |                                     |
|--|--|-----|------------------|------|-------------------------------------|
|  |  | 142 | SPI3_MISO_M<br>1 | 3.3V | SPI Master<br>Input/Slave<br>Output |
|  |  | 144 | SPI3_CS0_M1      | 3.3V | SPI 片选0                             |

#### 说明：

- 当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可。
- SPI时钟线建立串接端接电阻(典型值22ohm)，靠近核心板一侧引脚放置。

## 2.18 PWM设计说明

IDO-SOM3568-V2具引出16路PWM资源，部分PWM具有M0/M1两组引脚，可以二选一使用。

PWM引脚资源列表：

| PWM通道 | 引脚编号 | 信号定义    | 电源域  | 说明        |
|-------|------|---------|------|-----------|
| PWM0  | 114  | PWM0_M0 | 3.3V |           |
|       | 134  | PWM0_M1 | 3.3V |           |
| PWM1  | 120  | PWM1_M0 | 3.3V |           |
|       | 150  | PWM1_M1 |      |           |
| PWM2  | 122  | PWM2_M0 | 3.3V |           |
|       | 152  | PWM2_M1 | 3.3V |           |
| PWM3  | 124  | PWM3_IR | 3.3V | 可用于IR接收信号 |
| PWM4  | 126  | PWM4    | 3.3V |           |
| PWM5  | 128  | PWM5    | 3.3V |           |
| PWM6  | 130  | PWM6    | 3.3V |           |
| PWM7  | 132  | PWM7_IR | 3.3V | 可用于IR接收信号 |

|       |     |             |      |           |
|-------|-----|-------------|------|-----------|
| PWM8  | 82  | PWM8_M0     | 3.3V |           |
|       | 196 | PWM8_M1     | 3.3V |           |
| PWM9  | 80  | PWM9_M0     | 3.3V |           |
|       | 198 | PWM9_M1     | 3.3V |           |
| PWM10 | 74  | PWM10_M0    | 3.3V |           |
|       | 204 | PWM10_M1    | 3.3V |           |
| PWM11 | 72  | PWM11_IR_M0 | 3.3V | 可用于IR接收信号 |
|       | 52  | PWM11_IR_M1 | 1.8V |           |
| PWM12 | 70  | PWM12_M0    | 3.3V |           |
|       | 142 | PWM12_M1    | 3.3V |           |
| PWM13 | 68  | PWM13_M0    | 3.3V |           |
|       | 144 | PWM13_M1    | 3.3V |           |
| PWM14 | 60  | PWM14_M0    | 3.3V |           |
|       | 136 | PWM14_M1    | 3.3V |           |
| PWM15 | 58  | PWM15_IR_M0 | 3.3V | 可用于IR接收信号 |
|       | 138 | PWM15_IR_M1 | 3.3V |           |