

IDO-SOM3588-V1 核心板设计指南

1、Rockchip RK3588芯片简介

1.1 IDO-SOM3588-V1模块介绍

1.2 IDO-SOM3588-V1产品图片

2、IDO-SOM3588-V1硬件设计说明

2.1 电源系统设计说明

2.2 调试下载相关电路

2.3 SDMMC0/1/2接口设计

2.4 USB2.0/3.0设计

2.5 以太网设计

2.6 音频接口设计

2.7 HDMI设计

2.8 eDP设计

2.9 MIPI_DPHY设计

2.10 PCIe设计

2.11 MIPI-CSI接口设计

2.12 SATA总线

2.13 UART设计

2.14 CAN总线

2.15 I2C总线

2.16 ADC设计说明

2.17 SPI设计说明

2.18 PWM设计说明

2.19 GPIO设计说明

3 SOM3588硬件原理图CheckList

IDO-SOM3588-V1

核心板设计指南

深圳触觉智能科技有限公司

www.industio.cn

文档修订历史

版本	修订内容	修订	审核	日期
V1.0	创建文档	梁雨军		2023/07/05

1、Rockchip RK3588芯片简介

RK3588 是一颗高性能、低功耗的应用处理器芯片，集成了 4 个 Cortex-A76 和 4 个 Cortex-A55 及独立

的 NEON 协处理器；适用于 ARM PC、边缘计算、个人移动互联网设备及其它多媒体产品。

RK3588 内置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持 8K@60fps 的 H.265 和 VP9 解码器、8k@30fps 的 H.264 解码器和 4K@60fps 的 AV1 解码器；还支持 8K@30fps 的 H.264 和 H.265 编码器，高质量的 JPEG 编码器/解码器，专门的图像预处理器和后处理器。

内置 3D GPU，能够完全兼容 OpenGL ES1.1/2.0/3.2、OpenCL 2.2 和 Vulkan 1.2。带有 MMU 的特殊 2D

硬件引擎将最大限度地提高显示性能，并提供流畅的操作体验。

引入了新一代完全基于硬件的最大 48M 像素 ISP（图像信号处理器），实现了多种算法加速器，如 HDR、3A、LSC、3DNR、2DNR、锐化、去雾、鱼眼校正、伽马校正等。

内嵌的 NPU 支持 INT4/INT8/INT16/FP16 混合运算，算力高达 6TOP。此外，凭借其强大的兼容性，可以轻松转换基于 TensorFlow/MXNet/PyTorch/Caffe 等一系列框架的网络模型。

RK3588 具有高性能的 4 通道外部存储器接口（LPDDR4/LPDDR4X/LPDDR5），能够支持苛刻的存储器带宽（能够支持存储器高带宽要求的系统），还提供了一套完整的外设接口，以灵活支持各类应用。

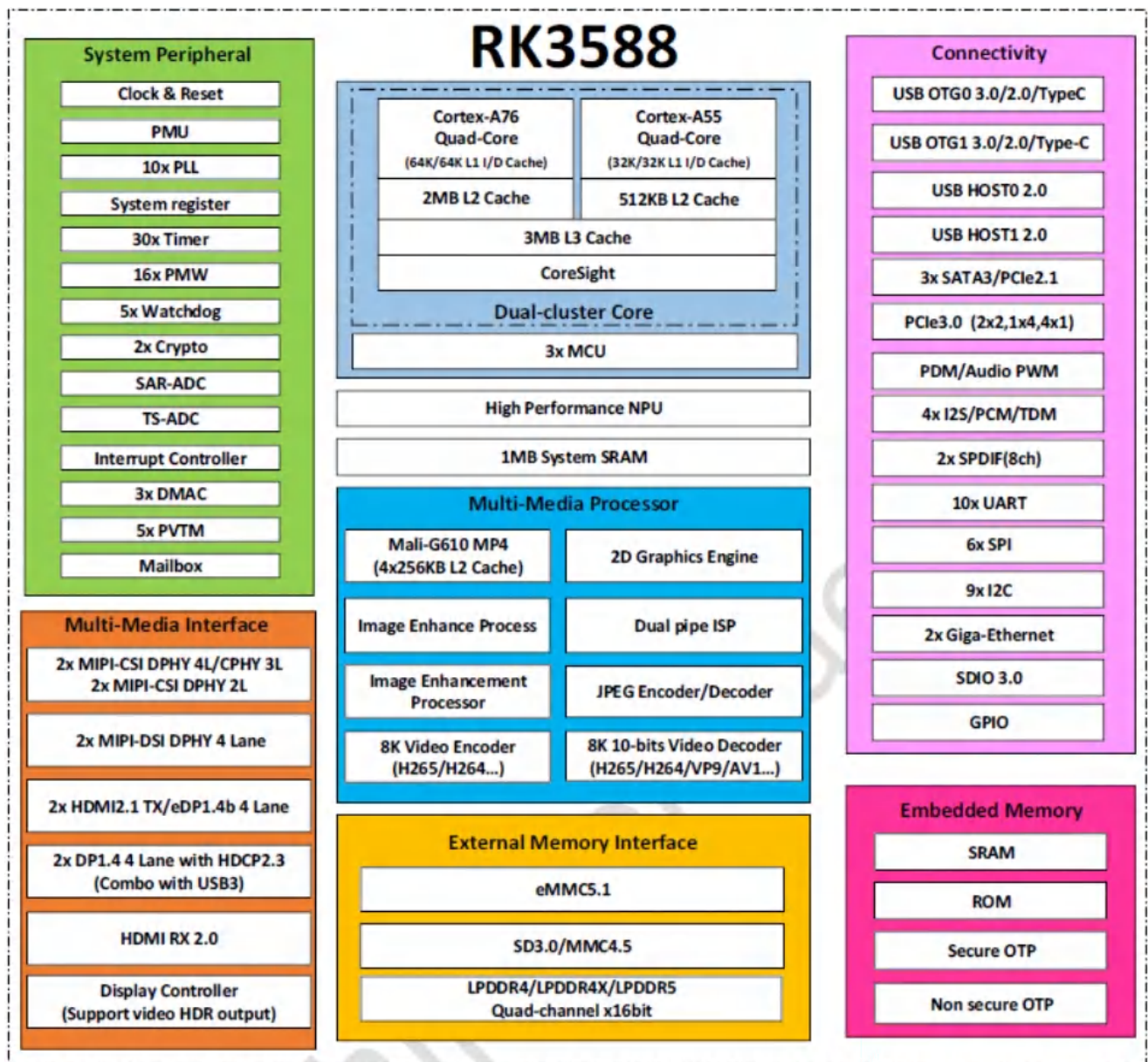


图1.RK3588模块框图

1.1 IDO-SOM3588-V1模块介绍

IDO-SOM3588-V1是基于RK3588系列CPU开发设计的一款高性能核心板，可搭载安卓、鸿蒙等多种系统。核心板板载 LPDDR4 、eMMC 、PMIC 、扩展 eDP 、HDMI 、PCIE 、USB 、MIPI等接口和多达118路多功能GPIO。

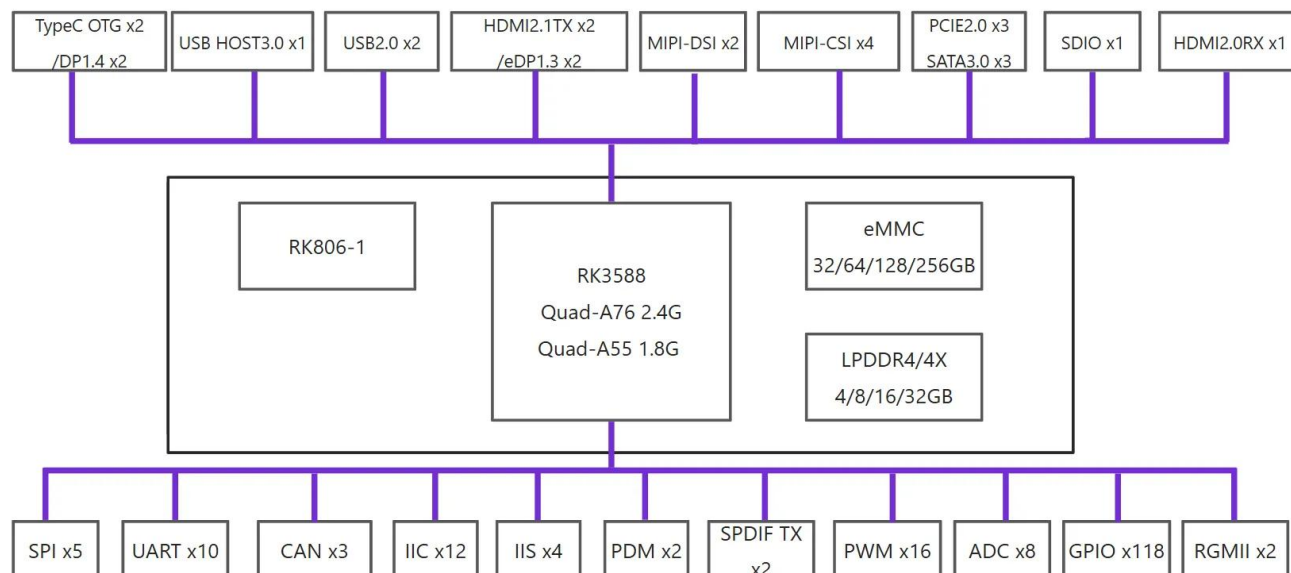


图2. IDO-SOM3588-V1模块框图

IDO-SOM3588-V1核心板主要功能列表：

基本参数	
SOC	RockChip RK3588
CPU	Quad-core Cortex-A76 and quad-core Cortex-A55，主频高达2.4GHz
GPU	Mali-G610 GPU，支持OpenGL ES 3.2，OpenCL 2.2，Vulkan 1.1，内嵌高性能2D、3D加速硬件
NPU	支持6.0T算力，支持INT4/INT8/INT16/FP16运算
VPU	视频解码 • H.265/AVS2/VP9, 8bits/10bits, 8K@60fps • H.264/AV1, 8bits/10bits, 8K@30fps • Multi-channel decoder in parallel for less resolution (4K/1080p/720p etc.) 视频编码 • H.265/H.264, 8K@30fps • Multi-channel encoder in parallel for less resolution (1080p/720p etc.) Muti-format 视频解码 • H.265/H.264, 8K@30fps • 1080P@60fps video decoder for VP8/AVS1/AVS1+/MPEG-4

内存	4GB / 8GB / 16GB / 32GB LPDDR4/4x
存储	32GB / 64GB / 128GB / 256GB eMMC
硬件参数	
网络	集成 PCIe3.0/PCIe2.0/GMAC/SDIO3.0/USB3.0/USB2.0，可扩展千兆以太网、WiFi6/蓝牙，5G/4G LTE
显示	视频输出： • 1x HDMI2.1接口，支持（8K/60fps或4K/120fps）输出 • 1x HDMI2.0接口，支持4K/60fps输出 • 2x MIPI DSI接口，支持4k@60fps输出 • 2x eDP接口，支持4K@60fps输出 • 2x DP接口，支持8k@30fp输出 视频输入： • 1x HDMI-IN，支持（4K/60fps，HDCP2.3） • 2x MIPI CSI（4Lane）或者4x MIPI CSI（2Lane） • 2x MIPI DC（4通道DPHY v2.0或者3通道CPHY v1.1） • 1x DVP（最高150MHz输入） 最多可支持7屏异显输出
音频	4 x 8通道I2S 2 x SPDIF 2 x 8通道PDM
USB	2 x USB3.0 OTG 1 x USB3.0 HOST 2 x USB2.0 HOST
PCIe/SATA	1 x PCIe2.0（1 Lanes） 1 x PCIe3.0（1 x 4 Lanes， 4 x 1 Lanes， 2 x 2 Lanes） 3 x SATA3.0

扩展接口	10 x UART 5 x SPI 3 x CAN 9 x I2C 2 x I2S 2 x SDMMC 16 x PWM 4 x ADC 118 x GPIO
其他	
主板尺寸	50mm x 60mm
接口类型	80PIN x 4 板对板连接器 核心板连接器采用HRS的连接器 DF12NA(3.0)–80DS–0.5V(51) 📎 DF12NA(3.0)–80DS–0.5V(51).pdf 底板对应采用HRS的连接器 DF12NA(3.0)–80DP–0.5V(51) 📎 DF12NA(3.0)–80DP–0.5V(51).pdf
PCB规格	板厚 1.6mm, 10层板 , 沉金工艺

1.2 IDO–SOM3588–V1产品图片

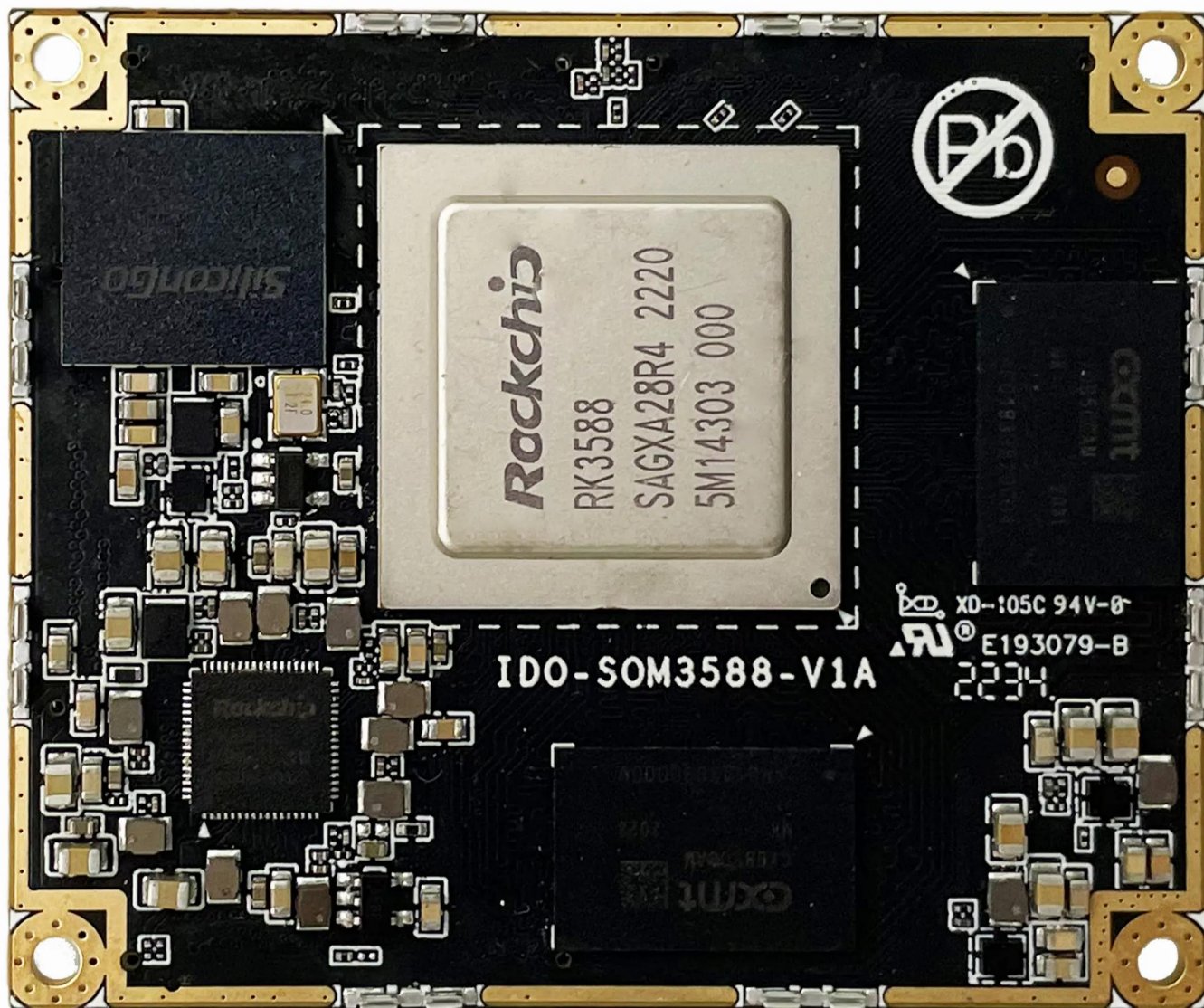


图3. IDO-SOM3588-V1核心板正面

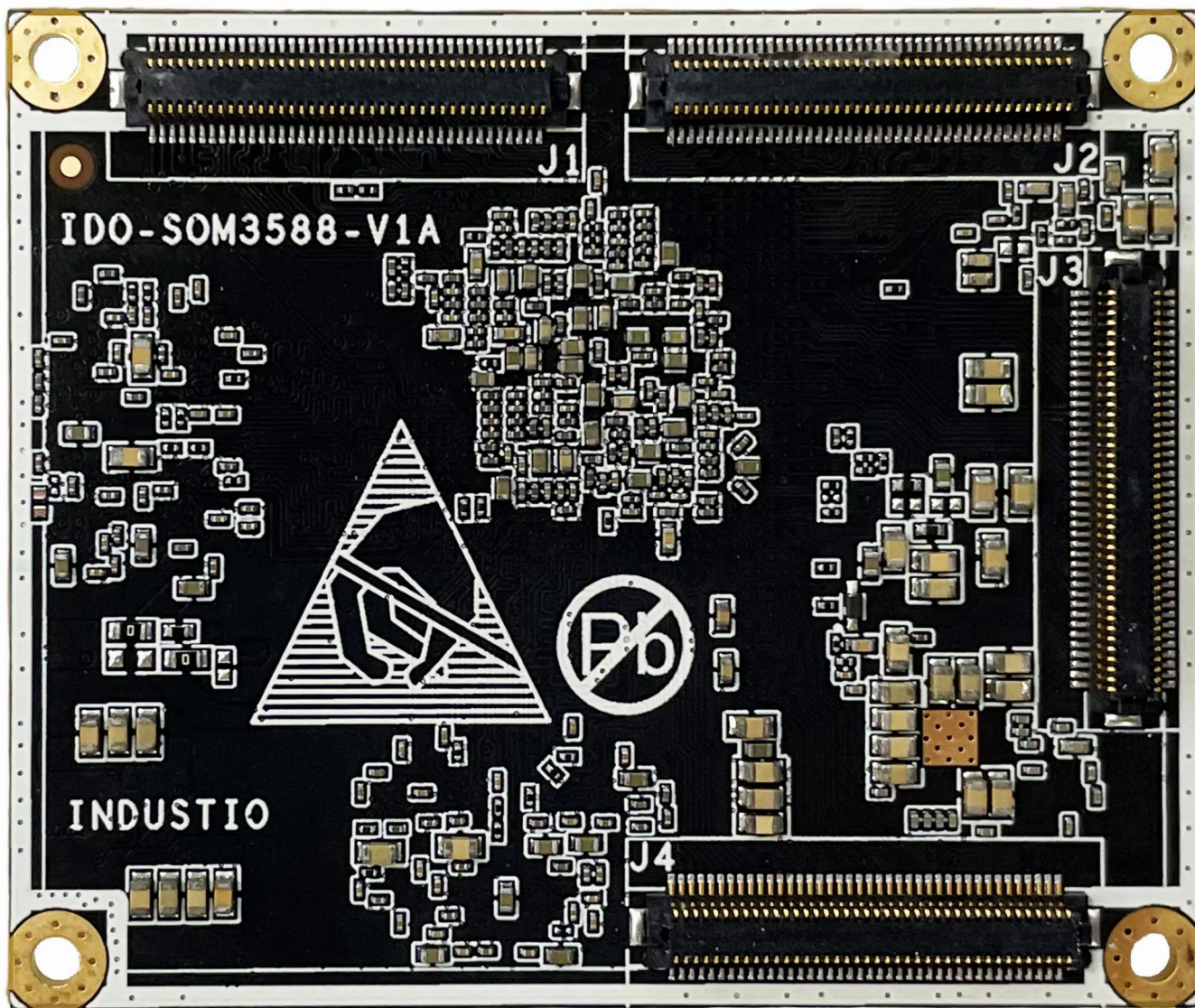


图4. IDO-SOM3588-V1核心板背面

2、IDO-SOM3588-V1硬件设计说明

2.1 电源系统设计说明

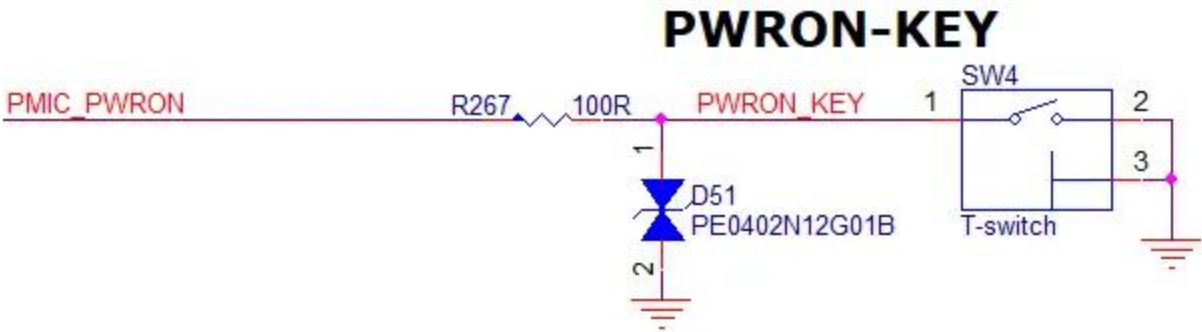
IDO-SOM3588-V1核心板主电源输入VCC4V0_SYS（核心板引脚C2、C4、C6、C8、C10）。

核心板提供1个电源输出引脚为VCC_1V8_S3。VCC_1V8_S3用于1.8V电源域的引脚参考电平，底板使用时应限流300mA。

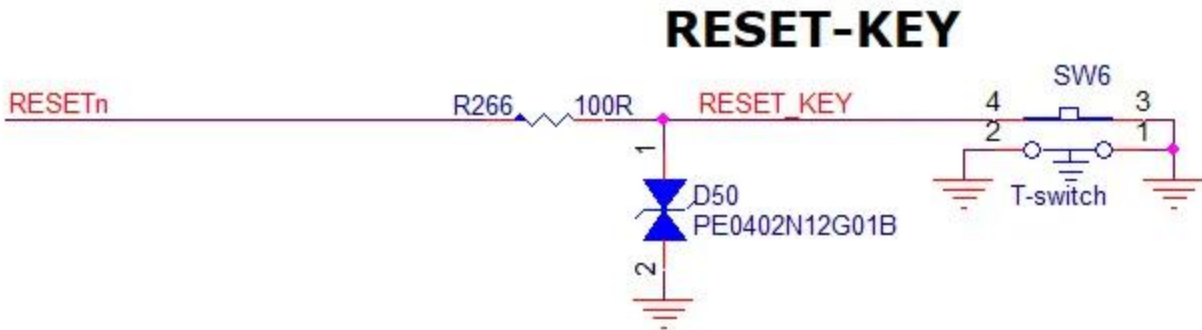
与电源系统设计相关的其它引脚，包括 RESET_L 、 PMIC_EXT_EN_OUT 、 PWRON_L 。分别用于系统复位，开关机控制输出，系统开关机。

电源相关引脚	引脚编号	方向	引脚说明
VCC4V0_SYS	C2, C4, C6, C8, C10	电源输入	系统的主要输入供电, 保障4V@2A持续和4A瞬间电流供电能力。供电范围3.6V~5V
VCC_1V8_S3	D75	电源输出	1.8V对外供电，用于1.8V电源域参考电平。输出范围1.75V~1.85V
RESET_L	D73	系统复位信号输入	系统复位信号输入检测引脚，低电平有效
PMIC_EXT_EN_OUT	D77	关机控制输出	开机时输出高电平，关机时输出低电平
PWRON_L	D79	开关机信号输入	开关机信号输入检测引脚，低电平有效

开关机按键参考设计：



复位按键参考设计：



上电时序要求

- 核心板主供电VCC5V_SYS （引脚1,2) 优先供电。
- 底板1.8V 和 3.3V 供电在VCC_1V8_OUT输出后再上电。 可用VCC_1V8_OUT作为底板1.8V 和 3.3V 供电使能

2.2 调试下载相关电路

所有基于SOM3588的底板设计，都强烈建议保留下面三种调试下载相关电路！

1. USB0 OTG接口， 主要用于固件下载及ADB调试

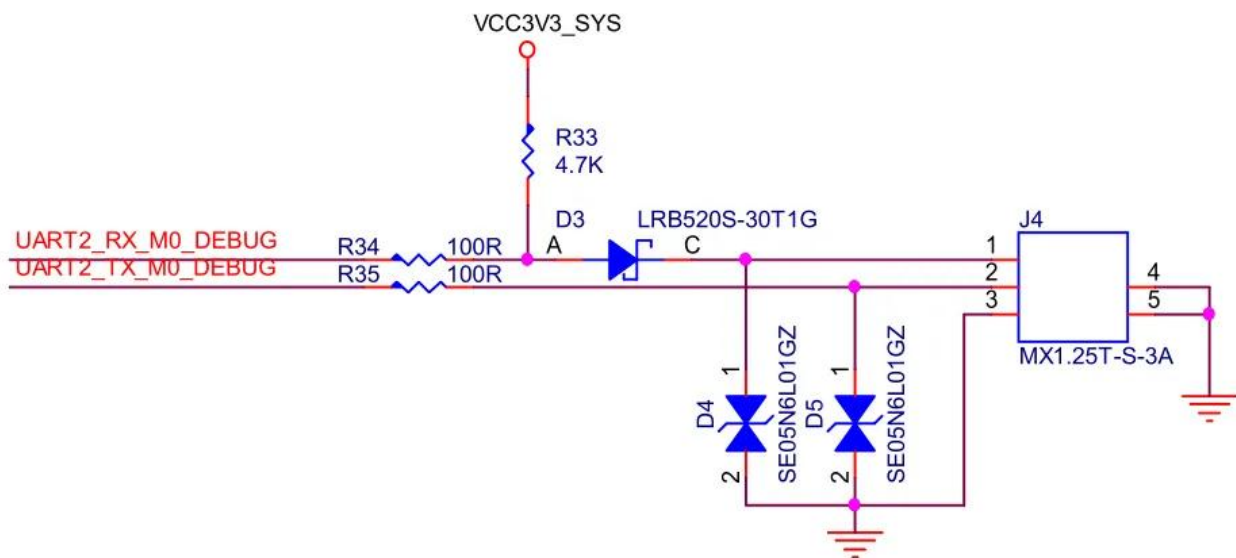
具体电路参考2.4节 [USB3.0/2.0](#)

2. 调试串口, 用于系统日志消息和控制终端命令行操作，系统默认使用的调试串口是UART0（M0组）。

UART资源	引脚编号	UART信号定义	电源域
UART2 (M0组)	C11	UART2_RX_M0_DEBU G	3.3V(调试串口)
	C9	UART2_TX_M0_DEBU G	

设计注意事项：

调试串口在使用时经常连接USB转UART TTL 模块，经常在SOM3588未上电时，UART2_RX_M0_DEBUG已经由USB转UART TTL 模块灌电。强烈建议采用RS232芯片转换或者采用下面转换电路避免引脚灌电：



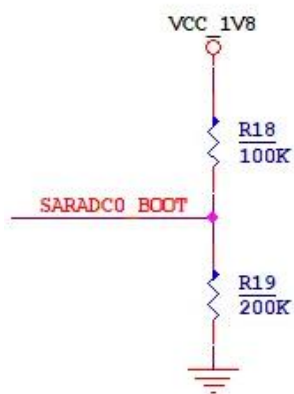
1. 启动模式及功能按键

引脚号	引脚定义	电源域	描述
A12	BOOT_SARADC_IN0	1.8V	BOOT模式选择，用于启动模式选择，引脚悬空时，内部模认分压从eMMC优先启动；一般做成BOOT按键，按下按键短接到GND，再上电可强制进入Maskrom烧录模式
A10	SARADC_VIN1_KEY/RECOVERY	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V。

SARADC0_BOOT在核心板上按照下图config7已经做了分压电阻，启动顺序为eMMC--SD Card--USB。SOM3588核心板上的分压配置如下图：

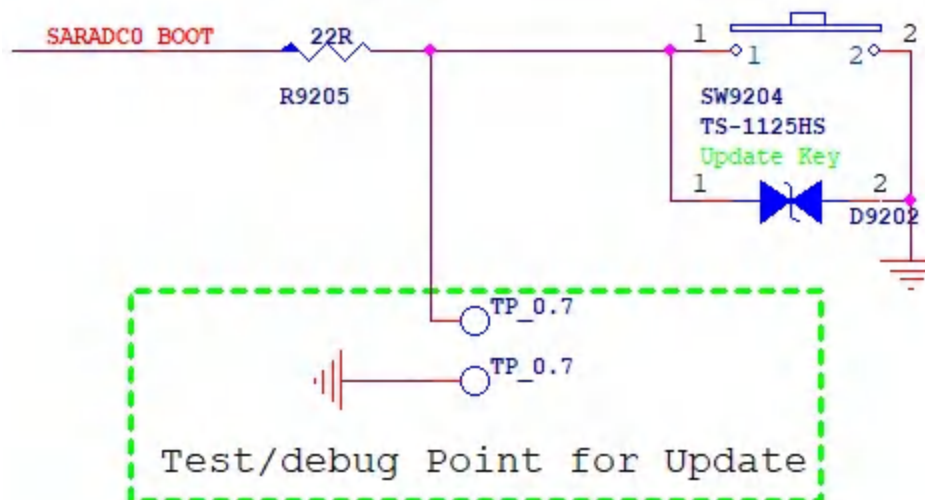
TABLE 1

Item	Rup	Rdown	ADC	VOL	BOOT MODE
LEVEL1	DNP	100K	0	0V	USB (Maskrom mode)
LEVEL2	100K	20K	682	0.3V	SD Card-USB
LEVEL3	100K	51K	1365	0.6V	EMMC-USB
LEVEL4	100K	100K	2047	0.9V	FSPI M0-USB
LEVEL5	100K	200K	2730	1.2V	FSPI M1-USB
LEVEL6	100K	499K	3412	1.5V	FSPI M2-USB
LEVEL7	100K	DNP	4095	1.8V	FSPI_M2-FSPI_M1-FSPI_M0 -EMMC-SD Card-USB



底板上的BOOT按键参考电路，如下图：

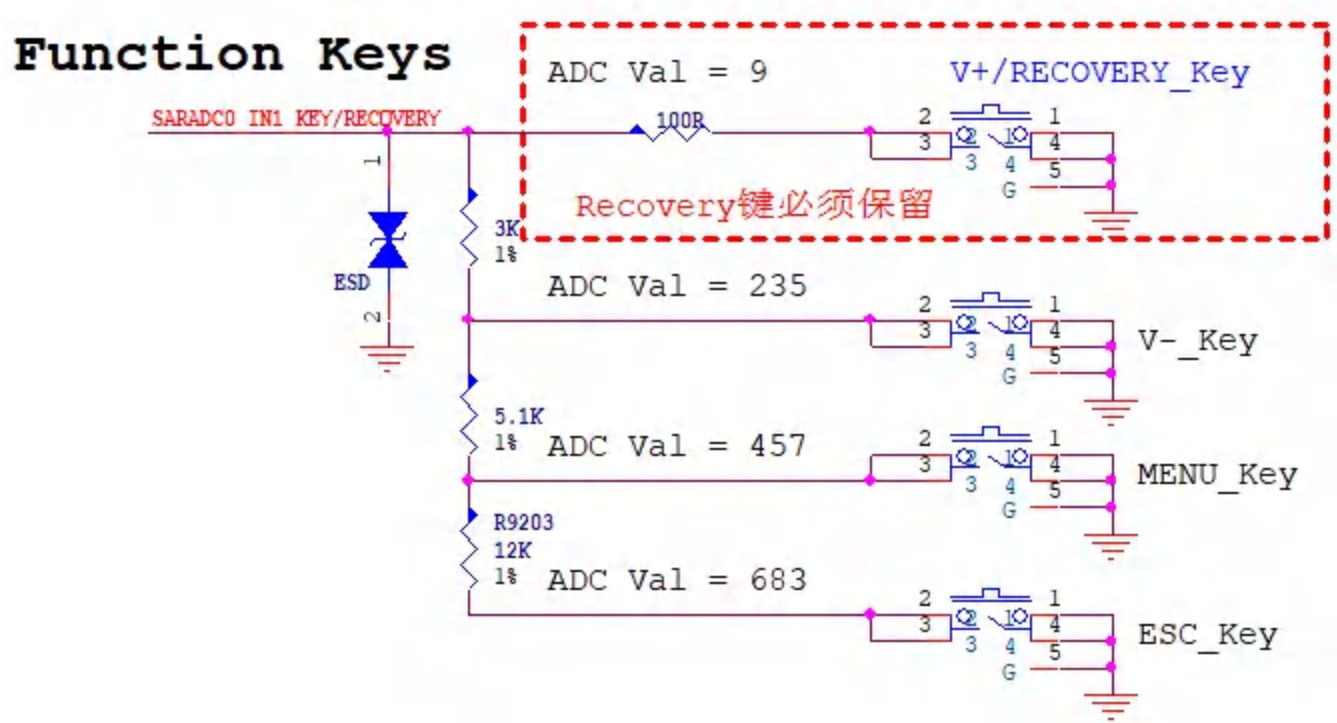
Maskrom/Update Key



当系统变砖时，启动时BOOT模式按键处于按下状态，即将BOOT_SARADC_IN0保持为低电平（0V），则 RK3588 进入 Maskroom 模式，当 PC 识别到 USB 设备时，即可进行固件烧写。

注意：为了方便开发，建议预留BOOT按键或预留测试点。

SARADC_VIN1_KEY/RECOVERY 系统默认用作功能按键，核心板上已经做了10K电阻上拉，功能按键参考下图设计：



注意：为了方便开发，强烈建议必须保留V+/Recovery按键。

2.3 SDMMC0/1/2接口设计

SOM3588-V1核心板扩展出3路MMC/SDIO资源，兼容SDIO3.0和MMC ver4.51，4bit数据位宽，可用于扩展SD卡和WIFI模块。其中SDMMC0 和 SDMMC1 最高可支持 200MHz，SDMMC2 最高只支持到 150MHz。

SDIO/MMC0主要用于连接SD存储卡，也可用于WIFI模块SDIO接口。引脚资源如下：

引脚编号	引脚名称	电源域	备注
C18	SDMMC0_DET_N	PMUIO0	SD卡座检测引脚

A49	SDMMC0_CLK	VCCIO_SD_S0	SD卡时钟信号
A47	SDMMC0_CMD	VCCIO_SD_S0	SD卡CMD信号
A45	SDMMC0_D3	VCCIO_SD_S0	SD卡Data3
A43	SDMMC0_D2	VCCIO_SD_S0	SD卡Data2
A41	SDMMC0_D1	VCCIO_SD_S0	SD卡Data1
A39	SDMMC0_D0	VCCIO_SD_S0	SD卡Data0

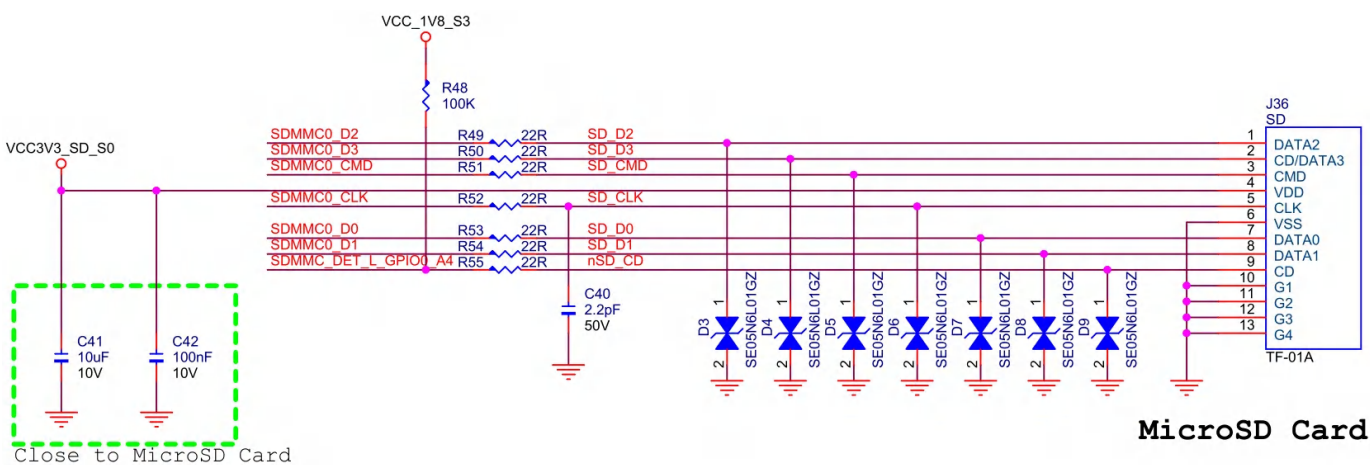


图5. MMC/SDIO0外接TF卡参考设计

SDIO（M0组）引脚资源如下：

引脚编号	引脚名称	电源域	备注
C59	SDIO_CLK_M0	VCCIO3	SDIO_CLK
C61	SDIO_CMD_M0	VCCIO3	SDIO_CMD
C63	SDIO_D3_M0	VCCIO3	SDIO_D3
C65	SDIO_D2_M0	VCCIO3	SDIO_D2
C67	SDIO_D1_M0	VCCIO3	SDIO_D1
C69	SDIO_D0_M0	VCCIO3	SDIO_D0

SDIO（M1组）引脚资源如下：

引脚编号	引脚名称	电源域	备注
C12	SDIO_D0_M1	VCCIO5	SDIO_D0

C14	SDIO_D1_M1	VCCIO5	SDIO_D1
C16	SDIO_D2_M1	VCCIO5	SDIO_D2
C18	SDIO_D3_M1	VCCIO5	SDIO_D3
C20	SDIO_CMD_M1	VCCIO5	SDIO_CMD
C26	SDIO_CLK_M1	VCCIO5	SDIO_CLK

注意:

- 走线阻抗控制50Ω，参考面完整，整组走线等长控制+/-200mil。
- 建议串匹配电阻（典型值22Ω），时钟信号匹配电阻靠近SOM3588引脚侧放置，时钟信号预留2.2pF电容。

2.4 USB2.0/3.0设计

IDO-SOM3588-V1核心板具有1路USB3.0 HOST、2路USB2.0 HOST和2路USB3.0 OTG，其中TYPE-C0为系统固件烧录口，**初期设计必须引出作为升级和调试**。设计底板如要扩展多USB接口，可以使用USB HUB芯片去实现扩展。

USB3_OTG0（固件下载口）引脚资源如下：

引脚编号	引脚名称	连接方式	备注
A17	TYPEC0_SSRX1N/DP0_TX0N	串接100nF 电容	/
A15	TYPEC0_SSRX1P/DP0_TX0P		/
A13	TYPEC0_SSTX1P/DP0_TX1P	串接100nF 电容	/
A11	TYPEC0_SSTX1N/DP0_TX1N		/
A9	TYPEC0_SSRX2N/DP0_TX2N	串接100nF 电容	/

A7	TYPEC0_SSRX2P/DP0_TX2P		/
A5	TYPEC0_SSTX2P/DP0_TX3P	串接100nF 电容	/
A3	TYPEC0_SSTX2N/DP0_TX3N		/
A16	TYPEC0_SBU2/DP0_AUXN	串接100nF 电容	/
A18	TYPEC0_SBU1/DP0_AUXP		/
A20	TYPEC0_OTG_DP	串接2. 2Ω 电阻	OTG0可用于下载烧录功能
A22	TYPEC0_OTG_DM		
A24	TYPEC0_USB20_VBUSDET	电阻分压检测≤3.3V	OTG0 VBUS检测，高有效
A26	TYPEC0_USB20_OTG_ID	1.8V电源域	USB OTG ID 识别 Micro USB 接口时需要使用

USB3_OTG1引脚资源如下：

引脚编号	引脚名称	连接方式	备注
A19	TYPEC1_SSTX2N/DP1_TX3N	串接100nF 电容	/
A21	TYPEC1_SSTX2P/DP1_TX3P		/
A23	TYPEC1_SSRX2P/DP1_TX2P	串接100nF 电容	/
A25	TYPEC1_SSRX2N/DP1_TX2N		/
A27	TYPEC1_SSTX1N/DP1_TX1N	串接100nF 电容	/
A29	TYPEC1_SSTX1P/DP1_TX1P		/
A31	TYPEC1_SSRX1P/DP1_TX0P	串接100nF 电容	/
A33	TYPEC1_SSRX1N/DP1_TX0N		/

A30	TYPEC1_SBU2/DP1_AUXN	串接100nF 电容	/
A32	TYPEC1_SBU1/DP1_AUXP		/
A34	TYPEC1_OTG_DP	串接2. 2Ω 电阻	USB2.0 OTG功能
A36	TYPEC1_OTG_DM		
A38	TYPEC1_USB20_VBUSDET	电阻分压检测<=3.3V	OTG0 VBUS检测，高有效
A40	TYPEC1_USB20_OTG_ID	1.8V电源域	USB OTG ID 识别 Micro USB 接口时需要使用

USB3.0_HOST2引脚资源如下：

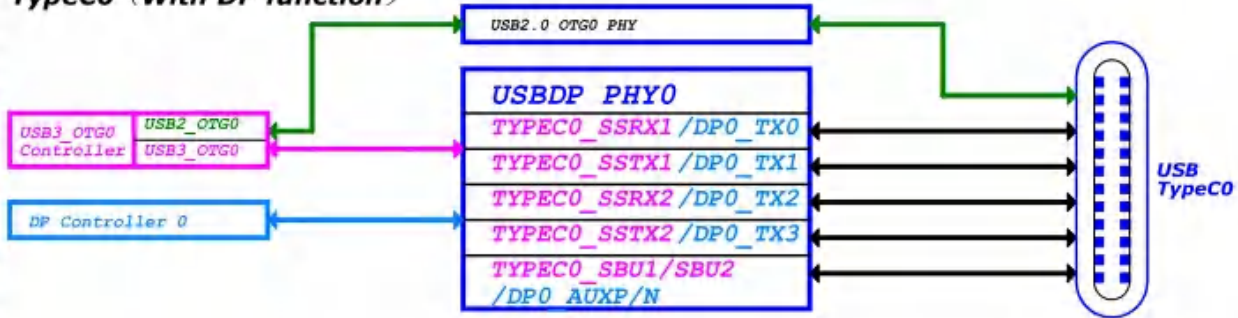
引脚编号	引脚名称	备注
D60	USB30_2_SSTXP	/
D62	USB30_2_SSTXN	/
D64	USB30_2_SSRXP	/
D66	USB30_2_SSRXN	/

USB2.0_HOST引脚资源如下：

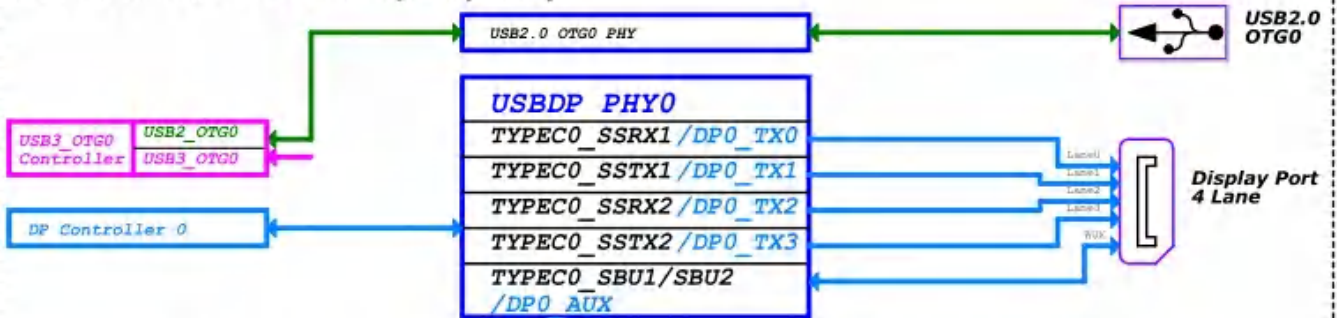
引脚编号	引脚名称	备注
A42	USB20_HOST1_DM	/
A44	USB20_HOST1_DP	/
A46	USB20_HOST0_DM	/
A48	USB20_HOST0_DP	/

USB3.0 OTG 与DP1.4 存在引脚复用，实际可以配置为五种模式 TypeC、USB2.0 OTG0 + DP0 4Lane(Swap OFF)、USB2.0 OTG0 + DP0 4Lane(Swap ON)、USB3.0 OTG0 + DP0 2Lane(Swap ON) 或者 USB3.0 OTG0 + DP0 2Lane(Swap OFF)：

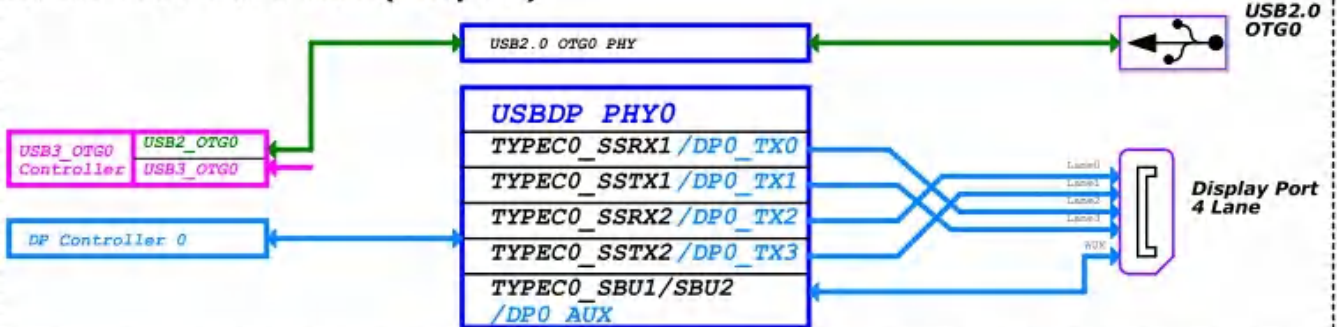
Config0:
TypeC0 (With DP function)



Config1:
USB2.0 OTG0 + DP0 4Lane(Swap OFF)



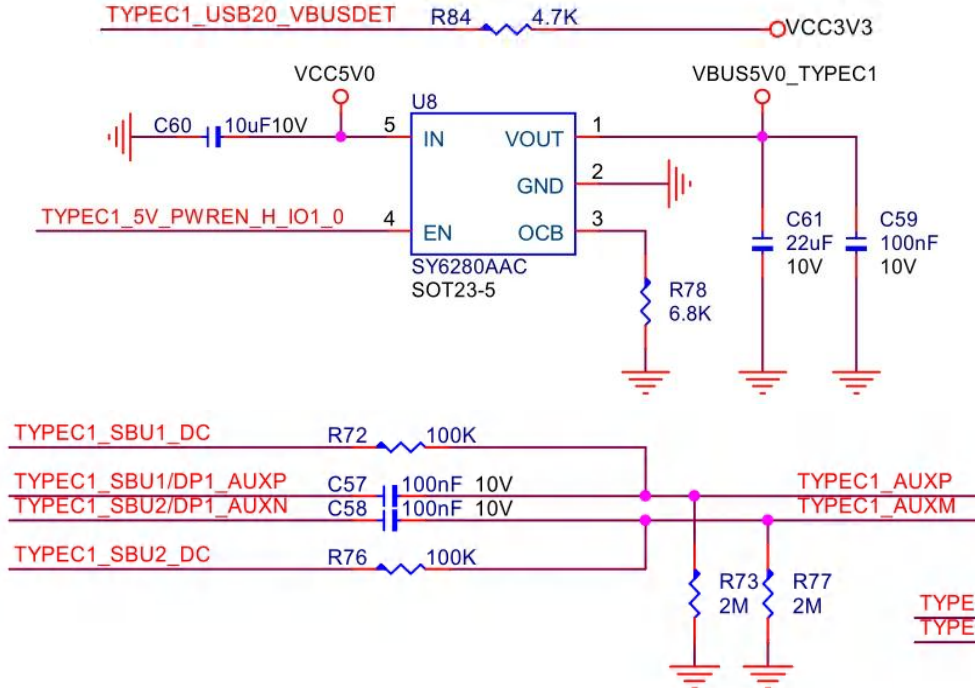
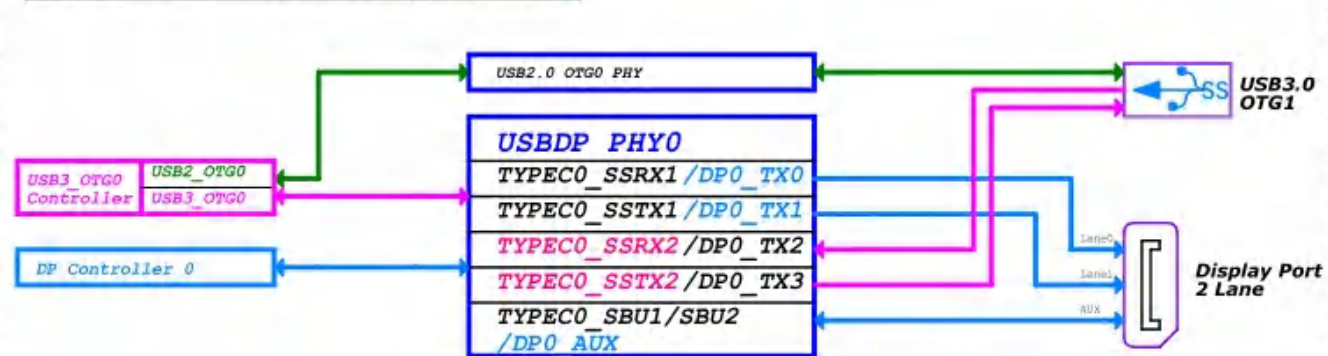
Config2:
USB2.0 OTG0 + DP0 4Lane(Swap ON)



Config3:(Default)
USB3.0 OTG0 + DP0 2Lane(Swap ON)



Config4:
USB3.0 OTG0 + DP0 2Lane(Swap OFF)



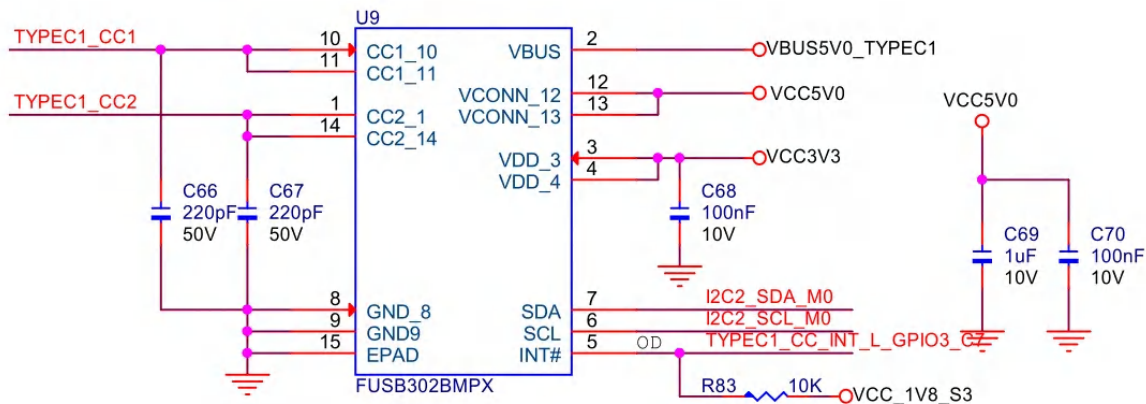


图6. TYPE-C接口设计

2.5 以太网设计

IDO-SOM3588-V1有2路RGMII接口可用于扩展2路千兆以太网功能。RGMII信号连接千兆PHY芯片。

注意：引脚的电源域为1.8V，部分PHY芯片IO电压可能不支持1.8V，必要时加高速电平转换芯片或更换PHY芯片。

RK3588内部有两个GMAC控制器，分别为GMAC0和GMAC1。

GMAC0 RGMII引脚资源列表如下：

引脚编号	GMAC RGMII 信号定义	RMII 信号定义	电源域
C69	GMAC0_RXD2	RMII_RXD2	VCCIO3
C67	GMAC0_RXD3	RMII_RXD3	VCCIO3
C65	GMAC0_RXCLK	RMII_RXCLK	VCCIO3
C63	GMAC0_TXD2	RMII_TXD2	VCCIO3
C61	GMAC0_TXD3	RMII_TXD3	VCCIO3
C59	GMAC0_TXCLK	RMII_TXCLK	VCCIO3
C47	GMAC0_TXD0	RMII_TXD0	VCCIO3
C41	GMAC0_TXD1	RMII_TXD1	VCCIO3
C39	GMAC0_TXEN	RMII_TXEN	VCCIO3

C49	GMAC0_RXD0	RMII_RXD0	VCCIO3
C51	GMAC0_RXD1	RMII_RXD1	VCCIO3
C53	GMAC0_RXDV_CRS	RMII_CRS_DV	VCCIO3
C37	ETH0_REFCLKO_25M	/	VCCIO3
C45	GMAC0_MCLKINOUT	RMII_CLK	VCCIO3
C29	GMAC0_MDC	RMII_MDC	VCCIO3
C31	GMAC0_MDIO	RMII_MDIO	VCCIO3

GMAC1 RGMII引脚资源列表如下：

引脚编号	GMAC1 RGMII 信号定义	RMII 信号定义	电源域
C16	GMAC1_RXD2	RMII_RXD2	VCCIO5
C18	GMAC1_RXD3	RMII_RXD3	VCCIO5
C26	GMAC1_RXCLK	RMII_RXCLK	VCCIO5
C12	GMAC1_TXD2	RMII_TXD2	VCCIO5
C14	GMAC1_TXD3	RMII_TXD3	VCCIO5
C20	GMAC1_TXCLK	RMII_TXCLK	VCCIO5
C34	GMAC1_TXD0	RMII_TXD0	VCCIO5
C36	GMAC1_TXD1	RMII_TXD1	VCCIO5
C38	GMAC1_TXEN	RMII_TXEN	VCCIO5
C22	GMAC1_RXD0	RMII_RXD0	VCCIO5
C24	GMAC1_RXD1	RMII_RXD1	VCCIO5
C28	GMAC1_RXDV_CRS	RMII_CRS_DV	VCCIO5
C30	ETH1_REFCLKO_25M	/	VCCIO5
C40	GMAC1_MCLKINOUT	RMII_CLK	VCCIO5
C54	GMAC1_MDC	RMII_MDC	VCCIO5

C50	GMAC1_MDIO	RMII_MDIO	VCCIO5
-----	------------	-----------	--------

千兆以太网接口可以参考我司提供的开发板参考原理图。

2.6 音频接口设计

RK3588支持的音频接口清单：

音频接口资源	资源详情	说明
I2S	I2S0	8通道
	I2S1 (M0、M1)	8通道
	I2S2 (M0、M1)	2通道
	I2S4	8通道
SPDIF	2路	8通道
PDM	2路	8通道

音频接口可以参考我司提供的开发板参考原理图ES8388部分。

I2S0 引脚列表如下：

引脚编号	I2S2信号	电源域	说明
D21	I2S0_LRCK	VCCIO1	I2S帧时钟LRCK
D22	I2S0_SDO1	VCCIO1	I2S输出数据1
D23	I2S0_SDO0	VCCIO1	I2S输出数据0
D24	I2S0_SDO2/I2S0_SDI3	VCCIO1	I2S输出数据2/I2S输入数据3
D25	I2S0_SCLK	VCCIO1	I2S串行时钟SCLK
D26	I2S0_SDO3/I2S0_SDI2	VCCIO1	I2S输出数据3/I2S输入数据2
D28	I2S0_SDI1	VCCIO1	I2S输入数据1

D29	I2S0_MCLK	VCCIO1	I2S主时钟MCLK
D30	I2S0_SDI0	VCCIO1	I2S输入数据0

I2S1（M0组）引脚列表如下：

引脚编号	I2S2信号	电源域	说明
C75	I2S1_SDO3_M0	VCCIO6	I2S输出数据3
C77	I2S1_SDO2_M0	VCCIO6	I2S输出数据2
B1	I2S1_SDO0_M0	VCCIO6	I2S输出数据0
B2	I2S1_SDI3_M0	VCCIO6	I2S输入数据3
B3	I2S1_SDI2_M0	VCCIO6	I2S输入数据2
B4	I2S1_SDO1_M0	VCCIO6	I2S输出数据1
B5	I2S1_SDI1_M0	VCCIO6	I2S输入数据1
B6	I2S1_LRCK_M0	VCCIO6	I2S帧时钟LRCK
B7	I2S1_SDI0_M0	VCCIO6	I2S输入数据0
B8	I2S1_SCLK_M0	VCCIO6	I2S串行时钟SCLK
B10	I2S1_MCLK_M0	VCCIO6	I2S主时钟MCLK

I2S1（M1组）引脚列表如下：

引脚编号	I2S2信号	电源域	说明
C9	I2S1_MCLK_M1	PMUIO2	I2S主时钟MCLK
C11	I2S1_SCLK_M1	PMUIO2	I2S串行时钟SCLK
C13	I2S1_SDI0_M1	PMUIO2	I2S输入数据0
C17	I2S1_LRCK_M1	PMUIO2	I2S帧时钟LRCK
C21	I2S1_SDI2_M1	PMUIO2	I2S输入数据2
C23	I2S1_SDI3_M1	PMUIO2	I2S输入数据3

I2S2（M0组）引脚列表如下：

引脚编号	I2S2信号	电源域	说明
C37	I2S2_SDI_M0	VCCIO3	I2S串行输入数据
C39	I2S2_LRCK_M0	VCCIO3	I2S帧时钟LRCK
C41	I2S2_SCLK_M0	VCCIO3	I2S串行时钟SCLK
C45	I2S2_SDO_M0	VCCIO3	I2S串行输出数据
C47	I2S2_MCLK_M0	VCCIO3	I2S主时钟MCLK

I2S2（M1组）引脚列表如下：

引脚编号	I2S2信号	电源域	说明
C32	I2S2_SDI_M1	VCCIO5	I2S串行输入数据
C34	I2S2_SDO_M1	VCCIO5	I2S串行输出数据
C36	I2S2_MCLK_M1	VCCIO5	I2S主时钟MCLK
C38	I2S2_SCLK_M1	VCCIO5	I2S串行时钟SCLK
C40	I2S2_LRCK_M1	VCCIO5	I2S帧时钟LRCK

RK3588提供一个 SPDIF TX 数字音频接口，最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips Digital Interface Format 是 SONY 、 PHILIPS 数字音频接口的简称。就传输载体而言， SPDIF 又分为同轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异， SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

SPDIF 引脚配置列表如下：

引脚编号	信号定义	电源域
A72	SPDIF_TX0_M0	VCCIO2

A70	SPDIF_RX0_M0	VCCIO2
B77	SPDIF_TX0_M1	VCCIO5
B75	SPDIF_RX0_M1	VCCIO5
B64	SPDIF_TX0_M2	VCCIO4
B68	SPDIF_RX0_M2	VCCIO4
B23	SPDIF_TX1_M0	VCCIO5
B21	SPDIF_RX1_M0	VCCIO5
B78	SPDIF_TX1_M1	VCCIO4
B76	SPDIF_RX1_M1	VCCIO4
A44	SPDIF_TX1_M2	VCCIO3
A42	SPDIF_RX1_M2	VCCIO3

PDM0 引脚配置列表 如下：

引脚编号	引脚分组	信号定义	电源域	说明
D19	M0	PDM0_CLK0_M0	VCCIO1	PDM sampling clock
D35		PDM0_SDI0_M0	VCCIO1	/
D27		PDM0_CLK1_M0	VCCIO1	PDM sampling clock
D24		PDM0_SDI1_M0	VCCIO1	/
D26		PDM0_SDI2_M0	VCCIO1	/
D28		PDM0_SDI3_M0	VCCIO1	/
C19	M1	PDM0_CLK0_M1	PMUIO2	PDM sampling clock
C21		PDM0_SDI0_M1	PMUIO2	/
C15		PDM0_CLK1_M1	PMUIO2	PDM sampling clock
C23		PDM0_SDI1_M1	PMUIO2	/

PDM1 引脚配置列表 如下：

引脚编号	引脚分组	信号定义	电源域	说明
A76	M0	PDM1_CLK0_M0	VCCIO2	PDM sampling clock
A72		PDM1_SDI0_M0	VCCIO2	/
A74		PDM1_CLK1_M0	VCCIO2	PDM sampling clock
A70		PDM1_SDI1_M0	VCCIO2	/
A80		PDM1_SDI2_M0	VCCIO2	/
A78		PDM1_SDI3_M0	VCCIO2	/
D4	M1	PDM1_CLK0_M1	VCCIO4	PDM sampling clock
D3		PDM1_SDI0_M1	VCCIO4	/
D20		PDM1_CLK1_M1	VCCIO4	PDM sampling clock
D17		PDM1_SDI1_M1	VCCIO4	/
D6		PDM1_SDI2_M1	VCCIO4	/
D8		PDM1_SDI3_M1	VCCIO4	/

2.7 HDMI设计

核心板支持2路HDMI_TX输出和1路HDMI_RX输入，支持HDMI1.4 和HDMI2.0, 支持到1080p@120Hz 和 4096x2160@60Hz，支持3D视频格式，支持 HDCP1.4/2.2 。

IDO-SOM3588-V1核心板引出了HDMI高速线，支持HDMI2.0协议，分辨率达到4K。若做底板设计，接口需要预留ESD保护设计，并且ESD器件靠近HDMI接口放置，推荐ESD结电容最大不超过0.4PF。

注意：RK3588芯片的I2C是不支持5V电平的，所以DDC/I2C总线需要增加电平转换电路。HDMI高速差分线在LAYOUT设计时尽量避免换层，走线尽量短，参考面保证完整，100Ω差分阻抗控制。

HDMI0_TX引脚列表如下：

引脚编号	信号定义	说明
------	------	----

D13	HDMI_TX0_HPDIN_M0	HDMI hot plug detect signal
C80	HDMITX0_SDA_M0	DDC/SDA 需要做电平转换
C78	HDMITX0_SCL_M0	DDC/SCL 需要做电平转换
C76	HDMITX0_CEC_M0	HDMI CEC signal
A77	HDMI0_TX_SBDN	clock negative differential output
A75	HDMI0_TX_SBDP	clock positive differential output
A73	HDMI0_TX3N_PORT	Lane3 data negative differential output
A71	HDMI0_TX3P_PORT	Lane3 data positive differential output
A69	HDMI0_TX0N_PORT	Lane0 data negative differential output
A67	HDMI0_TX0P_PORT	Lane0 data positive differential output
A65	HDMI0_TX1N_PORT	Lane1 data negative differential output
A63	HDMI0_TX1P_PORT	Lane1 data positive differential output
A61	HDMI0_TX2N_PORT	Lane2 data negative differential output
A59	HDMI0_TX2P_PORT	Lane2 data positive differential output

HDMI1_TX引脚列表如下：

引脚编号	信号定义	说明
C52	HDMITX1_HPDIN_M1	HDMI hot plug detect signal
C64	HDMITX1_SDA_M1	DDC/SDA 需要做电平转换
C60	HDMITX1_SCL_M1	DDC/SCL 需要做电平转换

C62	HDMITX1_CEC_M2	HDMI CEC signal
A55	HDMI1_TX_SBDN	clock negative differential output
A53	HDMI1_TX_SBDP	clock positive differential output
A51	HDMI1_TX3N_PORT	Lane3 data negative differential output
A49	HDMI1_TX3P_PORT	Lane3 data positive differential output
A47	HDMI1_TX0N_PORT	Lane0 data negative differential output
A45	HDMI1_TX0P_PORT	Lane0 data positive differential output
A43	HDMI1_TX1N_PORT	Lane1 data negative differential output
A41	HDMI1_TX1P_PORT	Lane1 data positive differential output
A39	HDMI1_TX2N_PORT	Lane2 data negative differential output
A37	HDMI1_TX2P_PORT	Lane2 data positive differential output

HDMI_RX引脚列表如下：

引脚编号	信号定义	说明
C44	HDMI_RX_HPDOOUT_H_M1	HDMI hot plug detect signal
C56	HDMI_RX_SDA_M1	DDC/SDA 需要做电平转换
C58	HDMI_RX_SCL_M1	DDC/SCL 需要做电平转换
C66	HDMI_RX_CEC_M1	HDMI CEC signal
A52	HDMI_RX_D2P	Lane2 data positive differential input

A54	HDMI_RX_D2N	Lane2 data negative differential input
A56	HDMI_RX_D1P	Lane1 data positive differential input
A58	HDMI_RX_D1N	Lane1 data negative differential input
A60	HDMI_RX_D0P	Lane0 data positive differential input
A62	HDMI_RX_D0N	Lane0 data negative differential input
A64	HDMI_RX_CLKP	clock positive differential input
A66	HDMI_RX_CLKN	clock negative differential input

HDMI接口CEC电路电平转换设计。

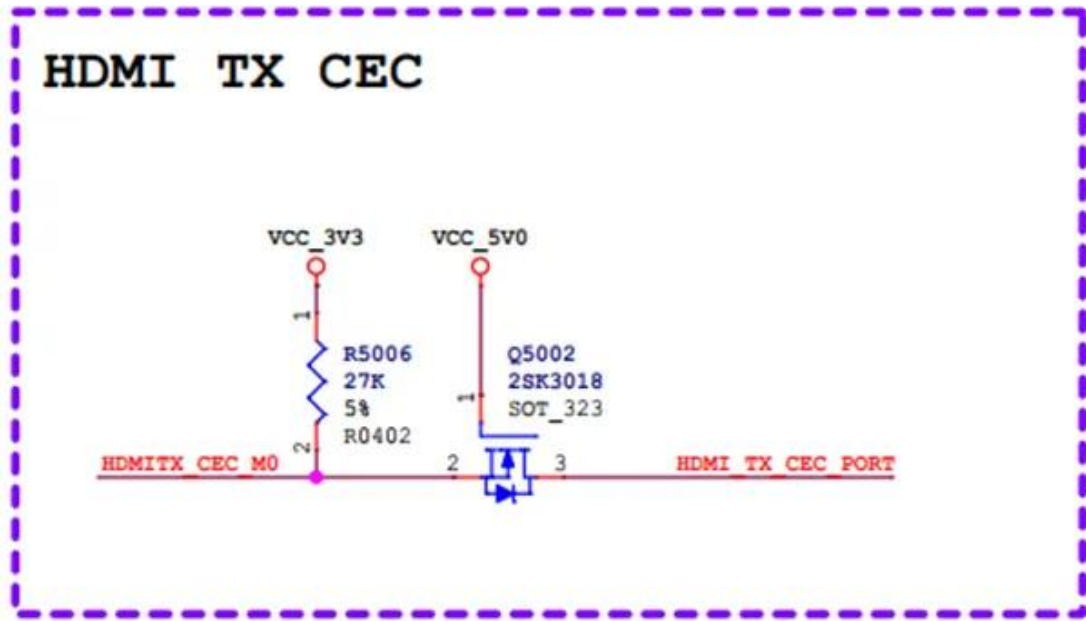


图7. CEC电平转换参考设计图

DDC/I2C总线电平转换电路设计。

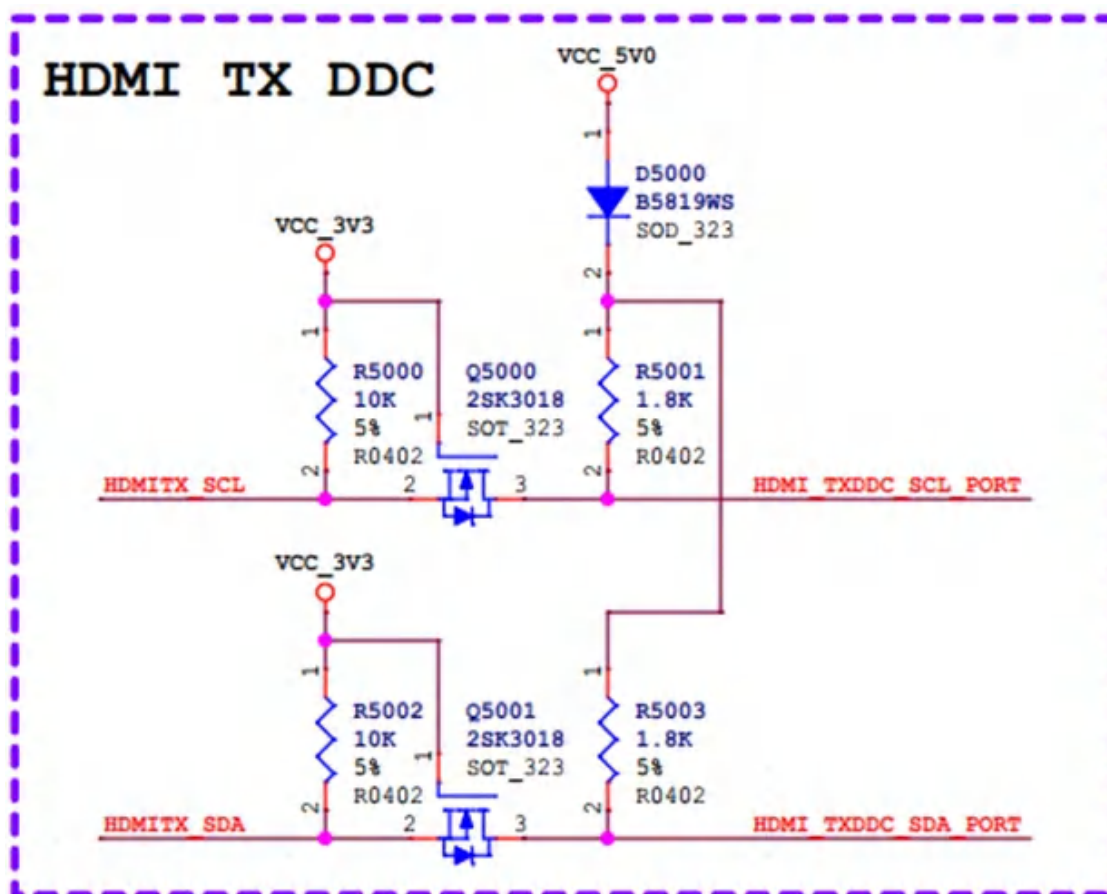


图8. DDC/I2C总线电平转换参考设计图

2.8 eDP设计

RK3588支持2路eDP视频输出接口，eDP1.3，4lane，分辨率最大支持到2560x1600@60Hz。

eDP0引脚列表如下：

引脚号	引脚定义	描述
A59	eDP0_TX_D2P	Lane2 data positive differential output
A61	eDP0_TX_D2N	Lane2 data negative differential output
A63	eDP0_TX_D1P	Lane1 data positive differential output

A65	eDP0_TX_D1N	Lane1 data negative differential output
A67	eDP0_TX_D0P	Lane0 data positive differential output
A69	eDP0_TX_D0N	Lane0 data negative differential output
A71	eDP0_TX_D3P	Lane3 data positive differential output
A73	eDP0_TX_D3N	Lane3 data negative differential output
A75	eDP0_TX_AUXP	CH-AUX positive differential output
A77	eDP0_TX_AUXN	CH-AUX negative differential output

eDP1引脚列表如下：

引脚号	引脚定义	描述
A37	eDP1_TX_D2P	Lane2 data positive differential output
A39	eDP1_TX_D2N	Lane2 data negative differential output
A41	eDP1_TX_D1P	Lane1 data positive differential output
A43	eDP1_TX_D1N	Lane1 data negative differential output
A45	eDP1_TX_D0P	Lane0 data positive differential output
A47	eDP1_TX_D0N	Lane0 data negative differential output

A49	eDP1_TX_D3P	Lane3 data positive differential output
A51	eDP1_TX_D3N	Lane3 data negative differential output
A53	eDP1_TX_AUXP	CH-AUX positive differential output
A55	eDP1_TX_AUXN	CH-AUX negative differential output

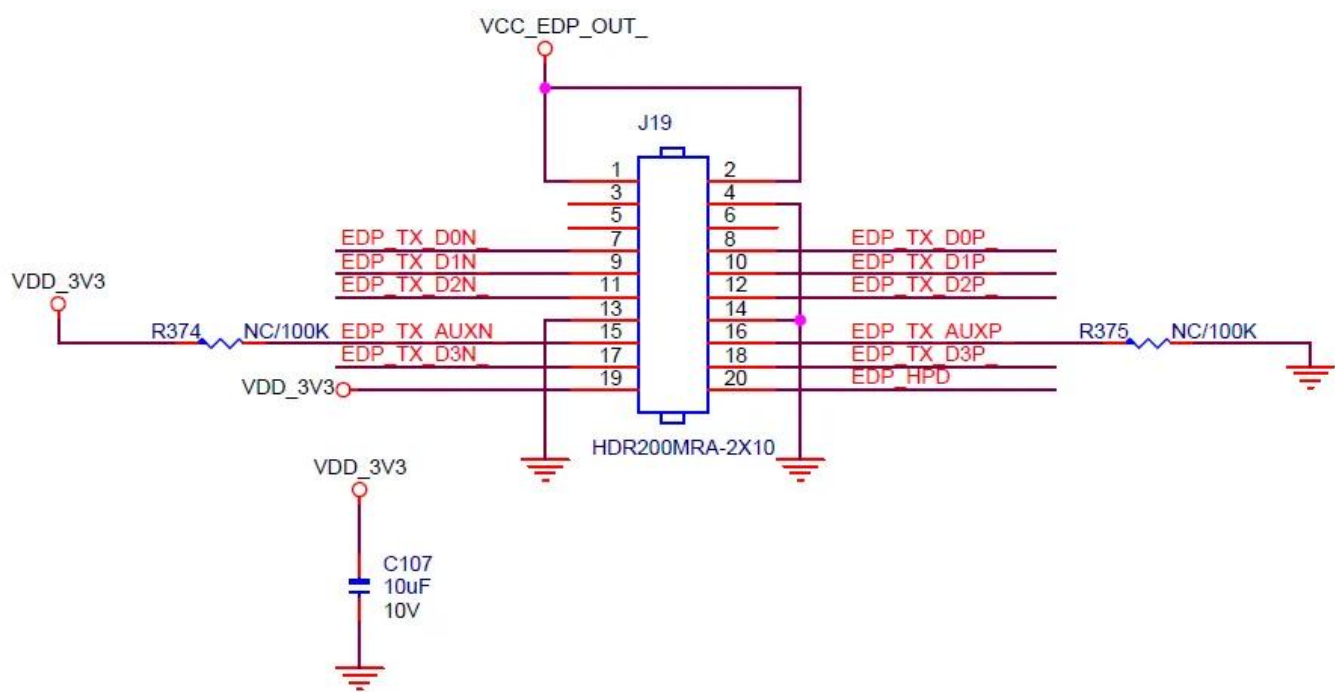


图9. eDP接口参考设计图

注意： LAYOUT走线需要控制等长处理，参考面完整，100Ω差分阻抗控制。走线需要串联100nF耦合电容，数据通道输出耦合电容需靠近核心板端。

2.9 MIPI_DPHY设计

IDO-SOM3588-V1核心板引出两路MIPI_DPHY_TX接口和两路MIPI_DPHY_RX接口，每路4Lane。

MIPI_DPHY0_TX引脚资源列表：

引脚号	引脚定义	描述
B39	MIPI_DPHY0_TX_D3P	MIPI-发送-D3-正
B41	MIPI_DPHY0_TX_D3N	MIPI-发送-D3-负
B43	MIPI_DPHY0_TX_D2P	MIPI-发送-D2-正
B45	MIPI_DPHY0_TX_D2N	MIPI-发送-D2-负
B47	MIPI_DPHY0_TX_CLKP	MIPI-时钟-正
B49	MIPI_DPHY0_TX_CLKN	MIPI-时钟-负
B51	MIPI_DPHY0_TX_D1P	MIPI-发送-D1-正
B53	MIPI_DPHY0_TX_D1N	MIPI-发送-D1-负
B55	MIPI_DPHY0_TX_D0P	MIPI-发送-D0-正
B57	MIPI_DPHY0_TX_D0N	MIPI-发送-D0-负

MIPI_DPHY1_TX引脚资源列表：

引脚号	引脚定义	描述
B61	MIPI_DPHY1_TX_D3P	MIPI-发送-D3-正
B63	MIPI_DPHY1_TX_D3N	MIPI-发送-D3-负
B65	MIPI_DPHY1_TX_D2P	MIPI-发送-D2-正
B67	MIPI_DPHY1_TX_D2N	MIPI-发送-D2-负
B69	MIPI_DPHY1_TX_CLKP	MIPI-时钟-正
B71	MIPI_DPHY1_TX_CLKN	MIPI-时钟-负
B73	MIPI_DPHY1_TX_D1P	MIPI-发送-D1-正
B75	MIPI_DPHY1_TX_D1N	MIPI-发送-D1-负
B77	MIPI_DPHY1_TX_D0P	MIPI-发送-D0-正
B79	MIPI_DPHY1_TX_D0N	MIPI-发送-D0-负

MIPI_DPHY0_RX引脚资源列表：

引脚号	引脚定义	描述
B40	MIPI_DPHY0_RX_D3P	MIPI-接收-D3-正
B42	MIPI_DPHY0_RX_D3N	MIPI-接收-D3-负
B44	MIPI_DPHY0_RX_D2P	MIPI-接收-D2-正
B46	MIPI_DPHY0_RX_D2N	MIPI-接收-D2-负
B48	MIPI_DPHY0_RX_CLKP	MIPI-时钟-正
B50	MIPI_DPHY0_RX_CLKN	MIPI-时钟-负
B52	MIPI_DPHY0_RX_D1P	MIPI-接收-D1-正
B54	MIPI_DPHY0_RX_D1N	MIPI-接收-D1-负
B56	MIPI_DPHY0_RX_D0P	MIPI-接收-D0-正
B58	MIPI_DPHY0_RX_D0N	MIPI-接收-D0-负

MIPI_DPHY1_RX引脚资源列表：

引脚号	引脚定义	描述
B62	MIPI_DPHY1_RX_D3P	MIPI-接收-D3-正
B64	MIPI_DPHY1_RX_D3N	MIPI-接收-D3-负
B66	MIPI_DPHY1_RX_D2P	MIPI-接收-D2-正
B68	MIPI_DPHY1_RX_D2N	MIPI-接收-D2-负
B70	MIPI_DPHY1_RX_CLKP	MIPI-时钟-正
B72	MIPI_DPHY1_RX_CLKN	MIPI-时钟-负
B74	MIPI_DPHY1_RX_D1P	MIPI-接收-D1-正
B76	MIPI_DPHY1_RX_D1N	MIPI-接收-D1-负
B78	MIPI_DPHY1_RX_D0P	MIPI-接收-D0-正
B80	MIPI_DPHY1_RX_D0N	MIPI-接收-D0-负

注意：MIPI高速差分对，差分阻抗按照100Ω控制。走线参考面完整。

2.10 PCIe设计

RK3588支持3路PCIe2.0和2路PCIe3.0，其中PCIe2.0 1Lane，PCIe3.0 2Lane。

PCIe2.0_Mux0引脚资源列表：

引脚编号	引脚定义	描述
D61	PCIE20_0_REFCLKP	PCIe参考时钟-正
D63	PCIE20_0_REFCLKN	PCIe参考时钟-负
D65	PCIE20_0_TXP/SATA30_0_TXP	PCIe发送0-正
D67	PCIE20_0_TXN/SATA30_0_TXN	PCIe发送0-负
D69	PCIE20_0_RXP/SATA30_0_RXP	PCIe接收0-正
D71	PCIE20_0_RXN/SATA30_0_RXN	PCIe接收0-负

PCIe2.0_Mux1引脚资源列表：

引脚编号	引脚定义	描述
D68	PCIE20_1_REFCLKP	PCIe参考时钟-正
D70	PCIE20_1_REFCLKN	PCIe参考时钟-负
D72	PCIE20_1_TXP/SATA30_1_TXP	PCIe发送0-正
D74	PCIE20_1_TXN/SATA30_1_TXN	PCIe发送0-负
D76	PCIE20_1_RXP/SATA30_1_RXP	PCIe接收0-正
D78	PCIE20_1_RXN/SATA30_1_RXN	PCIe接收0-负

PCIe2.0_Mux2引脚资源列表：

引脚编号	引脚定义	描述
D56	PCIE20_2_REFCLKP	PCIe参考时钟-正
D58	PCIE20_2_REFCLKN	PCIe参考时钟-负
D60	PCIE20_2_TXP	PCIe发送0-正
D62	PCIE20_2_TXN	PCIe发送0-负

D39	PCIE30_PORT0_TX1N	PCIE3.0 发送 1 负
D41	PCIE30_PORT0_TX1P	PCIE3.0 发送 1 正
D43	PCIE30_PORT0_TX0N	PCIE3.0 发送 0 负
D45	PCIE30_PORT0_TX0P	PCIE3.0 发送 0 正
D47	PCIE30_PORT0_REFCLKN_IN	PCIE3.0 参考时钟 负
D49	PCIE30_PORT0_REFCLKP_IN	PCIE3.0 参考时钟 正
D51	PCIE30_PORT0_RX1N	PCIE3.0 接收 1 负
D53	PCIE30_PORT0_RX1P	PCIE3.0 接收 1 正
D55	PCIE30_PORT0_RX0N	PCIE3.0 接收 0 负
D57	PCIE30_PORT0_RX0P	PCIE3.0 接收 0 正

PCle3.0 Port1引脚资源列表

引脚编号	PCIE3.0信号	信号描述
D34	PCIE30_PORT1_REFCLKP_IN	PCIE3.0 参考时钟 正
D36	PCIE30_PORT1_REFCLKN_IN	PCIE3.0 参考时钟 负
D38	PCIE30_PORT1_TX3N	PCIE3.0 发送 3 负
D40	PCIE30_PORT1_TX3P	PCIE3.0 发送 3 正
D42	PCIE30_PORT1_TX2N	PCIE3.0 发送 2 负
D44	PCIE30_PORT1_TX2P	PCIE3.0 发送 2 正
D46	PCIE30_PORT1_RX3N	PCIE3.0 接收 3 负
D48	PCIE30_PORT1_RX3P	PCIE3.0 接收 3 正
D50	PCIE30_PORT1_RX2N	PCIE3.0 接收 2 负
D52	PCIE30_PORT1_RX2P	PCIE3.0 接收 2 正

PCle3.0x1_0引脚资源列表

引脚编号	PCIE3.0信号	电源域	信号描述
------	-----------	-----	------

B1	PCIE30X1_0_BUTTON_RSTN	VCCIO6	PCle Reset request (INPUT)
C13	PCIE30X1_0_PERSTN_M0	PMUIO2	PCle warm reset request (INPUT)
C15	PCIE30X1_0_WAKEN_M0	PMUIO2	PCle wake up (I/O)
C19	PCIE30X1_0_CLKREQN_M0	PMUIO2	PCle clock request from PCle peripheral (INPUT)
B7	PCIE30X1_0_PERSTN_M1	VCCIO6	PCle warm reset request (INPUT)
B9	PCIE30X1_0_WAKEN_M1	VCCIO6	PCle wake up (I/O)
C79	PCIE30X1_0_CLKREQN_M1	VCCIO6	PCle clock request from PCle peripheral (INPUT)
D4	PCIE30X1_0_PERSTN_M2	VCCIO4	PCle warm reset request (INPUT)
D20	PCIE30X1_0_WAKEN_M2	VCCIO4	PCle wake up (I/O)
D10	PCIE30X1_0_CLKREQN_M2	VCCIO4	PCle clock request from PCle peripheral (INPUT)

PCle3.0x1_1引脚资源列表

引脚编号	PCIE3.0信号	电源域	信号描述
B4	PCIE30X1_1_BUTTON_RSTN	VCCIO6	PCle Reset request (INPUT)
C17	PCIE30X1_1_PERSTN_M0	PMUIO2	PCle warm reset request (INPUT)
C11	PCIE30X1_1_WAKEN_M0	PMUIO2	PCle wake up (I/O)

C9	PCIE30X1_1_CLKREQN_M0	PMUIO2	PCIe clock request from PCIe peripheral (INPUT)
B6	PCIE30X1_1_PERSTN_M1	VCCIO6	PCIe warm reset request (INPUT)
B8	PCIE30X1_1_WAKEN_M1	VCCIO6	PCIe wake up (I/O)
B10	PCIE30X1_1_CLKREQN_M1	VCCIO6	PCIe clock request from PCIe peripheral (INPUT)
D3	PCIE30X1_1_PERSTN_M2	VCCIO4	PCIe warm reset request (INPUT)
D11	PCIE30X1_1_WAKEN_M2	VCCIO4	PCIe wake up (I/O)
D7	PCIE30X1_1_CLKREQN_M2	VCCIO4	PCIe clock request from PCIe peripheral (INPUT)

PCIe3.0x2引脚资源列表

引脚编号	PCIe3.0信号	电源域	信号描述
C46	PCIE30X2_BUTTON_RSTN	VCCIO5	PCIe Reset request (INPUT)
B2	PCIE30X2_PERSTN_M1	VCCIO6	PCIe warm reset request (INPUT)
B3	PCIE30X2_WAKEN_M1	VCCIO6	PCIe wake up (I/O)
B5	PCIE30X2_CLKREQN_M1	VCCIO6	PCIe clock request from PCIe peripheral (INPUT)
C44	PCIE30X2_PERSTN_M2	VCCIO5	PCIe warm reset request (INPUT)
C56	PCIE30X2_WAKEN_M2	VCCIO5	PCIe wake up (I/O)

C58	PCIE30X2_CLKREQN_M2	VCCIO5	PCIe clock request from PCIe peripheral (INPUT)
D18	PCIE30X2_PERSTN_M3	VCCIO4	PCIe warm reset request (INPUT)
D12	PCIE30X2_WAKEN_M3	VCCIO4	PCIe wake up (I/O)
D16	PCIE30X2_CLKREQN_M3	VCCIO4	PCIe clock request from PCIe peripheral (INPUT)

PCIe3.0x4引脚资源列表

引脚编号	PCIe3.0信号	电源域	信号描述
C74	PCIE30X4_BUTTON_RSTN	VCCIO5	PCIe Reset request (INPUT)
C23	PCIE30X4_PERSTN_M0	PMUIO2	PCIe warm reset request (INPUT)
C21	PCIE30X4_WAKEN_M0	PMUIO2	PCIe wake up (I/O)
C71	PCIE30X4_PERSTN_M1	VCCIO6	PCIe warm reset request (INPUT)
C73	PCIE30X4_WAKEN_M1	VCCIO6	PCIe wake up (I/O)
C75	PCIE30X4_CLKREQN_M1	VCCIO6	PCIe clock request from PCIe peripheral (INPUT)
C60	PCIE30X4_PERSTN_M2	VCCIO5	PCIe warm reset request (INPUT)
C64	PCIE30X4_WAKEN_M2	VCCIO5	PCIe wake up (I/O)
C62	PCIE30X4_CLKREQN_M2	VCCIO5	PCIe clock request from PCIe peripheral (INPUT)

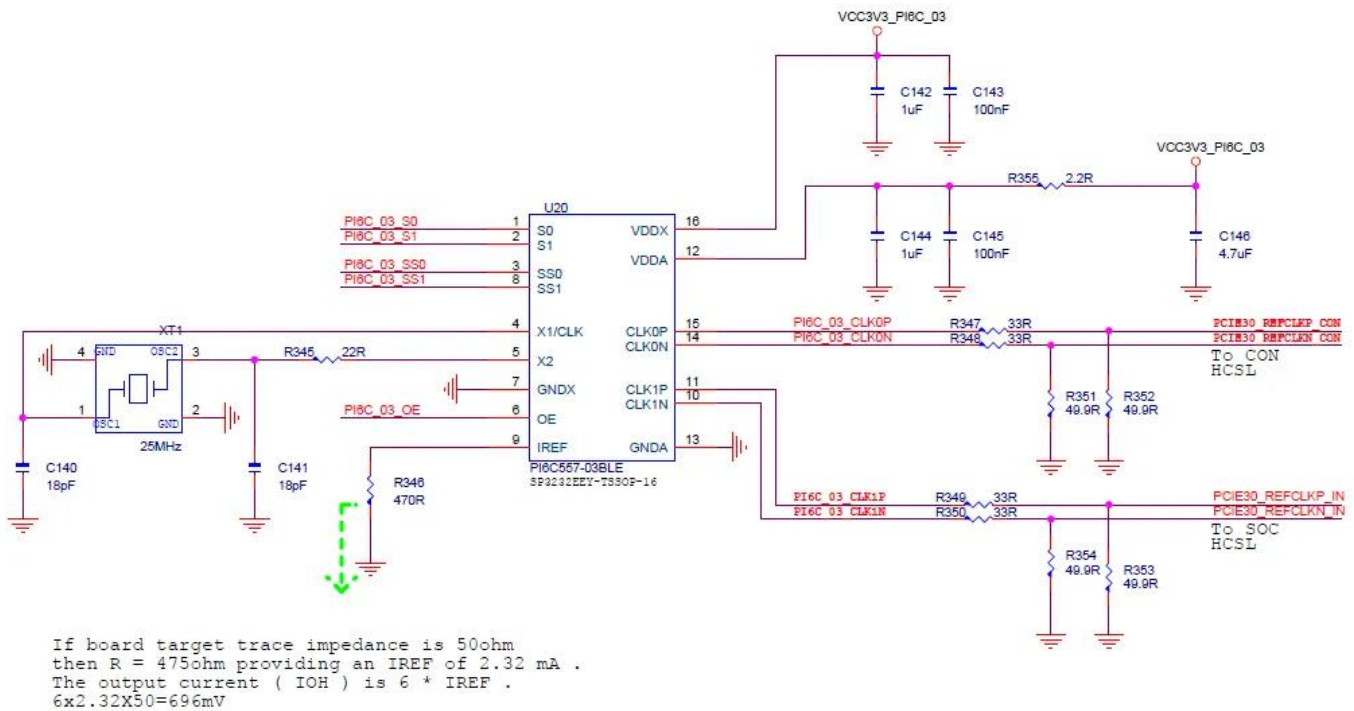


图11. PCIe3.0接口设计

PCle接口设计注意事项：PCle高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

2.11 MIPI–CSI接口设计

IDO–SOM3588–V1核心板内置8M ISP处理器,支持两路4 Lane MIPI CSI输入,也可以配置成四路2Lane MIPI CSI 输入。支持单路8M/13M摄像头，或两路5M摄像头接入。

注意事项：

- 支持 x 4 Lane 模式 MIPI_CSI_RX_D 【3:0】 数据参考 MIPI_CSI_RX_ CLK0
- MIPI_CSI_RX_D 【1:0】 数据参考 MIPI_CSI_RX_ CLK0
- MIPI_CSI_RX_D 【3:2】 数据参考 MIPI_CSI_RX_ CLK1

MIPI–CSI 单摄像头和双摄像头的配置区别如下图示：

Option1	Sensor1 x4Lane	MIPI_CSI_RX_D0-3 MIPI_CSI_RX_CLK0
Option2	Sensor1 x2Lane + Sensor2 x2Lane	MIPI_CSI_RX_D0-1 MIPI_CSI_RX_CLK0 MIPI_CSI_RX_D2-3 MIPI_CSI_RX_CLK1

图12. MIPI-CSI接口单/双摄像头配置选择

MIPI-CSIO引脚列表如下：

引脚编号	引脚定义	描述
B13	MIPI_CSIO_RX_D0N	MIPI_接收1-D0-负
B15	MIPI_CSIO_RX_D0P	MIPI_接收1-D0-正
B17	MIPI_CSIO_RX_D1N	MIPI_接收1-D1-负
B19	MIPI_CSIO_RX_D1P	MIPI_接收1-D1-正
B25	MIPI_CSIO_RX_D2N	MIPI_接收1-D2-负
B27	MIPI_CSIO_RX_D2P	MIPI_接收1-D2-正
B29	MIPI_CSIO_RX_D3N	MIPI_接收1-D3-负
B31	MIPI_CSIO_RX_D3P	MIPI_接收1-D3-正
B21	MIPI_CSIO_RX_CLK0N	MIPI_接收1-时钟-负
B23	MIPI_CSIO_RX_CLK0P	MIPI_接收1-时钟-正
B33	MIPI_CSIO_RX_CLK1N	MIPI_接收2-时钟- 负（用于双摄）
B35	MIPI_CSIO_RX_CLK1P	MIPI_接收2-时钟-正（用于双摄）

MIPI-CSI1引脚列表如下：

引脚编号	引脚定义	描述
B14	MIPI_CSI1_RX_D0P	MIPI_接收1-D0-负
B16	MIPI_CSI1_RX_D0N	MIPI_接收1-D0-正
B18	MIPI_CSI1_RX_D1P	MIPI_接收1-D1-负
B20	MIPI_CSI1_RX_D1N	MIPI_接收1-D1-正
B26	MIPI_CSI1_RX_D2P	MIPI_接收1-D2-负
B28	MIPI_CSI1_RX_D2N	MIPI_接收1-D2-正
B30	MIPI_CSI1_RX_D3P	MIPI_接收1-D3-负
B32	MIPI_CSI1_RX_D3N	MIPI_接收1-D3-正
B22	MIPI_CSI1_RX_CLK0P	MIPI_接收1-时钟-负
B24	MIPI_CSI1_RX_CLK0N	MIPI_接收1-时钟-正
B34	MIPI_CSI1_RX_CLK1P	MIPI_接收2-时钟- 负（用于双摄）
B36	MIPI_CSI1_RX_CLK1N	MIPI_接收2-时钟-正 （用于双摄）

MIPI-CSI接口设计注意事项：MIPI-CSI高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

2.12 SATA总线

RK3588自带3路独立的SATA3.0控制器，兼容SATA 3.3 和 AHCI Revision 1.3.1，支持eSATA，支持1.5Gb/s, 3.0Gb/s, 6.0Gb/s。

SATA信号与USB3.0，PCIE2.1信号是复用的。根据实际情况选用并配置驱动来使用。

SATA信号引脚资源列表如下：

SATA控制器	核心板引脚编号	SATA信号定义	信号说明
SATA30_0	D65	SATA30_0_TXP	SATA 发送 DP
	D67	SATA30_0_TXN	SATA 发送 DN

	D69	SATA30_0_RXP	SATA 接收 DP
	D71	SATA30_0_RXN	SATA 接收 DN
SATA30_1	D72	SATA30_1_TXP	SATA 发送 DP
	D74	SATA30_1_TXN	SATA 发送 DN
	D76	SATA30_1_RXP	SATA 接收 DP
	D78	SATA30_1_RXN	SATA 接收 DN
SATA30_2	D60	SATA30_2_TXP	SATA 发送 DP
	D62	SATA30_2_TXN	SATA 发送 DN
	D64	SATA30_2_RXP	SATA 接收 DP
	D66	SATA30_2_RXN	SATA 接收 DN

SATA接口设计注意事项：走线按照100Ω差分阻抗。10nF耦合电容靠近SATA座子。走线长度<5inch。
参考设计如下图：

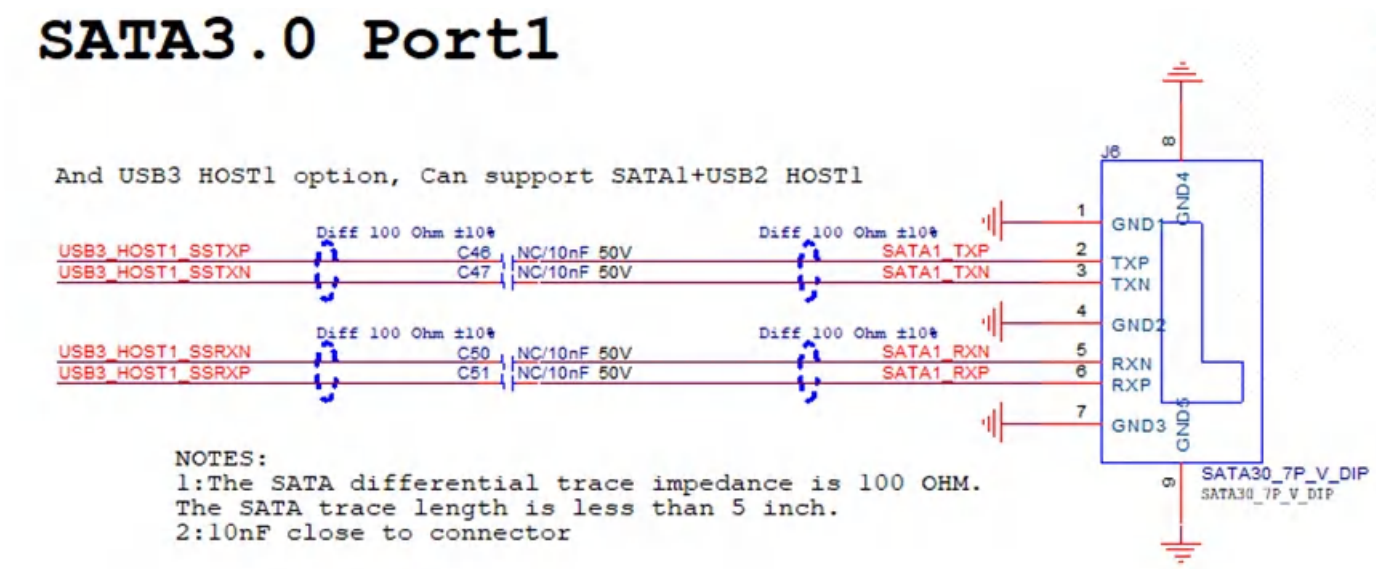


图13. SATA接口参考设计

2.13 UART设计

IDO-SOM3588-V1核心板共引出10路UART口，其中UART2_M0_DEBUG为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

注意：

- 需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。
- UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0，M1，M2三组引脚可选配，同一个UART控制器同时只能配置一组引脚。
- 调试串口默认为UART2 M0引脚组。

UART信号定义及可复用引脚列表：

UART资源	引脚编号	UART信号定义	电源域
UART0	C15	UART0_RX_M0	PMUIO2
	C13	UART0_TX_M0	
	B9	UART0_RX_M2	VCCIO6
	C79	UART0_TX_M2	
UART1	C47	UART1_RX_M0	VCCIO3
	C41	UART1_TX_M0	
	C39	UART1_RTSN_M0	
	C49	UART1_CTSN_M0	
	D18	UART1_RX_M1	VCCIO4
	D12	UART1_TX_M1	
	D14	UART1_RTSN_M1	
	D16	UART1_CTSN_M1	
UART2	C11	UART2_RX_M0_DEBU G	PMUIO2（调试串口）
	C9	UART2_TX_M0_DEBU G	
	A80	UART2_RX_M1	VCCIO_SD_S0
	A78	UART2_TX_M1	PLDO5
	C32	UART2_RX_M2	VCCIO5

	C28	UART2_TX_M2	VCCIO5
	C34	UART2_RTSN	
	C36	UART2_CTSN	
UART3	D31	UART3_RX_M0	VCCIO1
	D33	UART3_TX_M0	
	C40	UART3_RX_M1	VCCIO5
	C38	UART3_TX_M1	
	B5	UART3_RX_M2	VCCIO6
	B7	UART3_TX_M2	
	D29	UART3_RTSN	VCCIO1
	D25	UART3_CTSN	
UART4	D28	UART4_RX_M0	VCCIO1
	D26	UART4_TX_M0	
	C68	UART4_RX_M1	VCCIO5
	C66	UART4_TX_M1	
	D8	UART4_RX_M2	VCCIO4
	D20	UART4_TX_M2	
	D21	UART4_RTSN	VCCIO1
	D23	UART4_CTSN	
UART5	A74	UART5_RX_M0	VCCIO_SD_S0 PLDO5
	A76	UART5_TX_M0	
	A72	UART5_RTSN_M0	
	A70	UART5_CTSN_M0	
	C64	UART5_RX_M1	VCCIO5
	C62	UART5_TX_M1	

UART6	C69	UART6_RX_M0	VCCIO3
	C67	UART6_TX_M0	
	C65	UART6_RTSN_M0	
	C63	UART6_CTSN_M0	
	D7	UART6_RX_M1	VCCIO4
	D11	UART6_TX_M1	
	D5	UART6_RTSN_M1	
	D6	UART6_CTSN_M1	
	D24	UART6_RX_M2	VCCIO1
	D22	UART6_TX_M2	
UART7	C27	UART7_RX_M0	VCCIO3
	C33	UART7_TX_M0	
	C53	UART7_RTSN_M0	
	C43	UART7_CTSN_M0	
	C46	UART7_RX_M1	VCCIO5
	C48	UART7_TX_M1	
	C54	UART7_RTSN_M1	
	C50	UART7_CTSN_M1	
	D4	UART7_RX_M2	VCCIO4
	D10	UART7_TX_M2	
UART8	B1	UART8_RX_M0	VCCIO6
	B2	UART8_TX_M0	
	B4	UART8_RTSN_M0	
	C77	UART8_CTSN_M0	
	C18	UART8_RX_M1	VCCIO5

	C16	UART8_TX_M1	
	C20	UART8_RTSN_M1	
	C26	UART8_CTSN_M1	
UART9	C35	UART9_RX_M0	VCCIO3
	C51	UART9_TX_M0	
	C29	UART9_RTSN_M0	
	C31	UART9_CTSN_M0	
	C73	UART9_RX_M1	VCCIO6
	C75	UART9_TX_M1	
	B10	UART9_RTSN_M1	
	B8	UART9_CTSN_M1	
	C44	UART9_RX_M2	VCCIO5
	C74	UART9_TX_M2	
	C58	UART9_RTSN_M2	
	C56	UART9_CTSN_M2	

2.14 CAN总线

IDO-SOM3588-V1引出3个CAN总线控制器，支持 CAN 2.0B 协议。

CAN引脚复用信号较多，同一路CAN控制器可以分配到不同引脚分组。最多可有M0，M1组引脚可选配，同一个CAN控制器同时只能配置一组引脚。

CAN接口引脚资源如下表：

CAN资源	引脚分组	引脚编号	CAN信号定义	电源域
CAN0	M0	C19	CAN0_RX_M0	PMUIO2
		C17	CAN0_TX_M0	

	M1	A76	CAN0_RX_M1	VCCIO_SD_S0
		A74	CAN0_TX_M1	PLDO5
CAN1	M0	C38	CAN1_RX_M0	VCCIO5
		C40	CAN1_TX_M0	
	M1	B4	CAN1_RX_M1	VCCIO6
		C77	CAN1_TX_M1	
CAN2	M0	C62	CAN2_RX_M0	VCCIO5
		C64	CAN2_TX_M0	

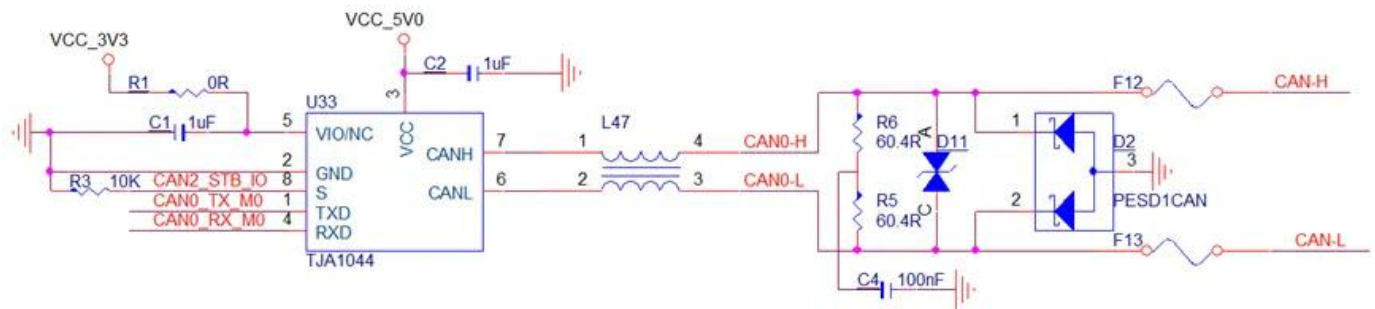


图14. CAN收发器参考设计

2.15 I2C总线

IDO-SOM3588-V1核心板共引出9组I2C接口，使用时注意电平为1.8V或3.3V，必要时加电平转换电路。

I2C引脚复用信号较多，同一路I2C控制器可以分配到不同引脚分组。最多可有M0，M1，M2，M3，M4组引脚可选配，同一个I2C控制器同时只能配置一组引脚。

I2C总线引脚资源如下表：

I2C资源	引脚分组	引脚编号	I2C信号定义	电源域
I2C0	M1	C31	I2C0_SCL_M1	VCCIO3
		C43	I2C0_SDA_M1	
I2C1	M0	C9	I2C1_SCL_M0	PMUIO2

		C11	I2C1_SDA_M0	
	M4	D26	I2C1_SCL_M4	VCCIO1
		D28	I2C1_SDA_M4	
I2C2	M0	C17	I2C2_SCL_M0	PMUIO2
		C19	I2C2_SDA_M0	
	M1	C49	I2C2_SCL_M1	VCCIO3
		C39	I2C2_SDA_M1	
	M3	D21	I2C2_SCL_M3	VCCIO1
		D27	I2C2_SDA_M3	
	M4	D11	I2C2_SCL_M4	VCCIO4
		D7	I2C2_SDA_M4	
I2C3	M0	D33	I2C3_SCL_M0	VCCIO1
		D31	I2C3_SDA_M0	
	M1	C52	I2C3_SCL_M1	VCCIO5
		C48	I2C3_SDA_M1	
	M2	B9	I2C3_SCL_M2	VCCIO6
		B7	I2C3_SDA_M2	
	M3	C61	I2C3_SCL_M3	VCCIO3
		C59	I2C3_SDA_M3	
	M4	A78	I2C3_SCL_M4	VCCIO_SD_S0
		A80	I2C3_SDA_M4	PLDO5
I2C4	M0	C30	I2C4_SCL_M0	VCCIO5
		C26	I2C4_SDA_M0	
	M1	C33	I2C4_SCL_M1	VCCIO3
		C27	I2C4_SDA_M1	

	M2	C13	I2C4_SCL_M2	PMUO2
		C15	I2C4_SDA_M2	
	M3	D15	I2C4_SCL_M3	VCCIO4
		D5	I2C4_SDA_M3	
	M4	D23	I2C4_SCL_M4	VCCIO1
		D19	I2C4_SDA_M4	
	I2C5	M0	C70	VCCIO5
			C68	
		M1	C71	VCCIO6
			C78	
		M2	B5	VCCIO6
			B3	
		M3	D12	VCCIO4
			D18	
		M4	C47	VCCIO3
			C41	
I2C6	M0	C23	I2C6_SCL_M0	PMUIO2
		C21	I2C6_SDA_M0	
	M1	D25	I2C6_SCL_M1	VCCIO1
		D29	I2C6_SDA_M1	
	M2	C37	I2C6_SCL_M2	VCCIO3
		C51	I2C6_SDA_M2	
	M3	B1	I2C6_SCL_M3	VCCIO6
		B2	I2C6_SDA_M3	
	M4	C14	I2C6_SCL_M4	VCCIO5

		C12	I2C6_SDA_M4	
I2C7	M0	D22	I2C7_SCL_M0	VCCIO1
		D24	I2C7_SDA_M0	
	M1	C45	I2C7_SCL_M1	VCCIO3
		C29	I2C7_SDA_M1	
	M2	C58	I2C7_SCL_M2	VCCIO5
		C56	I2C7_SDA_M2	
	M3	B4	I2C7_SCL_M3	VCCIO6
		C77	I2C7_SDA_M3	
I2C8	M0	A70	I2C8_SCL_M0	VCCIO_SD_S0
		A72	I2C8_SDA_M0	PLDO5
	M1	C65	I2C8_SCL_M1	VCCIO3
		C63	I2C8_SDA_M1	
	M2	D14	I2C8_SCL_M2	VCCIO4
		D16	I2C8_SDA_M2	
	M3	C80	I2C8_SCL_M3	VCCIO6
		C76	I2C8_SDA_M3	
	M4	C54	I2C8_SCL_M4	VCCIO5
		C50	I2C8_SDA_M4	

2.16 ADC设计说明

核心板共引出4路ADC接口，12bit精度，0~1.8V电压采样范围。

BOOT_SARADC_IN0默认做为ADC采样口，复用功能为BOOT强制烧录模式。系统启动时 BOOT 模式按键处于按下状态，即将BOOT_SARADC_IN0保持为低电平（0V），则 RK3568 进入Mask ROM

烧写模式，当 PC 识别到 USB 设备时，松开按键使BOOT_SARADC_IN0恢复为高电平（1.8V），即可进行固件烧写。

SARADC_VIN1_KEY/RECOVERY默认做为键值输入采样口，并复用为 Recovery 模式按键（不可修改）。核心板上BOOT_SARADC_IN0通过10KΩ 上拉电阻上拉到 VCCA_1V8，默认为高电平（1.8V），在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；核心板上 SARADC_VIN1_KEY/RECOVERY通过10KΩ 上拉电阻上拉到 VCCA_1V8，默认为高电平（1.8V），在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将SARADC_VIN1_KEY/RECOVERY保持为低电平（0V），则 RK3568 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC_VIN1_KEY/RECOVERY恢复为高电平（1.8V），即可进行固件烧写。另外为了方便开发，建议预留按键或 预留测试点。在Android系统操作界面下，其它按键操作如，VOL-，Home等功能按键也通过SARADC_VIN1_KEY/RECOVERY引脚实现，参考电路如下：

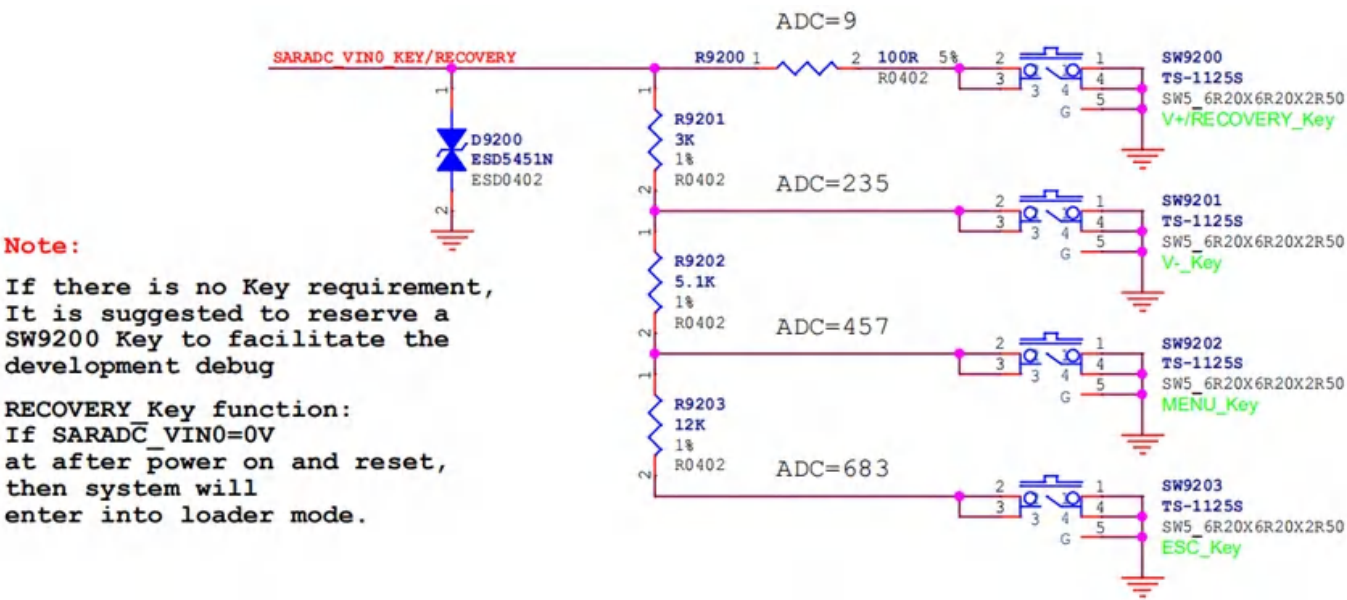


图15. ADC扩展按键参考设计图

SRADC引脚列表如下：

引脚号	引脚定义	电源域	描述
A12	BOOT_SARADC_IN0	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V
A10	SARADC_VIN1_KEY/RECOVERY	1.8V	默认用于BOOT按键功能。核心板上拉10K电阻到1.8V
A8	SARADC_VIN2	1.8V	标准ADC输入
A6	SARADC_VIN3_HP_HOOK	1.8V	可用于耳机线控按键或标准ADC采样

注意事项：

- SARADC 采样范围为0~1.8V，采样精度为 12bit 。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值， 实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于±35, 即中心电压差必须大于123mV。
- SARADC_VIN有使用时， 靠近核心板管脚必须并联1nF电容消抖。
- 用于按键采集时， 靠近按键需做 ESD 防护， 而且 0 键值的必须串接 100Ω 电阻加强抗静电浪涌能力（如果只有一个键时 ESD 必须靠近按键， 先经过 ESD→100Ω电阻→1nF→核心板管脚）。

2.17 SPI设计说明

IDO-SOM3588-V1共引出5路SPI接口， 可用于连接SPI通信接口的芯片或者模块。

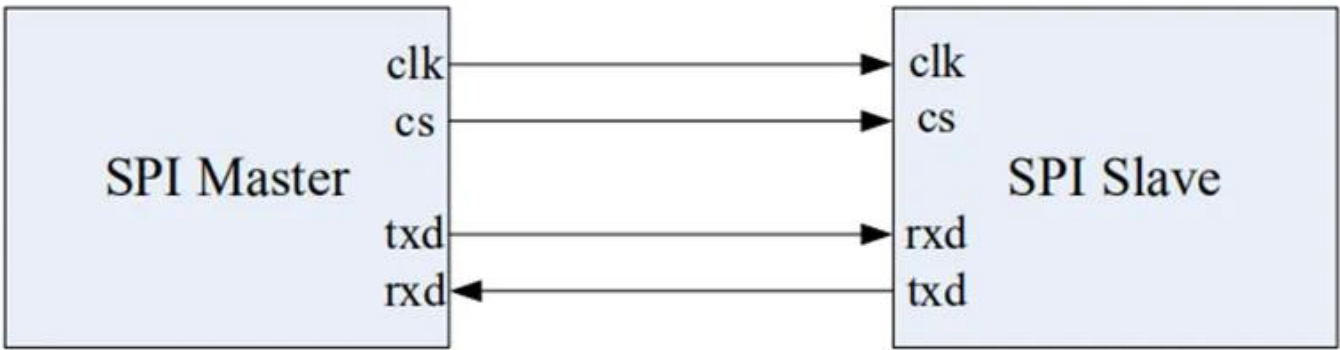


图16. SPI设备连接

SPI引脚资源列表：

SPI接口	引脚分组	引脚编号	引脚定义	电源域	说明
SPI0	M0	C17	SPI0_CS1_M0	PMUIO2	片选1
		C21	SPI0_MISO_M0		Master Input Slave Output
		C19	SPI0_MOSI_M0		Master Output Slave input
	M1	B6	SPI0_CLK_M1	VCCIO6	Clock
		B4	SPI0_CS0_M1		片选0
		B1	SPI0_CS1_M1		片选1

			B8	SPI0_MOSI_M1		Master Output Slave input
			B10	SPI0_MISO_M1		Master Input Slave Output
		M2	D4	SPI0_CS0_M2	VCCIO4	片选0
			D8	SPI0_MOSI_M 2		Master Output Slave input
			D10	SPI0_CS1_M2		片选1
			D20	SPI0_CLK_M2		Clock
		M3	C44	SPI0_CS0_M3	VCCIO5	片选0
			C56	SPI0_CLK_M3		Clock
			C58	SPI0_MOSI_M 3		Master Output Slave input
			C66	SPI0_MISO_M 3		Master Input Slave Output
			C74	SPI0_CS1_M3		片选1
	SPI1	M0	C39	SPI1_CLK_M0	VCCIO3	Clock
			C49	SPI1_MISO_M0		Master Input Slave Output
			C51	SPI1_MOSI_M0		Master Output Slave input
			C37	SPI1_CS0_M0		片选0
			C35	SPI1_CS1_M0		片选1
		M1	C46	SPI1_CLK_M1	VCCIO5	Clock
			C48	SPI1_MISO_M1		Master Input Slave Output

SPI2		C52	SPI1_MOSI_M1		Master Output Slave input
		C54	SPI1_CS0_M1		片选0
		C50	SPI1_CS1_M1		片选1
	M2	D22	SPI1_MISO_M2	VCCIO1	Master Input Slave Output
		D24	SPI1_MOSI_M2		Master Output Slave input
		D26	SPI1_CLK_M2		Clock
		D28	SPI1_CS0_M2		片选0
		D35	SPI1_CS1_M2		片选1
	M0	D1	SPI2_CLK_M0	VCCIO4	Clock
		D3	SPI2_CS0_M0		片选0
		D9	SPI2_MISO_M0		Master Input Slave Output
		D13	SPI2_MOSI_M0		Master Output Slave input
		D17	SPI2_CS1_M0		片选1
	M1	B2	SPI2_CS1_M1	VCCIO6	片选1
		B3	SPI2_CS0_M1		片选0
		B5	SPI2_CLK_M1		Master Output Slave input
		B7	SPI2_MOSI_M1		Master Output Slave input
		B9	SPI2_MISO_M1		Master Input Slave Output

SPI3	M0	C29	SPI3_MISO_M0	VCCIO3	Master Input Slave Output
		C31	SPI3_MOSI_M0		Master Output Slave input
		C43	SPI3_CLK_M0		Clock
		C45	SPI3_CS1_M0		片选1
		C53	SPI3_CS0_M0		片选0
	M1	C71	SPI3_MOSI_M1	VCCIO6	Master Output Slave input
		C73	SPI3_MISO_M1		Master Input Slave Output
		C76	SPI3_CS1_M1		片选1
		C78	SPI3_CLK_M1		Clock
		C80	SPI3_CS0_M1		片选0
	M2	C23	SPI3_MISO_M 2	PMUIO2	Master Input Slave Output
	M3	C60	SPI3_MISO_M 3	VCCIO5	Master Input Slave Output
		C62	SPI3_CS0_M3		片选0
		C64	SPI3_CS1_M3		片选1
		C68	SPI3_CLK_M3		Clock
		C70	SPI3_MOSI_M 3		Master Output Slave input
SPI4	M0	D25	SPI4_CS0_M0	VCCIO1	片选0
		D27	SPI4_CS1_M0		片选1
		D29	SPI4_CLK_M0		Clock

		D31	SPI4_MISO_M0		Master Input Slave Output
		D33	SPI4_MOSI_M0		Master Output Slave input
	M1	C12	SPI4_MISO_M1	VCCIO5	Master Input Slave Output
		C14	SPI4_MOSI_M1		Master Output Slave input
		C16	SPI4_CLK_M1		Clock
		C18	SPI4_CS0_M1		片选0
		C20	SPI4_CS1_M1		片选1
	M2	D5	SPI4_CLK_M2	VCCIO4	Clock
		D7	SPI4_MISO_M2		Master Input Slave Output
		D11	SPI4_MOSI_M2		Master Output Slave input
		D15	SPI4_CS0_M2		片选0

说明：

- 当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可。
- SPI时钟线建立串接端接电阻(典型值22Ω)，靠近核心板一侧引脚放置。

2.18 PWM设计说明

IDO-SOM3588-V1具引出16路PWM资源，部分PWM具有M0/M1/M2/M3四个通道，同时只能选择其中1个通道使用。

PWM引脚资源列表：

PWM通道	引脚编号	信号定义	电源域	说明
PWM0	C17	PWM0_M0	PMUIO2	/
	D26	PWM0_M1	VCCIO1	
	D5	PWM0_M2	VCCIO4	
PWM1	C19	PWM1_M0	PMUIO2	/
	D28	PWM1_M1	VCCIO1	
	D15	PWM1_M2	VCCIO4	
PWM2	C15	PWM2_M0	PMUIO2	/
	C28	PWM2_M1	VCCIO5	
	C53	PWM2_M2	VCCIO3	
PWM3	C32	PWM3_IR_M1	VCCIO2	可用于IR接收信号
	D29	PWM3_IR_M2	VCCIO1	
	D3	PWM3_IR_M3	VCCIO4	
PWM4	C13	PWM4_M0	PMUIO2	/
	C45	PWM4_M1	VCCIO3	
PWM5	C29	PWM5_M2	VCCIO3	/
PWM6	C21	PWM6_M0	PMUIO2	/
	C76	PWM6_M1	VCCIO6	
	C31	PWM6_M2	VCCIO3	
PWM7	C32	PWM7_IR_M0	PMUIO2	可用于IR接收信号
	A74	PWM7_IR_M1	VCCIO_SD_S0 PLDO5	
	D25	PWM7_IR_M2	VCCIO1	
	C43	PWM7_IR_M3	VCCIO3	
PWM8	C22	PWM8_M0	VCCIO5	/

	A78	PWM8_M1	VCCIO_SD_S0 PLDO5	
	C68	PWM8_M2	VCCIO5	
PWM9	C24	PWM9_M0	VCCIO5	/
	A80	PWM9_M1	VCCIO_SD_S0 PLDO5	
	C66	PWM9_M2	VCCIO5	
PWM10	C12	PWM10_M0	VCCIO5	/
	A72	PWM10_M1	VCCIO_SD_S0 PLDO5	
	C56	PWM10_M2	VCCIO5	
PWM11	C14	PWM11_IR_M0	VCCIO5	可用于IR接收信号
	C75	PWM11_IR_M1	VCCIO6	
	D27	PWM11_IR_M2	VCCIO1	
	C74	PWM11_IR_M3	VCCIO5	
PWM12	C38	PWM12_M0	VCCIO5	/
	C73	PWM12_M1	VCCIO6	
PWM13	C40	PWM13_M0	VCCIO5	/
	C71	PWM13_M1	VCCIO6	
	D18	PWM13_M2	VCCIO4	
PWM14	C54	PWM14_M0	VCCIO5	/
	B4	PWM14_M1	VCCIO6	
	D14	PWM14_M2	VCCIO4	
PWM15	C50	PWM15_IR_M0	VCCIO5	可用于IR接收信号
	C77	PWM15_IR_M1	VCCIO6	
	D19	PWM15_IR_M2	VCCIO1	

	D16	PWM15_IR_M3	VCCIO4
--	-----	-------------	--------

2.19 GPIO设计说明

IDO-SOM3588-V1可用的GPIO引脚共计118个，与其它信号引脚复用。详细定义请参考”IDO-SOM3588-V1-Pinout.xlsx”。核心板引脚中除了ADC、差分信号、PMIC引脚、电源/地，其它1.8V/3.3V数字引脚基本都可以配置为GPIO使用。

使用时注意GPIO电源域是1.8V还是3.3V。另外参考”IDO-SOM3588-V1-Pinout.xlsx”中GPIO信号名称中后缀带_d表示上电默认下拉(低电平)，后缀带_u的表示上电默认上拉(高电平)，后缀_z的表示上电高阻态(未知)。

如下图，在”IDO-SOM3588-V1-Pinout.xlsx”中，SOM3588-V1的GPIO4_A7，上电默认下拉(低电平)。SOM3588-V1的GPIO4_B2，上电默认上拉(高电平) 3.3V。

3	GMAC1_RSTn_GPIO4_A7	SPI2_CS0_M1	3.3V
		I2C5_SDA_M2	
		I2S1_SDI2_M0	
		PCIE30X2_WAKEN_M1	
		BT1120_D7	
		CIF_D7	
		GPIO4_A7_d	
4	TYPEC0_SBU2_DC	CAN1_RX_M1	3.3V
		PWM14_M1	
		SPI0_CS0_M1	
		UART8_RTSN_M0	
		I2C7_SCL_M3	
		I2S1_SDO1_M0	
		PCIE30X1_1_BUTTON_RSTN	
		BT1120_D8	
		CIF_HREF	
		GPIO4_B2_u	

图17. GPIO引脚说明

RK3588 GPIO的DC特性参考下图：

Table 3-3 DC Characteristics

Parameters		Symbol	Min	Typ	Max	Unit
Digital 3.3V/1.8V GPIO @3.3V	Input Low Voltage	V_{IL}	VSS	NA	$0.3 \cdot V_{DDO}$	V
	Input High Voltage	V_{IH}	$0.7 \cdot V_{DDO}$	NA	V_{DDO}	V
	Output Low Voltage	V_{OL}	VSS	NA	$0.25 \cdot V_{D V D D}$	V
	Output High Voltage	V_{OH}	$0.75 \cdot V_{D V D D}$	NA	$V_{D V D D}$	V
	Pullup Resistor	$R_{R P U}$	10	NA	100	Kohm
	Pulldown Resistor	$R_{R P D}$	10	NA	100	Kohm
Digital 3.3V/1.8V GPIO @1.8V	Input Low Voltage	V_{IL}	VSS	NA	$0.3 \cdot V_{DDO}$	V
	Input High Voltage	V_{IH}	$0.7 \cdot V_{DDO}$	NA	V_{DDO}	V
	Output Low Voltage	V_{OL}	VSS	NA	$0.25 \cdot V_{D V D D}$	V
	Output High Voltage	V_{OH}	$0.75 \cdot V_{D V D D}$	NA	$V_{D V D D}$	V
	Pullup Resistor	$R_{R P U}$	10	NA	50	Kohm
	Pulldown Resistor	$R_{R P D}$	10	NA	50	Kohm
Digital 1.8V only GPIO @1.8V	Input Low Voltage	V_{IL}	VSS	NA	$0.3 \cdot V_{DDO}$	V
	Input High Voltage	V_{IH}	$0.7 \cdot V_{DDO}$	NA	V_{DDO}	V
	Output Low Voltage	V_{OL}	VSS	NA	$0.25 \cdot V_{D V D D}$	V
	Output High Voltage	V_{OH}	$0.75 \cdot V_{D V D D}$	NA	$V_{D V D D}$	V
	Pullup Resistor	$R_{R P U}$	10	NA	50	Kohm
	Pulldown Resistor	$R_{R P D}$	10	NA	50	Kohm
eMMC IO @1.8V	Input Low Voltage	V_{IL}	VSS	NA	$0.35 \cdot V_{D V D D}$	V
	Input High Voltage	V_{IH}	$0.65 \cdot V_{D V D D}$	NA	$V_{D V D D}$	V
	Output Low Voltage	V_{OL}	VSS	NA	0.45	V
	Output High Voltage	V_{OH}	$V_{D V D D} - 0.45$	NA	$V_{D V D D}$	V
	Pullup Resistor	$R_{R P U}$	10	NA	50	Kohm
	Pulldown Resistor	$R_{R P D}$	10	NA	50	Kohm
DDR IO	Input Low Voltage	V_{IL}	NA	NA	$V_{ref} - 0.14$	V
	Input High Voltage	V_{IH}	$V_{ref} + 0.14$	NA	NA	V
	Output Low Voltage	V_{OL}	NA	NA	0.2	V
	Output High Voltage	V_{OH}	0.25	NA	NA	V
	Input Low Current	I_{IL}	-100/-500	NA	100/500	Room/Hot uA
	Input High Current	I_{IH}	-100/-500	NA	100/500	Room/Hot uA

3 SOM3588硬件原理图CheckList

编号	检查事项	检查状态
1	核心板供电电压范围【3.6–5V】，加5.5V 浪涌保护。采用独立DCDC，2A以上电流能力。	☐ O K

2	整板上电顺序：核心板供电(常供电) ->VCC_1V8_OUT ->底板供电（3.3V, 1.8V, 5V)	☐ OK
3	是否需要插电开机，PMIC_VDC是否按照要求设计分压电阻？	☐ OK
4	是否需求关机和待机状态。 关机状态和待机状态下，核心板是否保持供电？ 待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？ Power键是否留出？	☐ OK
5	有待机需求时，有哪些待机时需要保持状态的IO引脚，这些引脚是否分配在GPIO0组（PMUIO0/1）？	☐ OK
6	USB0 OTG 接口有接出，方便下载烧录。USB_OTG_PWREN_H是否选用上电默认拉低的GPIO引脚？	☐ OK
7	调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？	☐ OK
8	启动模式（SARADC0_BOOT）及功能按键（SARADC0_IN1_KEY/RECOVERY）是否符合参考设计均有预留按键或测试点？	☐ OK
9	USB3.0 OTG 与 PCIE2.1 只有两种选配模式，USB3.0 OTG 或者USB2.0 OTG+PCIE2.1，是否符合参考设计？ USB接口使用的ESD物料是否满足Cj<0.4pF要求？	☐ OK
10	SD/TF卡是否符合参考设计？	☐ OK
11	以太网设计： IO电平，RMII一般只能是3.3V, RGMII 可以1.8V或者3.3V。确认PHY芯片 IO电平与 对应的核心板电源域电平（VCCIO4/VCCIO6）是否匹配。 千兆PHY芯片的IO电压的配置电阻，RESET引脚GPIO电平，LED灯的极性配置，时钟，符合参考设计？ 千兆/百兆PHY芯片是否是已经调试过的型号？	☐ OK
12	音频接口符合参考设计？	☐ OK

13	MIPI DSI /LVDS 显示接口，确认屏幕线序定义，供电时序 符合要求？ 确认屏幕分辨率和刷新率在支持范围？ MIPI RESET是否有GPIO控制？ 背光和供电在待机/关机状态下是否有漏电问题？	☐ O K
14	MIPI CSI 摄像头接口，是否有2Lane拆分，信号线分配是否符合参考设计？ 摄像头模组定义，确认线序定义，供电时序，供电电压电流符合要求？ 摄像头Sensor是否在支持列表？ 待机/关机状态下是否有漏电	☐ O K
15	每组IIC总线是否有上拉电阻，电平是否匹配？ IIC 上连接的外设地址是否冲突，最高速率是否有冲突？ 同一组IIC总线下的外设，是否存在待机/关机时供电状态不一致的问题？	☐ O K
16	每个串口（UART，RS232，RS485，RS422）和 CAN 接口： 串口要求的最高波特率和接口芯片用料是否相符？ 电平是否匹配？ 接口芯片上电顺序是否晚于VCC_1V8_OUT核心板供电输出？	☐ O K
17	所有IO引脚，不得有在核心板VCC_1V8_OUT上电前向IO灌电的行为	☐ O K
18	使用SDIO的WIFI模块，供电和IO电平，32K时钟，晶振 等是否符合参考设计	☐ O K
19		
20		
21		