

# IDO-SOM7608-V1 硬件设计指南

---

## 1、产品概述

### 1.1 产品特点

### 1.2 产品图片

### 1.3 适用场景

### 1.4 硬件基本参数

## 2、IDO-SOM7608-V1硬件设计说明

### 2.1 电源系统设计说明

### 2.2 调试下载相关电路

### 2.3 SDMMC接口设计

### 2.4 USB2.0/3.0设计

### 2.5 以太网设计

### 2.6 音频接口设计

### 2.7 HDMI设计

### 2.8 I3C接口

### 2.9 MIPI\_DPHY设计

### 2.10 PCIe设计

### 2.11 MIPI-CSI接口设计

### 2.12 SATA总线

### 2.13 UART设计

### 2.14 CAN总线

### 2.15 I2C总线

### 2.16 ADC设计说明

### 2.17 SPI设计说明

### 2.18 PWM设计说明

### 2.19 GPIO设计说明

## 3、SOM7608硬件原理图CheckList

# IDO-SOM7608-V1

## 核心板设计指南

深圳触觉智能科技有限公司

[www.industio.cn](http://www.industio.cn)

## 文档修订历史

版本	PCBA版本	修订内容	修订	审核	日期
V1.0	V1A	创建文档	WJY	IDO	2024/09/27

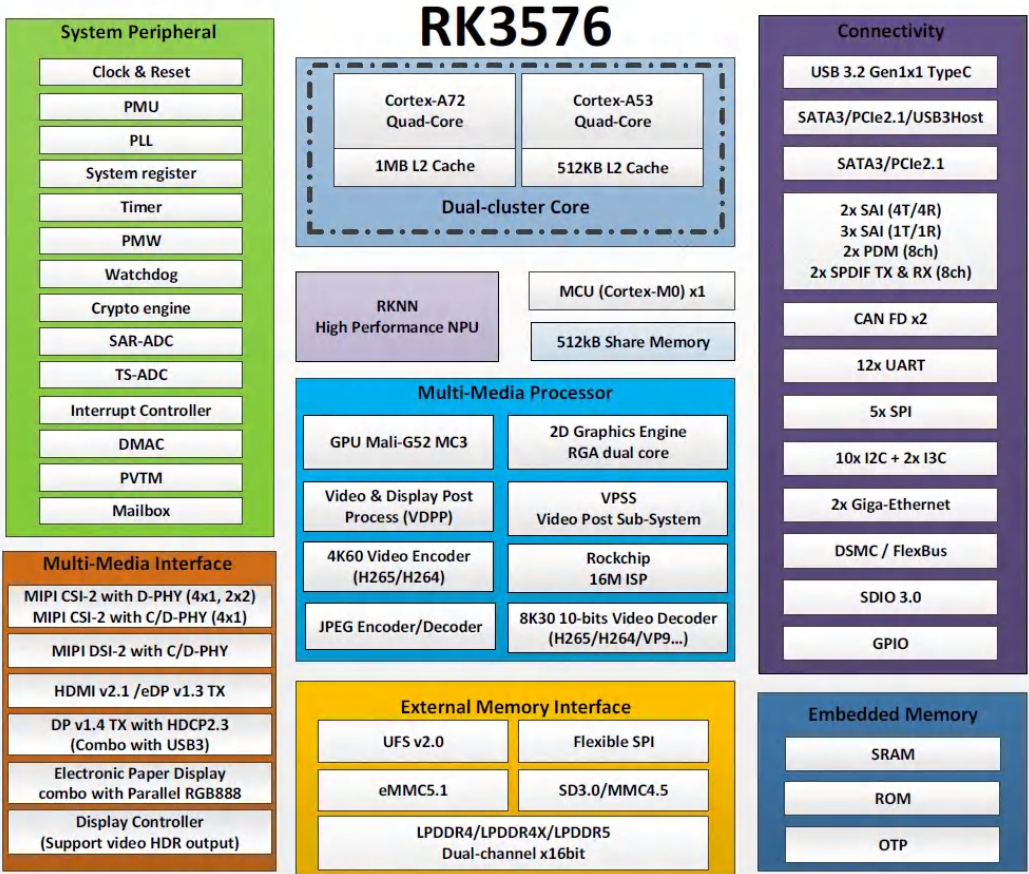
---

## 1、产品概述

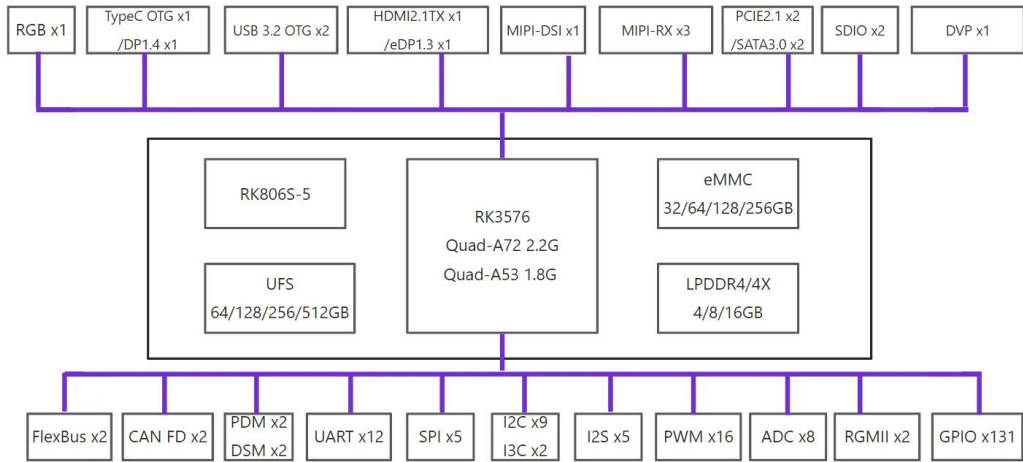
IDO-SOM7608-V1是一款基于瑞芯微第二代8nm高性能AIOT平台RK3576设计的核心板，在40x60mm的小体积上集成了RK3576 SoC, PMIC, LPDDR4(X), eMMC和UFS，通过高速B2B连接器引出RK3576的全部引脚资源。

RK3576 是一颗高性能低功耗处理器芯片，集成了 4 个 Cortex-A72 和 4 个 Cortex-A53 及独立的NEON 协处理器；适用于 ARM PC、边缘计算、个人移动互联网设备及其它多媒体产品。RK3576 内

置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持 4K@120fps 的 H.265、VP9、AVS2 和 AV1 解码器，支持 4k@60fps 的 H.264 解码器；还支持 4K@60fps 的 H.264 和 H.265 编码器，高质量的 JPEG 编码器/解码器，专门的图像预处理器和后处理器。内置 3D GPU，能够完全兼容 OpenGL ES1.1/2.0/3.2、OpenCL 2.0 和 Vulkan 1.1。带有 MMU 的特殊 2D 硬件引擎将最大限度地提高显示性能，并提供流畅的操作体验。引入了新一代完全基于硬件的最大 16M 像素 ISP（图像信号处理器），实现了多种算法加速器，如 HDR、3A、CAC、3DNR、2DNR、锐化、去雾、增强、鱼眼校正、伽马校正等。内嵌的 NPU 支持 INT4/INT8/INT16/FP16/BF16/TF32 混合运算。此外，凭借其强大的兼容性，可以轻松转换基于 TensorFlow/MXNet/PyTorch/Caffe 等一系列框架的网络模型。



IDO-SOM7608-V1核心板进行了严格的电源完整性和信号完整性仿真设计，通过各项电磁兼容、温度冲击、高温高湿老化、长时间存储压力等测试，稳定可靠，批量供货。用户仅需设计外围电路即可快速实现项目的稳定量产，IDO-SOM7608-V1模块逻辑框图，如下图所示：



## 1.1 产品特点

1. 处理器采用Quad A72 + Quad A53 CPU 8nm先进制程工艺，主频高达2.2GHz；
2. 内置6T RKNN AI 算力；
3. 5种屏幕显示接口：HDMI、eDP、MIPI DSI、DP、RGB；
4. 丰富的总线接口：2xGMAC、2xCAN FD、PCIe/USB3.0、2xUSB2.0、12xUART、16xPWM、5xSPI、9xI2C等；
5. 核心板支持100%全国产。

## 1.2 产品图片

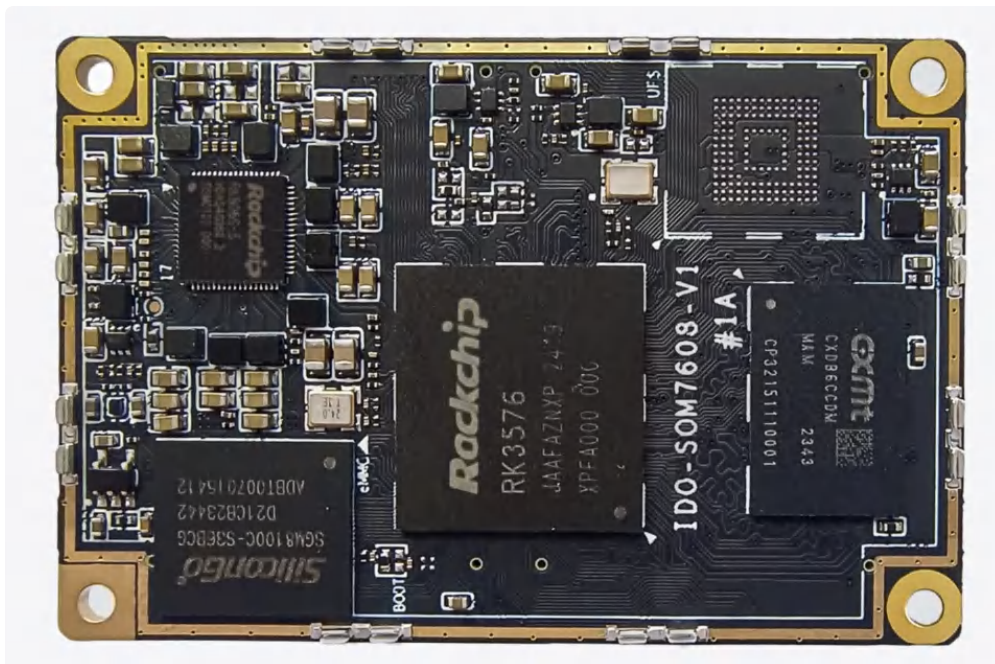


图2. IDO-SOM7608-V1核心板正面

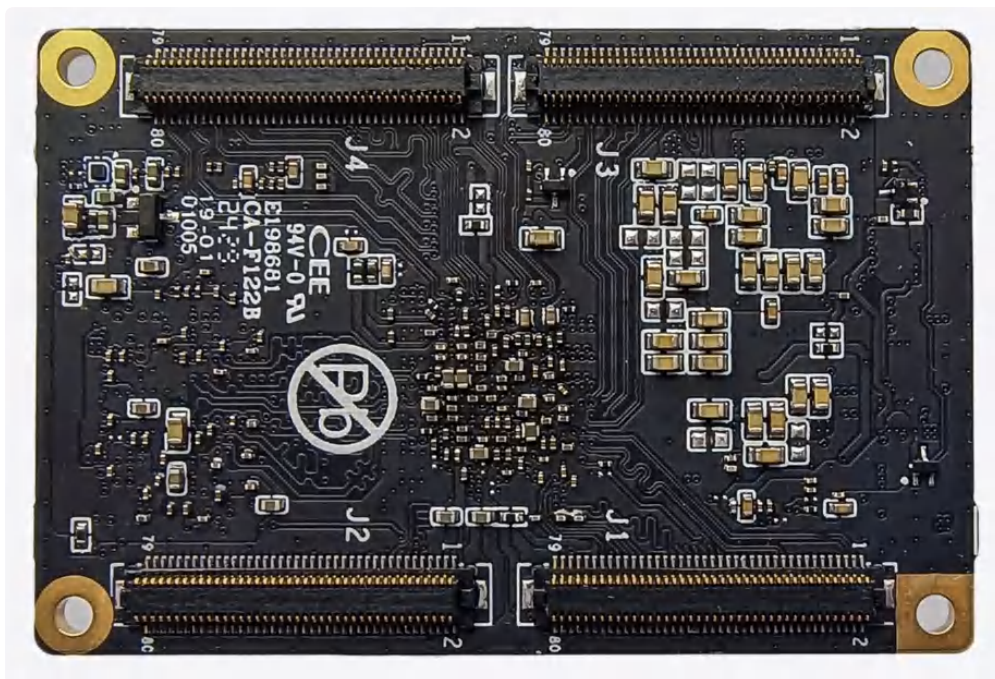


图3. IDO-SOM7608-V1核心板背面

### 1.3 适用场景

IDO-SOM7608-1采用瑞芯微第二代8nm高性能AIOT平台RK3576/RK3576J，可广泛应用在边缘计算、大模型本地化、智慧商显、云终端产品、工控主机、汽车电子等行业领域。

### 1.4 硬件基本参数

基本参数	
SOC	RockChip RK3576
CPU	Quad-core Cortex-A72 and quad-core Cortex-A53，主频高达2.2GHz
GPU	<ol style="list-style-type: none"> <li>1. ARM Mali G52 MC3 GPU</li> <li>2. OpenGL ES 1.1,2.0, and 3.2</li> <li>3. Vulkan 1.1</li> <li>4. OpenCL 2.0 Full Profile</li> <li>5. 2D Graphics Engine (RGA)</li> </ol>
NPU	6TOPS INT8，支持INT4/INT8/INT16/FP16/TF32混合运算



ISP	<ol style="list-style-type: none"> <li>1. ISP V3.9</li> <li>2. 16M Pixel ISP with HDR (up to 120dB)</li> </ol>
VPU	<p>视频解码:</p> <ol style="list-style-type: none"> <li>1. H.265/HEVC/AVS2/VP9/AV1, 8K@30fps or 4K@120fps</li> <li>2. H.264/AVC/MJPEG, 4K@60fps</li> </ol> <p>视频编码:</p> <ol style="list-style-type: none"> <li>1. H.265/H.264, 4K@60fps</li> <li>2. MJPEG, 4K@60fps</li> </ol>
内存	4GB/8GB/16GB LPDDR4/4x 4266Mbps
存储	<ol style="list-style-type: none"> <li>1. 32GB/64GB/128GB/256GB eMMC (V5.1)</li> <li>2. 64GB/128GB/256GB/512GB UFS (V2.0)</li> </ol>
<b>硬件参数</b>	
网络	2 × RGMII 支持2路千兆以太网
视频输入	<p>2 × MIPI DPHY CSI (支持MIPI V1.2 版本; 1 × 4 Lanes 或2 × 2 Lanes) 、</p> <p>1 × MIPI DCPHY CSI RX (DPHY 支持V2.0 版本支持4Lane/2Lane/1Lane模式; CPHY 支持V1.1 版本支持0/1/2 Trio模式)</p> <p>1 × DVP (8/10/12/16-bit, BT.601/BT.656 and BT.1120)</p>
视频输出	<p>1 × HDMI2.1(4096×2160@120Hz)/eDP1.3(4096×2160@60Hz支持1Lane/2Lane/4Lane 模式)</p> <p>1 × DP1.4 (4096×2160@120Hz)</p> <p>1 × EBC 输出接口 (支持 E-ink EPD (Electronic Paper Display), 2560×1920)</p> <p>1 × MIPI_DCPHY_TX(支持V2.0 版本支持0/1/2/3 Lane模式; C-PHY 支持V1.1 版本支持0/1/2 Trio模式; 2560×1600@60Hz)</p> <p>1 × LCDC TX(支持并行24bit RGB 模式1920×1080@60Hz、16bit BT1120 模式1920×1080@60Hz、8bit BT656 模式720×576@60Hz 以及MCU模式)</p>

音频	<p>2 × SAI (4T/4R)、3 × SAI (1T/1R), 支持I2S/TDM/PCM 模式, 支持高达192KHz 的采样率</p> <p>2 × SPDIF TX &amp; RX (8ch;最大支持24bits 解析度)</p> <p>2 × PDM (最高8 channels, 音频分辨率16~24 位, 采样率达192KHz, 支持PDM 主接收模式)</p> <p>2 × DSM (支持双倍数据速率接口; 支持8 线和16 线串行传输模式; DSMC_CLKP/N 最高速率为100MHz)</p>
USB	<p>1 × USB3.2 Gen1 OTG0 (与DP1.4复用)</p> <p>1 × USB3.2 Gen1 OTG1 (与PCIe 2.1/SATA 3.1复用)</p>
PCIe/SATA	<p>1 × PCIe2.1/SATA3.1 (1 lane)</p> <p>1 × PCIe2.1/SATA3.1/USB3.2 Gen1 (1 lane)</p>
扩展接口	<p>2 × FlexBus数据总线</p> <p>12 × UART</p> <p>5 × SPI, 支持主从模式</p> <p>2 × CAN FD</p> <p>9 × I2C</p> <p>2 × I3C</p> <p>2 × SDIO v3.0</p> <p>16 × PWM , 支持红外输入, 时钟计数</p> <p>8 × ADC , 1MS/s , 12bits</p> <p>131 × GPIO</p>
其他	
核心板尺寸	40mm X 60mm X 5mm
接口类型	<p>320Pin 间距0.5 B to B连接器</p> <ol style="list-style-type: none"> <li>核心板连接器采用HRS的连接器 DF12NA(3.0)-80DS-0.5V(51)   <a href="#">DF12NA(3.0)-80DS-0.5V(51).pdf</a></li> <li>底板对应采用HRS的连接器 DF12NA(3.0)-80DP-0.5V(51)   <a href="#">DF12NA(3.0)-80DP-0.5V(51).pdf</a></li> </ol>



PCB规格	1.6mm多层高密板，沉金工艺
-------	-----------------

## 2、IDO-SOM7608-V1硬件设计说明

### 2.1 电源系统设计说明

IDO-SOM7608-V1核心板主电源输入VCC5V0\_SYS\_S5（核心板引脚C2、C4、C6、C1、C3、C5、C7）。

核心板提供1个电源输出引脚为VCC\_1V8\_S3、VCC\_3V3\_S3、VCC\_1V8\_S0、VCC\_3V3\_S0。可用于电源域的引脚参考电平，底板使用时应限流300mA。

与电源系统设计相关的其它引脚，包括VDC、PMIC\_EXT\_EN\_OUT、PWRON\_L、RESET\_L。分别用于系统复位，开关机控制输出，系统开关机。

电源相关引脚	引脚编号	方向	引脚说明
VCC5V0_SYS_S5	C2、C4、C6、C1、 C3、C5、C7	电源输入	系统的主要输入供电，保障4V@2A持续和4A瞬间电流供电能力。供电范围3.6V~5V
VCC_1V8_S3	A75	电源输出	1.8V对外供电，用于1.8V电源域参考电平，待机不掉电。
VCC_3V3_S3	A77	电源输出	3.3V对外供电，用于3.3V电源域参考电平，待机不掉电。
VCC_1V8_S0	A71	电源输出	1.8V对外供电，用于1.8V电源域参考电平，待机掉电。
VCC_3V3_S0	A73	电源输出	3.3V对外供电，用于3.3V电源域参考电平，待机掉电。

VDC	C15	电源检测输入	检测DC电源，用于插电开机控制。VDC电压第一次>0.55V，自动触发开机。无需插电自动开机时，可下拉到地。
EXT_EN	C17	关机控制 输出	开机时输出高电平，关机时输出低电平
PWRON	C19	开关机信号输入	开关机信号输入检测引脚，低电平有效
RESETB	C21	系统复位信号输入	系统复位信号输入检测引脚，低电平有效

## 2.2 调试下载相关电路

所有基于SOM7608的底板设计，都强烈建议保留下面三种调试下载相关电路！

### 1. USB0 OTG接口，主要用于固件下载及ADB调试

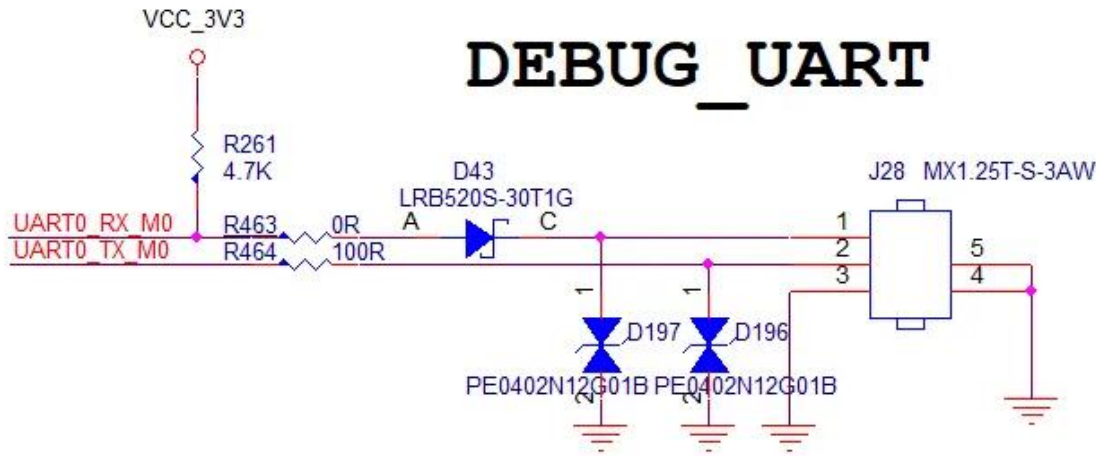
具体电路参考[2.4节 USB3.0/2.0](#)

### 2. 调试串口，用于系统日志消息和控制终端命令行操作，系统默认使用的调试串口是UART0（M0组）。

UART资源	引脚编号	UART信号定义	电源域
UART0 (M0组)	C47	UART0_RX_M0	PMUIO1(调试串口)
	C45	UART0_TX_M0	

#### 设计注意事项：

调试串口在使用时经常连接USB转UART TTL 模块，经常在SOM7608未上电时，UART0\_RX\_M0已经由USB转UART TTL 模块灌电。强烈建议采用RS232芯片转换或者采用下面转换电路避免引脚灌电：



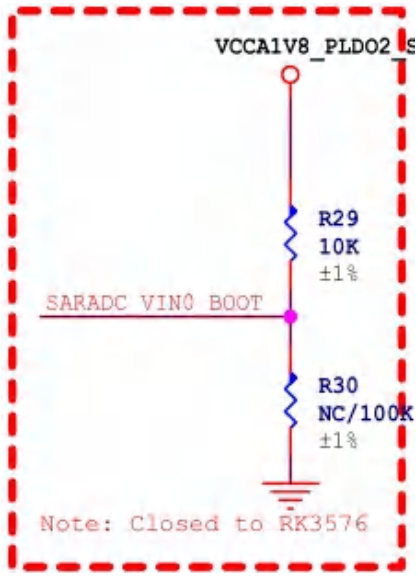
### 3. 启动模式及功能按键

引脚号	引脚定义	电源域	描述
179	SARADC_IN0_BOOT	1.8V	BOOT模式选择，用于启动模式选择，引脚悬空时，内部模分压从eMMC优先启动；一般做成BOOT按键，按下按键短接到GND，再上电可强制进入Maskrom烧录模式
56	SARADC_IN1	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V。

SARADC\_IN0\_BOOT在核心板上按照下图config11已经做了分压电阻，启动顺序为eMMC--USB。  
SOM7608核心板上的分压配置如下图：

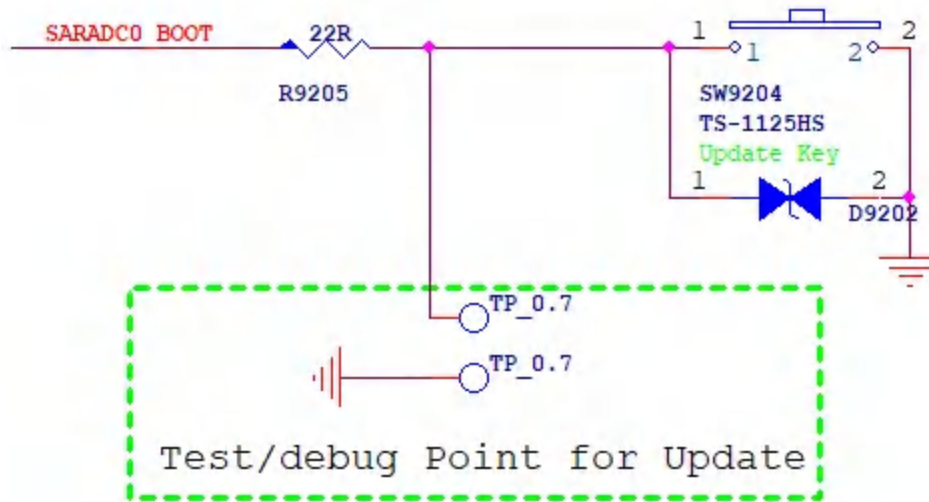
# BOOT MODE CONFIG

<b>Config Table for SARADC_VIN0_BOOT</b>				
<b>Item</b>	<b>Rup</b>	<b>Rdown</b>	<b>ADC Value</b>	<b>Boot Mode</b>
Config1	NC	10K	0	USB (Maskrom mode)
Config2	10K	1.13K	416	FSPI0->USB
Config3	10K	2.49K	816	FSPI1_M0->EMMC->USB
Config4	10K	4.3K	1231	FSPI1_M1->EMMC->USB
Config5	10K	6.8K	1658	FSPI0->UFS->USB
Config6	10K	10K	2048	FSPI1_M0->UFS->USB
Config7	10K	14.7K	2437	UFS->USB
Config8	10K	23.2K	2862	UFS->SDMMC0->USB
Config9	10K	40.2K	3279	RFU
Config10	10K	88.7K	3680	EMMC->SDMMC0->USB
<b>Config11</b>	10K	NC	4095	EMMC->USB



底板上的BOOT按键参考电路，如下图：

# Maskrom/Update Key

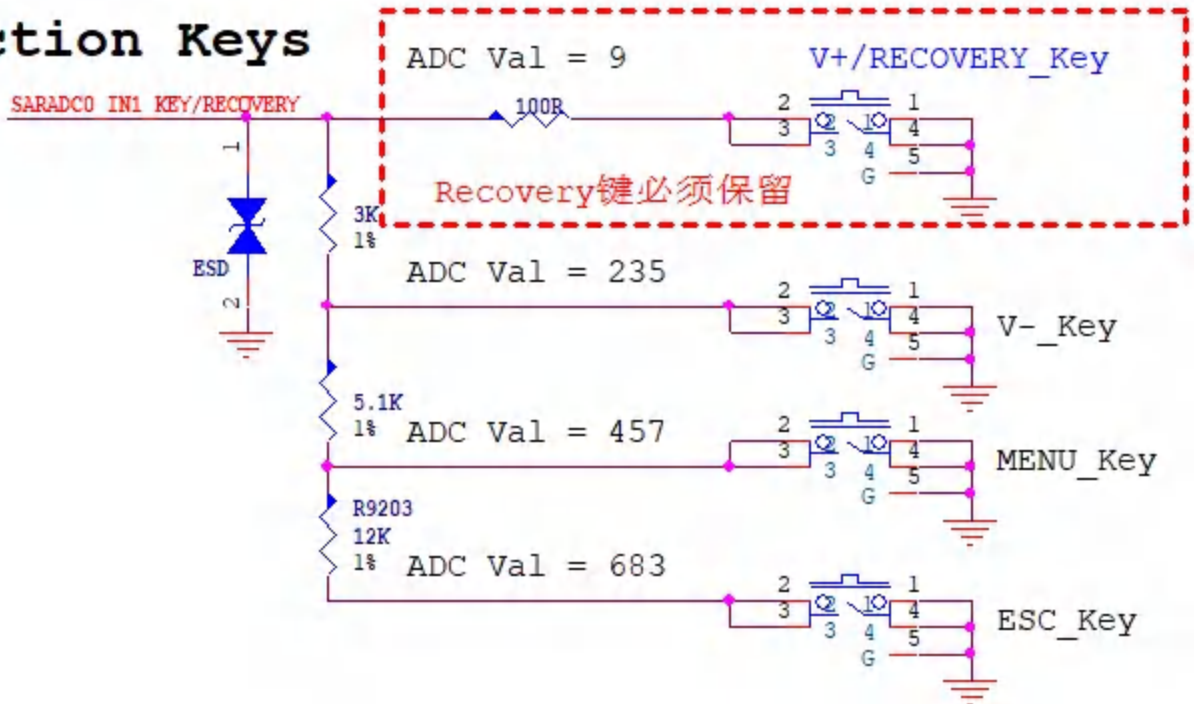


当系统变砖时，启动时BOOT模式按键处于按下状态，即将SARADC\_IN0\_BOOT保持为低电平（0V），则 RK3576 进入 Maskroom 模式，当 PC 识别到 USB 设备时，即可进行固件烧写。

**注意：**为了方便开发，建议预留BOOT按键或预留测试点。

SARADC0\_IN1\_KEY/RECOVERY 系统默认用作功能按键，核心板上已经做了10K电阻上拉，功能按键参考下图设计：

# Function Keys



**注意：**为了方便开发，强烈建议必须保留V+/Recovery按键。

## 2.3 SDMMC接口设计

SOM7608-V1核心板扩展出2路MMC/SDIO资源, 兼容SDIO3.0和MMC ver4.51, 4bit数据位宽, 可用于扩展SD卡和WIFI模块, 最高可支持 200MHz。SDMMC主要用于连接SD存储卡, 也可用于WiFi模块SDIO接口。

SDMMC0引脚资源如下表所示:

引脚编号	引脚名称	电源域	备注
A49	SDMMC0_CLK	VCCIO1	SD卡时钟信号
A47	SDMMC0_CMD	VCCIO1	SD卡CMD信号
A45	SDMMC0_D3	VCCIO1	SD卡Data3
A43	SDMMC0_D2	VCCIO1	SD卡Data2
A41	SDMMC0_D1	VCCIO1	SD卡Data1
A39	SDMMC0_D0	VCCIO1	SD卡Data0
C18	SDMMC0_DET_N	PMUIO0	SD卡座检测引脚
C30	SDMMC0_PWREN	PMUIO1	SD卡供电控制

SDMMC1引脚资源如下表所示:

引脚编号	引脚名称	电源域	备注
A16	SDMMC1_CLK	VCCIO3	SD卡时钟信号
A12	SDMMC1_CMD	VCCIO3	SD卡CMD信号
A10	SDMMC1_D3	VCCIO3	SD卡Data3
A8	SDMMC1_D2	VCCIO3	SD卡Data2
A6	SDMMC1_D1	VCCIO3	SD卡Data1
A4	SDMMC1_D0	VCCIO3	SD卡Data0
A22	SDMMC1_DET_N	VCCIO3	SD卡座检测引脚
A20	SDMMC1_PWREN	VCCIO3	SD卡供电控制

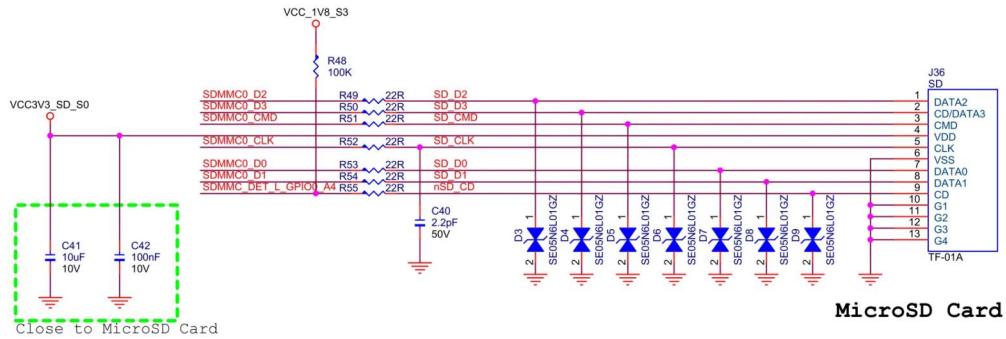


图5. MMC外接TF卡参考设计

**注意:**

- 1.走线阻抗控制50Ω，参考面完整，整组走线等长控制+-200mil。
- 2.建议串匹配电阻（典型值22Ω），时钟信号匹配电阻靠近SOM7608引脚侧放置，时钟信号预留2.2pF电容。

## 2.4 USB2.0/3.0设计

IDO-SOM7608-V1核心板具有1路USB3.0 HOST、2路USB2.0 HOST和2路USB3.0 OTG，其中TYPE-C0为系统固件烧录口，初期设计必须引出作为升级和调试。设计底板如要扩展多USB接口，可以使用USB HUB芯片去实现扩展。

USB3\_OTG0（固件下载口，采用TYPE-C接口）引脚资源如下表所示：

引脚编号	引脚名称	连接方式	备注
D70	USB3_OTG0_SSRX1P	串接0Ω 电阻	可复用为DP_TX_D0P信号
D72	USB3_OTG0_SSRX1N		可复用为DP_TX_D0N信号
D66	USB3_OTG0_SSTX1P	串接100nF 电容	可复用为DP_TX_D1P信号
D64	USB3_OTG0_SSTX1N		可复用为DP_TX_D1N信号
D58	USB3_OTG0_SSRX2P	串接0Ω 电阻	可复用为DP_TX_D2P信号



D60	USB3_OTG0_SSRX2N		可复用为DP_TX_D2N信号
D54	USB3_OTG0_SSTX2P	串接100nF 电容	可复用为DP_TX_D3P信号
D52	USB3_OTG0_SSTX2N		可复用为DP_TX_D3N信号
D76	DP_TX_AUXP	串接100nF 电容	/
D78	DP_TX_AUXN		/
C74	USB2_OTG0_DM	串接2. 2Ω 电阻	OTG0可用于下载烧录功能
C76	USB2_OTG0_DP		
D12	USB2_OTG0_VBUSDET	电阻分压检测 $\leq 3.3V$	OTG0 VBUS检测，高有效
C78	USB2_OTG0_ID	/	USB OTG ID 识别 Micro USB 接口时需要使用

USB3\_OTG1引脚资源如下表所示：

引脚编号	引脚名称	连接方式	备注
C38	USB3_OTG1_SSTXP	串接100nF 电容	/
C40	USB3_OTG1_SSTXN		/
C44	USB3_OTG1_SSRXP	串接0Ω 电阻	/
C46	USB3_OTG1_SSRXN		/
D4	USB2_OTG1_DM	串接2. 2Ω 电阻	USB2.0 OTG功能
D6	USB2_OTG1_DP		
D8	USB2_OTG1_VBUSDET	电阻分压检测 $\leq 3.3V$	OTG0 VBUS检测，高有效
D10	USB2_OTG1_ID	/	USB OTG ID 识别 Micro USB 接口时需要使用

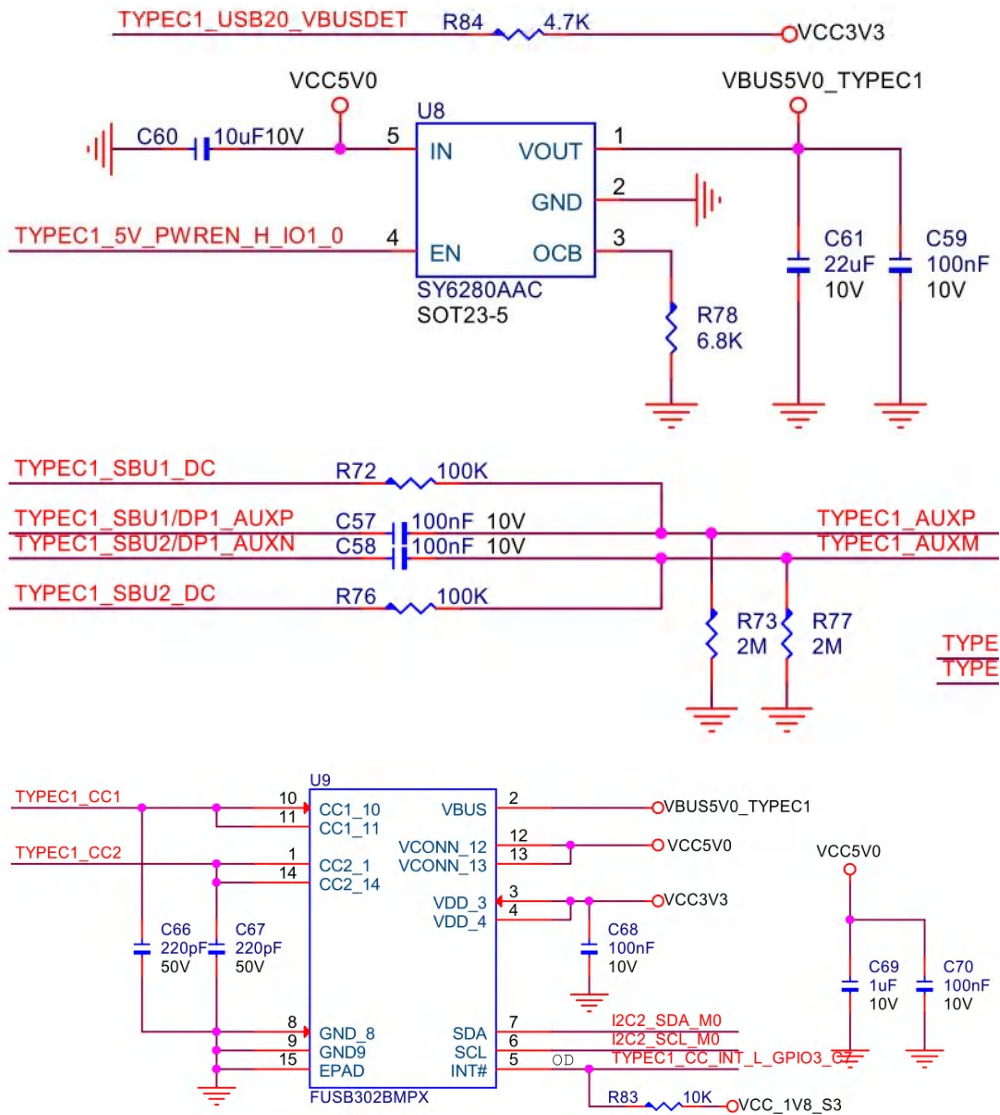


图6. TypeC接口设计

## 2.5 以太网设计

RK3576内部有两个GMAC控制器，分别为GMAC0和GMAC1。GMAC0 复用在两个不同的电源域，GMAC0\_M0 复用在 VCCIO5 电源域，GMAC0\_M1 复用在VCCIO4 电源域。二处复用不能同时使用，每次只能用其中一组。

GMAC0 RGMII引脚资源列表如下表所示：

引脚编号	引脚组别	GMAC RGMII 信号定义	电源域
B23	M0	RGMII0_TXD0_M0	VCCIO5

B21		RGMIIO_TXD1_M0	VCCIO5
B19		RGMIIO_TXD2_M0	VCCIO5
B17		RGMIIO_TXD3_M0	VCCIO5
B25		RGMIIO_TXCTL_M0	VCCIO5
B27		RGMIIO_TXCLK_M0	VCCIO5
B23		RGMIIO_RXD0_M0	VCCIO5
B21		RGMIIO_RXD1_M0	VCCIO5
B19		RGMIIO_RXD2_M0	VCCIO5
B17		RGMIIO_RXD3_M0	VCCIO5
B39		RGMIIO_RXCLT_M0	VCCIO5
B41		RGMIIO_RXCLK_M0	VCCIO5
B45		RGMIIO_MCLKINOUT_M0	VCCIO5
B13		RGMIIO_MDC_M0	VCCIO5
B11		RGMIIO_MDIO_M0	VCCIO5
B14	M1	RGMIIO_TXD0_M1	VCCIO4
B12		RGMIIO_TXD1_M1	VCCIO4
B20		RGMIIO_TXD2_M1	VCCIO4
B16		RGMIIO_TXD3_M1	VCCIO4
B10		RGMIIO_TXCTL_M1	VCCIO4
B18		RGMIIO_TXCLK_M1	VCCIO4
B8		RGMIIO_RXD0_M1	VCCIO4
B78		RGMIIO_RXD1_M1	VCCIO4
B26		RGMIIO_RXD2_M1	VCCIO4
B24		RGMIIO_RXD3_M1	VCCIO4
B76		RGMIIO_RXCLT_M1	VCCIO4

B22		RGMII0_RXCLK_M1	VCCIO4
B68		RGMII0_MCLKINOUT_M1	VCCIO4
B74		RGMII0_MDC_M1	VCCIO4
B72		RGMII0_MDIO_M1	VCCIO4

GMAC1 复用在两个不同的电源域，GMAC1\_M0 复用在 VCCIO4 电源域，GMAC1\_M1 复用在 VCCIO3 电源域。二处复用不能同时使用，每次只能用其中一组。

GMAC1 RGMII引脚资源列表如下表所示：

引脚编号	引脚组别	GMAC RGMII 信号定义	电源域	
B48	M0	RGMII1_TXD0_M0	VCCIO4	
B50		RGMII1_TXD1_M0	VCCIO4	
B52		RGMII1_TXD2_M0	VCCIO4	
B54		RGMII1_TXD3_M0	VCCIO4	
B46		RGMII1_TXCTL_M0	VCCIO4	
B44		RGMII1_TXCLK_M0	VCCIO4	
B34		RGMII1_RXD0_M0	VCCIO4	
B36		RGMII1_RXD1_M0	VCCIO4	
B38		RGMII1_RXD2_M0	VCCIO4	
B40		RGMII1_RXD3_M0	VCCIO4	
B32		RGMII1_RXCLT_M0	VCCIO4	
B30		RGMII1_RXCLK_M0	VCCIO4	
B64		RGMII1_MCLKINOUT_M0	VCCIO4	
B58		RGMII1_MDC_M0	VCCIO4	
B60		RGMII1_MDIO_M0	VCCIO4	
A24		M1	RGMII1_TXD0_M1	VCCIO3

A26	RGMII1_TXD1_M1	VCCIO3
A10	RGMII1_TXD2_M1	VCCIO3
A12	RGMII1_TXD3_M1	VCCIO3
A30	RGMII1_TXCTL_M1	VCCIO3
A16	RGMII1_TXCLK_M1	VCCIO3
A32	RGMII1_RXD0_M1	VCCIO3
A34	RGMII1_RXD1_M1	VCCIO3
A4	RGMII1_RXD2_M1	VCCIO3
A6	RGMII1_RXD3_M1	VCCIO3
A36	RGMII1_RXCLT_M1	VCCIO3
A8	RGMII1_RXCLK_M1	VCCIO3
A42	RGMII1_MCLKINOUT_M1	VCCIO3
A38	RGMII1_MDC_M1	VCCIO3
A40	RGMII1_MDIO_M1	VCCIO3

千兆以太网接口可以参考我司提供的开发板参考原理图。

**注意：**引脚的电源域为1.8V，部分PHY芯片IO电压可能不支持1.8V，必要时加高速电平转换芯片或更换PHY芯片。

## 2.6 音频接口设计

RK3576支持的音频接口清单：

音频接口资源	资源详情	说明
SAI	5路	支持高至 128 通道
SPDIF	2路	8通道
PDM	2路	8通道

音频接口可以参考我司提供的开发板参考原理图ES8388部分。

SAI 接口的全称为串行音频接口（Serial Audio Interface），是一种用于数字音频数据通信的串行接口，

支持广泛的音频协议，支持 PCM、I2S 和 TDM 等标准格式，可满足单声道、立体声以及多声道音频传输。

作为应用最广泛的数字音频接口，SAI 可用于音频 ADC、音频 DAC、音频 Codec、DSP 等外设的通讯，也

可为视频输入/输出接口提供集成的音频输入与输出支持。

- 1.支持 8 至 32bits 的位宽，包括常见的如 32bits、24bits、16bits；
- 2.支持高至 128 通道（slots）；
- 3.支持单声道（Mono）模式；
- 4.主模式（Master）下的 TX/RX、从模式（Slave）下的 RX，SCLK 设计速率上限为 50M；
- 5.从模式（Slave）下的 TX，SCLK 设计速率上限为 25M；

SAI0 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
B8	M0	SAI0_SDO0_M0	VCCIO4	SAI 串行输出数据线
B10		SAI0_SDO1_M0	VCCIO4	SAI 串行输出数据线
B18		SAI0_SDO2_M0	VCCIO4	SAI 串行输出数据线
B64		SAI0_SDO3_M0	VCCIO4	SAI 串行输出数据线
B12		SAI0_SDI0_M0	VCCIO4	SAI 串行输入数据线
B14		SAI0_SDI1_M0	VCCIO4	SAI 串行输入数据线
B16		SAI0_SDI2_M0	VCCIO4	I2S输入数据1
B20		SAI0_SDI3_M0	VCCIO4	I2S主时钟MCLK
B22		SAI0_MCLK_M0	VCCIO4	SAI 系统时钟输出
B24		SAI0_SCLK_M0	VCCIO4	SAI 连续串行时钟，位时钟
B26		SAI0_LRCK_M0	VCCIO4	SAI 帧时钟，用于声道选择

C31	M1	SAI0_SDO0_M1	PMUIO1	SAI 串行输出数据线
C43		SAI0_SDO1_M1/SAI0_SDI3_M1	PMUIO1	SAI 串行输出数据线/SAI 串行输入数据线
C41		SAI0_SDO2_M1/SAI0_SDI2_M1	PMUIO1	SAI 串行输出数据线/SAI 串行输入数据线
C39		SAI0_SDO3_M1/SAI0_SDI1_M1	PMUIO1	SAI 串行输出数据线/SAI 串行输入数据线
C37		SAI0_SDI0_M1	PMUIO1	SAI 串行输入数据线
C29		SAI0_MCLK_M1	PMUIO1	SAI 系统时钟输出
C33		SAI0_SCLK_M1	PMUIO1	SAI 连续串行时钟，位时钟
C35		SAI0_LRCK_M1	PMUIO1	SAI 帧时钟，用于声道选择

SAI1 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
A58	M0	SAI1_SDO0_M0	VCCIO2	SAI 串行输出数据线
A62		SAI1_SDO1_M0/SAI1_SDI3_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
A64		SAI1_SDO2_M0/SAI1_SDI2_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
A66		SAI1_SDO3_M0/SAI1_SDI1_M0	VCCIO2	SAI 串行输出数据线/SAI 串行输入数据线
A68		SAI1_SDI0_M0	VCCIO2	SAI 串行输入数据线
A48		SAI1_MCLK_M0	VCCIO2	SAI 系统时钟输出
A50		SAI1_SCLK_M0	VCCIO2	SAI 连续串行时钟，位时钟
A54		SAI1_LRCK_M0	VCCIO2	SAI 帧时钟，用于声道选择
B57	M1	SAI1_SDO0_M1	VCCIO5	SAI 串行输出数据线
B55		SAI1_SDO1_M1	VCCIO5	SAI 串行输出数据线



B53		SAI1_SDO2_M1	VCCIO5	SAI 串行输出数据线
B51		SAI1_SDO3_M1	VCCIO5	SAI 串行输出数据线
B49		SAI1_SDI0_M1	VCCIO5	SAI 串行输入数据线
B65		SAI1_SDI1_M1	VCCIO5	SAI 串行输入数据线
B67		SAI1_SDI2_M1	VCCIO5	I2S输入数据1
B69		SAI1_SDI3_M1	VCCIO5	I2S主时钟MCLK
B63		SAI1_MCLK_M1	VCCIO5	SAI 系统时钟输出
B61		SAI1_SCLK_M1	VCCIO5	SAI 连续串行时钟，位时钟
B59		SAI1_LRCK_M1	VCCIO5	SAI 帧时钟，用于声道选择

SAI2 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
A34	M0	SAI2_SDO_M0	VCCIO3	SAI 串行输出数据线
A40		SAI2_SDI_M0	VCCIO3	SAI 串行输入数据线
A42		SAI2_MCLK_M0	VCCIO3	SAI 系统时钟输出
A36		SAI2_SCLK_M0	VCCIO3	SAI 连续串行时钟，位时钟
A38		SAI2_LRCK_M0	VCCIO3	SAI 帧时钟，用于声道选择
B54	M1	SAI2_SDO_M1	VCCIO4	SAI 串行输出数据线
B44		SAI2_SDI_M1	VCCIO4	SAI 串行输入数据线
B40		SAI2_MCLK_M1	VCCIO4	SAI 系统时钟输出
B30		SAI2_SCLK_M1	VCCIO4	SAI 连续串行时钟，位时钟
B52		SAI2_LRCK_M1	VCCIO4	SAI 帧时钟，用于声道选择
B33	M2	SAI2_SDO_M2	VCCIO5	SAI 串行输出数据线
B31		SAI2_SDI_M2	VCCIO5	SAI 串行输入数据线
B41		SAI2_MCLK_M2	VCCIO5	SAI 系统时钟输出
B17		SAI2_SCLK_M2	VCCIO5	SAI 连续串行时钟，位时钟

B19		SAI2_LRCK_M2	VCCIO5	SAI 帧时钟，用于声道选择
-----	--	--------------	--------	----------------

SAI3 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
A8	M1	SAI3_SDO_M1	VCCIO3	SAI 串行输出数据线
A10		SAI3_SDI_M1	VCCIO3	SAI 串行输入数据线
A16		SAI3_MCLK_M1	VCCIO3	SAI 系统时钟输出
A4		SAI3_SCLK_M1	VCCIO3	SAI 连续串行时钟，位时钟
A6		SAI3_LRCK_M1	VCCIO3	SAI 帧时钟，用于声道选择
B76	M2	SAI3_SDO_M2	VCCIO4	SAI 串行输出数据线
B78		SAI3_SDI_M2	VCCIO4	SAI 串行输入数据线
B68		SAI3_MCLK_M2	VCCIO4	SAI 系统时钟输出
B72		SAI3_SCLK_M2	VCCIO4	SAI 连续串行时钟，位时钟
B74		SAI3_LRCK_M2	VCCIO4	SAI 帧时钟，用于声道选择
A47	M3	SAI3_SDO_M3	VCCIO1	SAI 串行输出数据线
A45		SAI3_SDI_M3	VCCIO1	SAI 串行输入数据线
A41		SAI3_MCLK_M3	VCCIO1	SAI 系统时钟输出
A49		SAI3_SCLK_M3	VCCIO1	SAI 连续串行时钟，位时钟
A43		SAI3_LRCK_M3	VCCIO1	SAI 帧时钟，用于声道选择

SAI4 引脚列表如下表所示：

引脚编号	引脚分组	I2S2信号	电源域	说明
A68	M0	SAI4_SDO_M0	VCCIO2	SAI 串行输出数据线
A58		SAI4_SDI_M0	VCCIO2	SAI 串行输入数据线
A48		SAI4_MCLK_M0	VCCIO2	SAI 系统时钟输出
A52		SAI4_SCLK_M0	VCCIO2	SAI 连续串行时钟，位时钟

A56		SAI4_LRCK_M0	VCCIO2	SAI 帧时钟，用于声道选择
B77	M1	SAI4_SDO_M1	VCCIO5	SAI 串行输出数据线
B7		SAI4_SDI_M1	VCCIO5	SAI 串行输入数据线
B45		SAI4_MCLK_M1	VCCIO5	SAI 系统时钟输出
B73		SAI4_SCLK_M1	VCCIO5	SAI 连续串行时钟，位时钟
B75		SAI4_LRCK_M1	VCCIO5	SAI 帧时钟，用于声道选择
D13		M2	SAI4_SDO_M2	VCCIO6
D15	SAI4_SDI_M2		VCCIO6	SAI 串行输入数据线
D3	SAI4_MCLK_M2		VCCIO6	SAI 系统时钟输出
D17	SAI4_SCLK_M2		VCCIO6	SAI 连续串行时钟，位时钟
D11	SAI4_LRCK_M2		VCCIO6	SAI 帧时钟，用于声道选择
B34	M3		SAI4_SDO_M3	VCCIO4
B46		SAI4_SDI_M3	VCCIO4	SAI 串行输入数据线
B36		SAI4_MCLK_M3	VCCIO4	SAI 系统时钟输出
B48		SAI4_SCLK_M3	VCCIO4	SAI 连续串行时钟，位时钟
B50		SAI4_LRCK_M3	VCCIO4	SAI 帧时钟，用于声道选择

RK3576提供两个 SPDIF TX 数字音频接口，最大支持 24bits 解析度。SPDIF 全称为 Sony/Philips

Digital Interface Format 是 SONY 、 PHILIPS 数字音频接口的简称。就传输载体而言，SPDIF 又分为同

轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异，SPDIF 的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

SPDIF0 引脚配置列表如下表所示：

引脚编号	信号定义	电源域
------	------	-----

A72	SPDIF_TX0_M0	VCCIO2
A77	SPDIF_TX0_M1	VCCIO5
B64	SPDIF_TX0_M2	VCCIO4

SPDIF1 引脚配置列表如下表所示：

引脚编号	信号定义	电源域
B23	SPDIF_TX1_M0	VCCIO5
B78	SPDIF_TX1_M1	VCCIO4
A44	SPDIF_TX1_M2	VCCIO3

PDM0引脚配置列表如下表所示：

引脚编号	引脚分组	信号定义	电源域	说明
C43	M0	PDM0_SDI3_M0	PMUIO1	PDM 输入数据线
C41		PDM0_SDI2_M0	PMUIO1	PDM 输入数据线
C39		PDM0_SDI1_M0	PMUIO1	PDM 输入数据线
C37		PDM0_SDI0_M0	PMUIO1	PDM 输入数据线
C29		PDM0_CLK0_M0	PMUIO1	PDM sampling clock
C24		PDM0_CLK1_M0	PMUIO1	PDM sampling clock
B11	M2	PDM0_SDI3_M2	VCCIO3	PDM 输入数据线
B13		PDM0_SDI2_M2	VCCIO3	PDM 输入数据线
B37		PDM0_SDI1_M2	VCCIO3	PDM 输入数据线
B25		PDM0_SDI0_M2	VCCIO3	PDM 输入数据线
B35		PDM0_CLK0_M2	VCCIO3	PDM sampling clock
B39		PDM0_CLK1_M2	VCCIO3	PDM sampling clock
B12	M3	PDM0_SDI3_M3	VCCIO4	PDM 输入数据线

B14		PDM0_SDI2_M3	VCCIO4	PDM 输入数据线
B16		PDM0_SDI1_M3	VCCIO4	PDM 输入数据线
B20		PDM0_SDI0_M3	VCCIO4	PDM 输入数据线
B22		PDM0_CLK0_M3	VCCIO4	PDM sampling clock
B18		PDM0_CLK1_M3	VCCIO4	PDM sampling clock

PDM1引脚配置列表如下表所示：

引脚编号	引脚分组	信号定义	电源域	说明
B52	M0	PDM1_SDI3_M0	VCCIO4	PDM 输入数据线
B30		PDM1_SDI2_M0	VCCIO4	PDM 输入数据线
B38		PDM1_SDI1_M0	VCCIO4	PDM 输入数据线
B54		PDM1_SDI0_M0	VCCIO4	PDM 输入数据线
B44		PDM1_CLK0_M0	VCCIO4	PDM sampling clock
B40		PDM1_CLK1_M0	VCCIO4	PDM sampling clock
A52	M1	PDM1_SDI3_M1	VCCIO2	PDM 输入数据线
A64		PDM1_SDI2_M1	VCCIO2	PDM 输入数据线
A66		PDM1_SDI1_M1	VCCIO2	PDM 输入数据线
A68		PDM1_SDI0_M1	VCCIO2	PDM 输入数据线
A62		PDM1_CLK0_M1	VCCIO2	PDM sampling clock
A56		PDM1_CLK1_M1	VCCIO2	PDM sampling clock
A52	M2	PDM1_SDI3_M2	VCCIO5	PDM 输入数据线
A64		PDM1_SDI2_M2	VCCIO5	PDM 输入数据线
A66		PDM1_SDI1_M2	VCCIO5	PDM 输入数据线
A68		PDM1_SDI0_M2	VCCIO5	PDM 输入数据线
A62		PDM1_CLK0_M2	VCCIO5	PDM sampling clock

A56	PDM1_CLK1_M2	VCCIO5	PDM sampling clock
-----	--------------	--------	--------------------

## 2.7 HDMI设计

核心板内置了1路HDMI/eDP TX Combo PHY，HDMI/eDP TX Combo PHY 支持以下两个模式：

1.HDMI TX 模式：最高支持 HDMI2.1，支持 HDMI FRL 模式并向下兼容 HDMI TMDS 模式，支持 RGB/YUV444/YUV422/YUV420(Up to 10bit)格式。

2.eDP TX 模式：最高支持 eDP1.3，最大分辨率支持 4K@60Hz，支持 RGB/YUV444/YUV422(Up to 10bit)格式。

**注意：**RK3576芯片的I2C是不支持5V电平的，所以DDC/I2C总线需要增加电平转换电路。HDMI高速差分线在LAYOUT设计时尽量避免换层，走线尽量短，参考面保证完整，100Ω差分阻抗控制。

HDMI0\_TX引脚列表如下表所示：

引脚编号	信号定义	说明
C77	HDMI_TX_SBDN/EDP_TX_AUXN	clock negative differential output
C75	HDMI_TX_SBDP/EDP_TX_AUXP	clock positive differential output
C71	HDMI_TX_D3N/EDP_TX_D3N	Lane3 data negative differential output
C69	HDMI_TX_D3P/EDP_TX_D3P	Lane3 data positive differential output
C65	HDMI_TX_D0N/EDP_TX_D0N	Lane0 data negative differential output
C63	HDMI_TX_D0P/EDP_TX_D0P	Lane0 data positive differential output
C59	HDMI_TX_D1N/EDP_TX_D1N	Lane1 data negative differential output

C57	HDMI_TX_D1P/EDP_TX_D1P	Lane1 data positive differential output
C53	HDMI_TX_D2N/EDP_TX_D2N	Lane2 data negative differential output
C51	HDMI_TX_D2P/EDP_TX_D2P	Lane2 data positive differential output

HDMI接口CEC电路电平转换设计如下图所示。

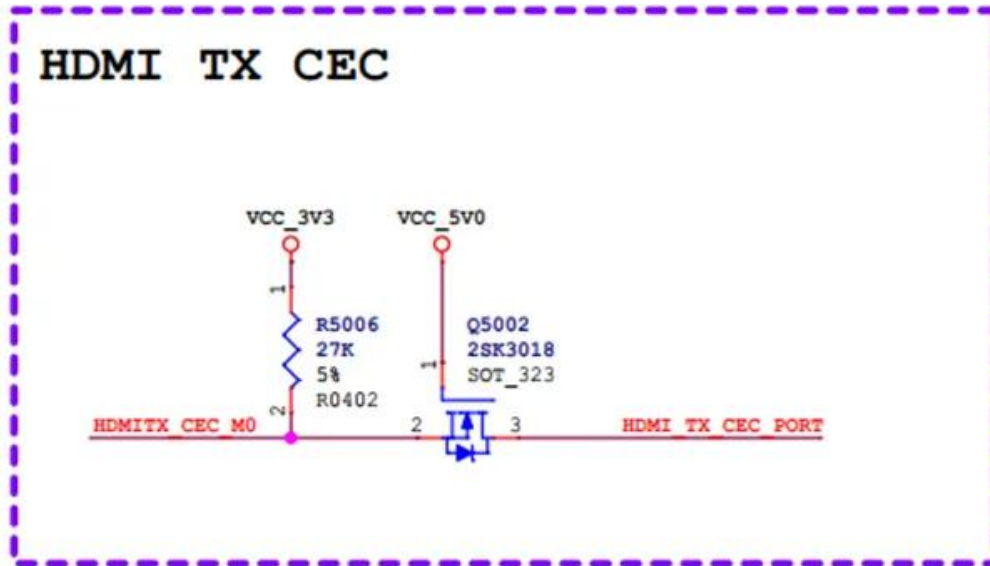


图7. CEC电平转换参考设计图

DDC/I2C总线电平转换电路设计如下图所示。



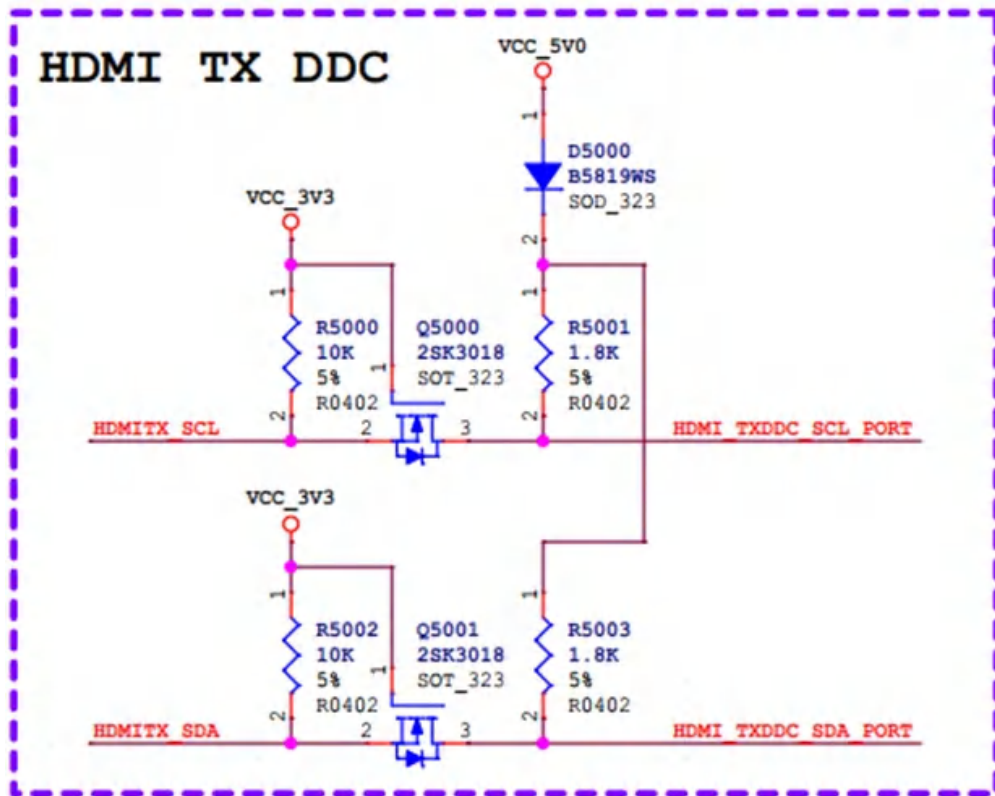


图8. DDC/I2C总线电平转换参考设计图

## 2.8 I3C接口

IDO-SOM7608-V1核心板引出2路I3C总线，当工作于 I3C 兼容 I2C 模式时，需要用到 3 个 Pin，分别是 I3C\_SCL、I3C\_SDA、I3C\_SDA\_PU，其中I3C\_SDA 通过上拉电阻接到 I3C\_SDA\_PU，I3C\_SCL 通过上拉电阻接到上拉电源，上拉电源必须和 GPIO电源域电源保持一致。当只需要工作于 I2C 模式时，则只需要用到 2 个 Pin，分别是 I3C\_SCL、I3C\_SDA，硬件接线方法和I2C 一样。

- 1.支持 I3C 总线主模式，纯 I3C 设备传输速率高达 12.5Mbit/s；
- 2.兼容 I2C 总线主模式，纯 I2C 设备传输速率高达 400K bit/s；
- 3.支持 7 位和 10 位寻址模式。

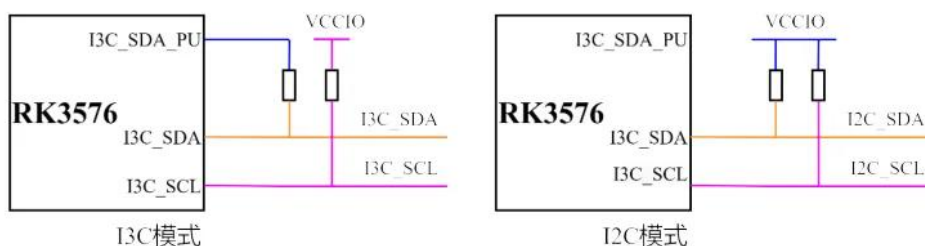


图9. I3C 的 I3C 模式和 I2C 模式接线示意图

I2C总线引脚资源如下表所示：

I3C资源	引脚分组	引脚编号	I2C信号定义	电源域
I3C0	M0	C25	I3C0_SCL_M0	PMUIO1
		C27	I3C0_SDA_M0	
		C31	I3C0_SDA_PU_M0	
	M1	A38	I3C0_SCL_M1	VCCIO3
		A40	I3C0_SDA_M1	
		A36	I3C0_SDA_PU_M1	
I3C1	M0	B36	I3C1_SCL_M0	VCCIO4
		B32	I3C1_SDA_M0	
		B68	I3C1_SDA_PU_M0	
	M1	A43	I3C1_SCL_M1	VCCIO1
		A45	I3C1_SDA_M1	
		A49	I3C1_SDA_PU_M1	
	M2	B31	I3C1_SCL_M2	VCCIO5
		B33	I3C1_SDA_M2	
		B41	I3C1_SDA_PU_M2	

## 2.9 MIPI\_DPHY设计

IDO-SOM7608-V1核心板引出一路MIPI\_DPHY\_TX接口和三路MIPI\_DPHY\_RX接口，每路4Lane。

MIPI\_DPHY\_TX引脚资源列表如下表所示：

引脚号	引脚定义	描述
D77	MIPI_DPHY_DSI_TX_D3P	MIPI-发送-D3-正
D75	MIPI_DPHY_DSI_TX_D3N	MIPI-发送-D3-负

D71	MIPI_DPHY_DSI_TX_D2P	MIPI-发送-D2-正
D69	MIPI_DPHY_DSI_TX_D2N	MIPI-发送-D2-负
D65	MIPI_DPHY_DSI_TXCLKP	MIPI-时钟-正
D63	MIPI_DPHY_DSI_TX_CLKN	MIPI-时钟-负
D59	MIPI_DPHY_DSI_TX_D1P	MIPI-发送-D1-正
D57	MIPI_DPHY_DSI_TX_D1N	MIPI-发送-D1-负
D53	MIPI_DPHY_DSI_TX_D0P	MIPI-发送-D0-正
D51	MIPI_DPHY_DSI_TX_D0N	MIPI-发送-D0-负

**注意：**MIPI高速差分对，差分阻抗按照100Ω控制。走线参考面完整。

## 2.10 PCIe设计

RK3576支持2路PCIe2.1，两个都只支持 RC 模式(RC 是 Root Complex 缩写)，不支持 EP。

PCIe0引脚资源列表如下表所示：

引脚编号	引脚定义	描述
C56	PCIE0_TXP/SATA0_TXP	PCIE发送0-正
C58	PCIE0_TXN/SATA0_TXN	PCIE发送0-负
C62	PCIE0_RXP/SATA0_RXP	PCIE接收0-正
C64	PCIE0_RXN/SATA0_RXN	PCIE接收0-负
C68	PCIE0_REFCLKP	PCIE参考时钟-正
C70	PCIE0_REFCLKN	PCIE参考时钟-负

PCIe1引脚资源列表如下表所示：

引脚编号	引脚定义	描述
C38	PCIE1_TXP/SATA1_TXP/USB3_OTG1_SSTXP	PCIE发送0-正

C40	PCIE1_TXN/SATA1_TXN/USB3_OTG1_SSTXN	PCIE发送0-负
C44	PCIE1_RXP/SATA1_RXP/USB3_OTG1_SSRXP	PCIE接收0-正
C46	PCIE1_RXN/ SATA1_RXN/USB3_OTG1_SSRX N	PCIE接收0-负
C50	PCIE1_REFCLKP	PCIE参考时钟-正
C52	PCIE1_REFCLKN	PCIE参考时钟-负

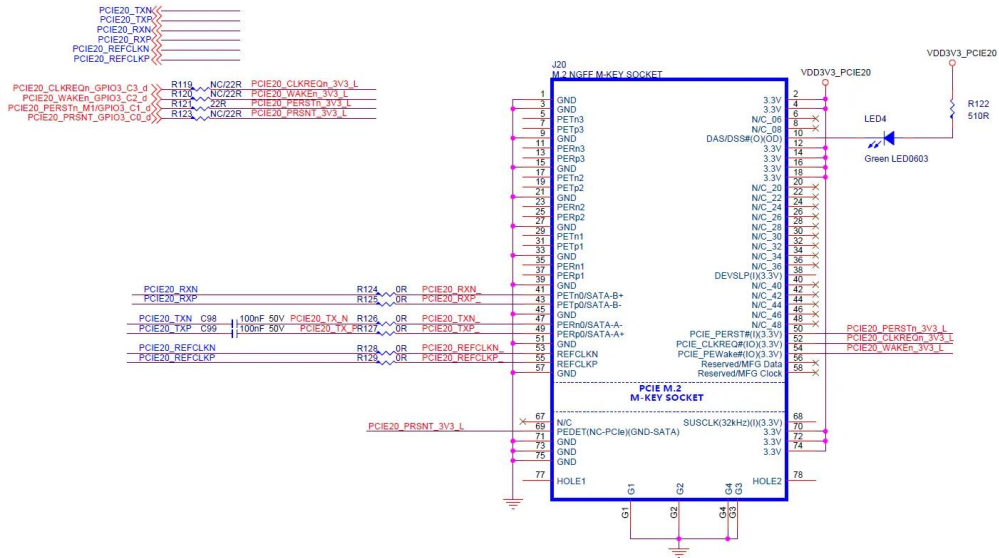


图10. PCIe2.0接口设计

**注意：** PCIe高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

## 2.11 MIPI-CSI接口设计

IDO-SOM7608-V1核心板引出3组MIPI\_DPHY\_CSI信号,最多支持5个MIPI CSI-2 摄像头接口，其中：

1.4x2Lane MIPI CSI D-PHY 或 2个4Lane MIPI CSI D-PHY ( 2.5Gbps/lane)

2.1x4lane MIPI CSI D-PHY 或 3 C-PHY trios

支持 1x DVP, 8/10/12/16-bit 标准 DVP 接口, 最高 150MHz 数据输入; 支持 BT.601/BT.656 和 BT.1120 VI 接口。

MIPI\_DPHY0\_RX 引脚资源列表如下表所示:

引脚号	引脚定义	描述
D47	MIPI_DPHY_CSI0_RX_D3P	MIPI-接收-D3-正
D45	MIPI_DPHY_CSI0_RX_D3N	MIPI-接收-D3-负
D41	MIPI_DPHY_CSI0_RX_D2P	MIPI-接收-D2-正
D39	MIPI_DPHY_CSI0_RX_D2N	MIPI-接收-D2-负
D35	MIPI_DPHY_CSI0_RX_CLKP	MIPI-时钟-正
D33	MIPI_DPHY_CSI0_RX_CLKN	MIPI-时钟-负
D29	MIPI_DPHY_CSI0_RX_D1P	MIPI-接收-D1-正
D27	MIPI_DPHY_CSI0_RX_D1N	MIPI-接收-D1-负
D23	MIPI_DPHY_CSI0_RX_D0P	MIPI-接收-D0-正
D21	MIPI_DPHY_CSI0_RX_D0N	MIPI-接收-D0-负

MIPI\_DPHY1\_RX 引脚资源列表如下表所示:

引脚号	引脚定义	描述
D42	MIPI_DPHY_CSI1_RX_D3P	MIPI-接收-D3-正
D40	MIPI_DPHY_CSI1_RX_D3N	MIPI-接收-D3-负
D36	MIPI_DPHY_CSI1_RX_D2P	MIPI-接收-D2-正
D34	MIPI_DPHY_CSI1_RX_D2N	MIPI-接收-D2-负
D30	MIPI_DPHY_CSI1_RX_CLKP	MIPI-时钟-正
D28	MIPI_DPHY_CSI1_RX_CLKN	MIPI-时钟-负
D24	MIPI_DPHY_CSI1_RX_D1P	MIPI-接收-D1-正
D22	MIPI_DPHY_CSI1_RX_D1N	MIPI-接收-D1-负

D18	MIPI_DPHY_CSI1_RX_D0P	MIPI-接收-D0-正
D16	MIPI_DPHY_CSI1_RX_D0N	MIPI-接收-D0-负
D46	MIPI_DPHY_CSI2_RX_CLKP	MIPI-时钟-正
D48	MIPI_DPHY_CSI2_RX_CLKN	MIPI-时钟-负

MIPI\_DPHY3\_RX引脚资源列表如下表所示：

引脚号	引脚定义	描述
A9	MIPI_DPHY_CSI3_RX_D3P	MIPI-接收-D3-正
A11	MIPI_DPHY_CSI3_RX_D3N	MIPI-接收-D3-负
A15	MIPI_DPHY_CSI3_RX_D2P	MIPI-接收-D2-正
A17	MIPI_DPHY_CSI3_RX_D2N	MIPI-接收-D2-负
A21	MIPI_DPHY_CSI3_RX_CLKP	MIPI-时钟-正
A23	MIPI_DPHY_CSI3_RX_CLKN	MIPI-时钟-负
A27	MIPI_DPHY_CSI3_RX_D1P	MIPI-接收-D1-正
A29	MIPI_DPHY_CSI3_RX_D1N	MIPI-接收-D1-负
A33	MIPI_DPHY_CSI3_RX_D0P	MIPI-接收-D0-正
A35	MIPI_DPHY_CSI3_RX_D0N	MIPI-接收-D0-负
A5	MIPI_DPHY_CSI4_RX_CLKP	MIPI-时钟-正
A3	MIPI_DPHY_CSI4_RX_CLKN	MIPI-时钟-负

**注意：**MIPI-CSI高速差分对，差分阻抗按照100Ω控制；走线参考面完整。

## 2.12 SATA总线

RK3576自带2路独立的SATA3.1控制器，支持 SATA PM 功能，每个 port 可以支持 5 个设备，支持eSATA，支持 SATA 1.5Gb/s, SATA 3.0Gb/s, SATA 6.0Gb/s speeds。

SATA信号与USB3.0, PCIE2.1信号是复用的。根据实际情况选用并配置驱动来使用。

SATA信号引脚资源列表如下表所示：

SATA控制器	核心板引脚编号	SATA信号定义	信号说明
SATA0	C56	SATA0_TXP	SATA 发送 DP
	C58	SATA0_TXN	SATA 发送 DN
	C62	SATA0_RXP	SATA 接收 DP
	C64	SATA0_RXN	SATA 接收 DN
SATA1	C38	SATA1_TXP	SATA 发送 DP
	C40	SATA1_TXN	SATA 发送 DN
	C44	SATA1_RXP	SATA 接收 DP
	C46	SATA1_RXN	SATA 接收 DN

**注意：**走线按照100Ω差分阻抗。10nF耦合电容靠近SATA座子。走线长度<5inch。参考设计如下图：

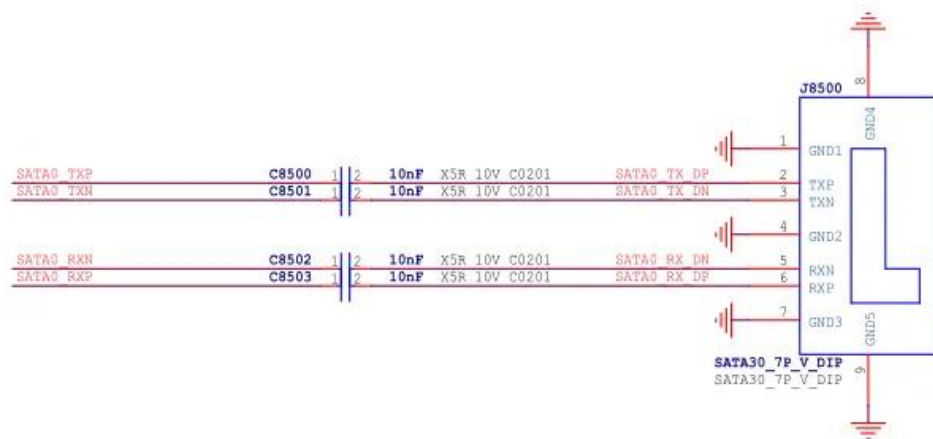


图11. SATA接口参考设计

## 2.13 UART设计

IDO-SOM7608-V1核心板共引出12路UART口，其中UART0\_M0\_DEBUG为调试口。其它可根据设计需求去使用，如外接RS232芯片，RS485芯片等去实现串口通信功能。

**注意：**

1.需要注意引脚电源域有1.8V和3.3V两种，注意互连时电平要匹配，必要时加电平转换电路，避免造成通讯不正常。

2.UART引脚复用信号较多，同一路UART控制器可以分配到不同引脚分组。最多可有M0, M1, M2 三组引脚可选配，同一个UART控制器同时只能配置一组引脚。

3.调试串口默认为UART0 M0引脚组。

UART信号定义及可复用引脚列表如下表所示:

UART资源	引脚编号	UART信号定义	电源域
UART0	C47	UART0_RX_M0	PMUIO1 (调试串口)
	C45	UART0_TX_M0	
	A39	UART0_RX_M1	VCCIO1
	A41	UART0_TX_M1	
UART1	C34	UART1_RX_M0	VCCIO5
	C32	UART1_TX_M0	
	C43	UART1_RTSM_M0	
	C41	UART1_CTSN_M0	
	B14	UART1_RX_M1	VCCIO4
	B12	UART1_TX_M1	
	B18	UART1_RTSM_M1	
	B16	UART1_CTSN_M1	
	B13	UART1_RX_M2	VCCIO5
	B39	UART1_TX_M2	
	B11	UART1_RTSM_M2	
	B7	UART1_CTSN_M2	
UART2	A32	UART2_RX_M0	VCCIO3
	A30	UART2_TX_M0	
	A24	UART2_RTSM_M0	



	A26	UART2_CTSN_M0	
	A70	UART2_RX_M1	VCCIO2
	A72	UART2_TX_M1	
	A62	UART2_RTSN_M1	
	A64	UART2_CTSN_M1	
	B49	UART2_RX_M2	
	B51	UART2_TX_M2	
	B31	UART2_RTSN_M2	
	B33	UART2_CTSN_M2	
UART3	B74	UART3_RX_M0	VCCIO4
	B72	UART3_TX_M0	
	B78	UART3_RTSN_M0	
	B76	UART3_CTSN_M0	
	B77	UART3_RX_M1	VCCIO5
	B75	UART3_TX_M1	
	B51	UART3_RTSN_M1	
	B49	UART3_CTSN_M1	
	A16	UART3_RX_M2	VCCIO3
	A12	UART3_TX_M2	
	A10	UART3_RTSN_M2	
	A8	UART3_CTSN_M2	
	UART4	B34	UART4_RX_M0
B46		UART4_TX_M0	
B50		UART4_RTSN_M0	
B48		UART4_CTSN_M0	

	A26	UART4_RX_M1	VCCIO3
	A24	UART4_TX_M1	
	A20	UART4_RTSN_M1	
	A22	UART4_CTSN_M1	
	C28	UART4_RX_M2	PMUIO1
	C26	UART4_TX_M2	
UART5	B65	UART5_RX_M0	VCCIO5
	B67	UART5_TX_M0	
	B73	UART5_RTSN_M0	
	B69	UART5_CTSN_M0	
	A64	UART5_RX_M1	VCCIO2
	A62	UART5_TX_M1	
	A54	UART5_RTSN_M1	
	A50	UART5_CTSN_M1	
	A47	UART5_RX_M2	VCCIO2
	A49	UART5_TX_M2	
	A43	UART5_RTSN_M2	
	A45	UART5_CTSN_M2	
UART6	A56	UART6_RX_M0	VCCIO2
	A52	UART6_TX_M0	
	A62	UART6_RTSN_M0	
	A64	UART6_CTSN_M0	
	B32	UART6_RX_M1	VCCIO4
	B36	UART6_TX_M1	
	B58	UART6_RTSN_M1	

	B60	UART6_CTSN_M1	
	D13	UART6_RX_M3	VCCIO6
	D11	UART6_TX_M3	
UART7	B26	UART7_RX_M0	VCCIO4
	B24	UART7_TX_M0	
	B22	UART7_RTSN_M0	
	B20	UART7_CTSN_M0	
	A39	UART7_RX_M2	VCCIO1
	A41	UART7_TX_M2	
UART8	B57	UART8_RX_M0	VCCIO5
	B59	UART8_TX_M0	
	B61	UART8_RTSN_M0	
	B63	UART8_CTSN_M0	
	B10	UART8_RX_M1	VCCIO4
	B8	UART8_TX_M1	
	B24	UART8_RTSN_M1	
	B26	UART8_CTSN_M1	
	C27	UART8_RX_M2	PMUIO1
	C25	UART8_TX_M2	
UART9	B38	UART9_RX_M0	VCCIO4
	B40	UART9_TX_M0	
	B68	UART9_RTSN_M0	
	B64	UART9_CTSN_M0	
	B37	UART9_RX_M1	VCCIO5
	B25	UART9_TX_M1	

	B21	UART9_RTSN_M1	
	B23	UART9_CTSN_M1	
	D7	UART9_RX_M2	VCCIO6
	D5	UART9_TX_M2	
UART10	B45	UART10_RX_M0	VCCIO5
	B35	UART10_TX_M0	
	B39	UART10_RTSN_M0	
	B13	UART10_CTSN_M0	
	A36	UART10_RX_M1	VCCIO3
	A34	UART10_TX_M1	
	A42	UART10_RTSN_M1	
	A44	UART10_CTSN_M1	
	C31	UART10_RX_M2	PMUIO1
	C29	UART10_TX_M2	
UART11	B53	UART11_RX_M0	VCCIO5
	B55	UART11_TX_M0	
	B17	UART11_RTSN_M0	
	B19	UART11_CTSN_M0	
	B44	UART11_RX_M1	VCCIO4
	B54	UART11_TX_M1	
	B52	UART11_RTSN_M1	
	B30	UART11_CTSN_M1	
	D9	UART11_RX_M2	VCCIO6
	D3	UART11_TX_M2	

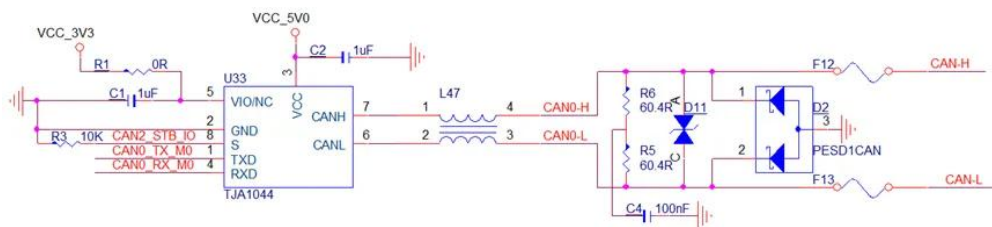
## 2.14 CAN总线

IDO-SOM3576-V1引出2个CAN总线控制器，支持支持 CAN FD；支持 1Mbps。

CAN引脚复用信号较多，同一路CAN控制器可以分配到不同引脚分组。最多可有M0，M1组引脚可选配，同一个CAN控制器同时只能配置一组引脚。

CAN接口引脚资源如下表所示：

CAN资源	引脚分组	引脚编号	CAN信号定义	电源域
CAN0	M0	A39	CAN0_RX_M0	VCCIO1
		A41	CAN0_TX_M0	
	M1	D7	CAN0_RX_M1	VCCIO6
		D5	CAN0_TX_M1	
	M2	A56	CAN0_RX_M2	VCCIO1
		A52	CAN0_TX_M2	
	M3	B53	CAN0_RX_M3	VCCIO5
		B55	CAN0_TX_M3	
CAN1	M0	A43	CAN1_RX_M0	VCCIO1
		A45	CAN1_TX_M0	
	M1	D17	CAN1_RX_M1	VCCIO6
		D15	CAN1_TX_M1	
	M2	A70	CAN2_RX_M2	VCCIO2
		A72	CAN2_TX_M2	
	M3	B78	CAN1_RX_M3	VCCIO4
		B76	CAN1_TX_M3	



## 2.15 I2C总线

IDO-SOM7608-V1核心板共引出9组I2C接口，使用时注意电平为1.8V或3.3V，必要时加电平转换电路。

**注意：**I2C引脚复用信号较多，同一路I2C控制器可以分配到不同引脚分组。最多可有M0，M1，M2，M3引脚可选配，同一个I2C控制器同时只能配置一组引脚。

I2C总线引脚资源如下表所示：

I2C资源	引脚分组	引脚编号	I2C信号定义	电源域
I2C0	M0	C20	I2C0_SCL_M0	PMUIO0
		C22	I2C0_SDA_M0	
	M1	C25	I2C0_SCL_M1	PMUIO1
		C27	I2C0_SDA_M1	
I2C2	M0	C32	I2C2_SCL_M0	PMUIO1
		C34	I2C2_SDA_M0	
	M2	A50	I2C2_SCL_M2	VCCIO2
		A54	I2C2_SDA_M2	
	M3	D5	I2C2_SCL_M3	VCCIO6
		D7	I2C2_SDA_M3	
I2C3	M0	A72	I2C3_SCL_M0	VCCIO2
		A70	I2C3_SDA_M0	
	M1	C33	I2C3_SCL_M1	PMUIO1
		C35	I2C3_SDA_M1	
	M2	B65	I2C3_SCL_M2	VCCIO5
		B67	I2C3_SDA_M2	

	M3	D11	I2C3_SCL_M3	VCCIO6
		D13	I2C3_SDA_M3	
I2C4	M0	C41	I2C4_SCL_M0	PMUIO1
		C43	I2C4_SDA_M0	
	M1	A52	I2C4_SCL_M1	VCCIO2
		A56	I2C4_SDA_M1	
	M2	B8	I2C4_SCL_M2	VCCIO4
		B10	I2C4_SDA_M2	
	M3	B51	I2C4_SCL_M3	VCCIO5
		B49	I2C4_SDA_M3	
I2C5	M0	A49	I2C5_SCL_M0	VCCIO1
		A47	I2C5_SDA_M0	
	M1	A42	I2C5_SCL_M1	VCCIO3
		A44	I2C5_SDA_M1	
	M2	B48	I2C5_SCL_M2	VCCIO4
		B50	I2C5_SDA_M2	
	M3	B55	I2C5_SCL_M3	VCCIO5
		B53	I2C5_SDA_M3	
I2C6	M0	C14	I2C6_SCL_M0	PMUIO0
		C16	I2C6_SDA_M0	
	M1	A20	I2C6_SCL_M1	VCCIO3
		A22	I2C6_SDA_M1	
	M2	B46	I2C6_SCL_M2	VCCIO4
		B34	I2C6_SDA_M2	
	M3	D15	I2C6_SCL_M3	VCCIO6

		D17	I2C6_SDA_M3	
I2C7	M1	B72	I2C7_SCL_M1	VCCIO4
		B74	I2C7_SDA_M1	
	M2	B75	I2C7_SCL_M2	VCCIO5
		B77	I2C7_SDA_M2	
	M3	D3	I2C7_SCL_M3	VCCIO6
		D9	I2C7_SDA_M3	
I2C8	M0	A39	I2C8_SCL_M0	VCCIO1
		A41	I2C8_SDA_M0	
	M1	A30	I2C8_SCL_M1	VCCIO3
		A32	I2C8_SDA_M1	
	M2	B24	I2C8_SCL_M2	VCCIO4
		B26	I2C8_SDA_M2	
	M3	B25	I2C8_SCL_M3	VCCIO5
		B37	I2C8_SDA_M3	
I2C9	M1	A6	I2C9_SCL_M1	VCCIO3
		A4	I2C9_SDA_M1	
	M2	B60	I2C9_SCL_M2	VCCIO4
		B58	I2C9_SDA_M2	
	M3	B17	I2C9_SCL_M3	VCCIO5
		B19	I2C9_SDA_M3	

## 2.16 ADC设计说明

核心板共引出8路ADC接口，12bit精度，0~1.8V电压采样范围。



BOOT\_SARADC\_IN0默认做为ADC采样口，复用功能为BOOT强制烧录模式。系统启动时 BOOT 模式按键处于按下状态，即将BOOT\_SARADC\_IN0保持为低电平（0V），则 RK3568 进入Mask ROM 烧写模式，当 PC 识别到 USB 设备时，松开按键使BOOT\_SARADC\_IN0恢复为高电平（1.8V），即可进行固件烧写。

SARADC\_VIN1\_KEY/RECOVERY默认做为键值输入采样口，并复用为 Recovery 模式按键（不可修改）。核心板上BOOT\_SARADC\_IN0通过10KΩ 上拉电阻上拉到 VCCA\_1V8，默认为高电平（1.8V），在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；核心板上 SARADC\_VIN1\_KEY/RECOVERY通过10KΩ 上拉电阻上拉到 VCCA\_1V8，默认为高电平（1.8V），在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将SARADC\_VIN1\_KEY/RECOVERY保持为低电平（0V），则 RK3568 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC\_VIN1\_KEY/RECOVERY恢复为高电平（1.8V），即可进行固件烧写。另外为了方便开发，建议预留按键或 预留测试点。在Android系统操作界面下，其它按键操作如，VOL-，Home等功能按键也通过SARADC\_VIN1\_KEY/RECOVERY引脚实现，参考电路如下：

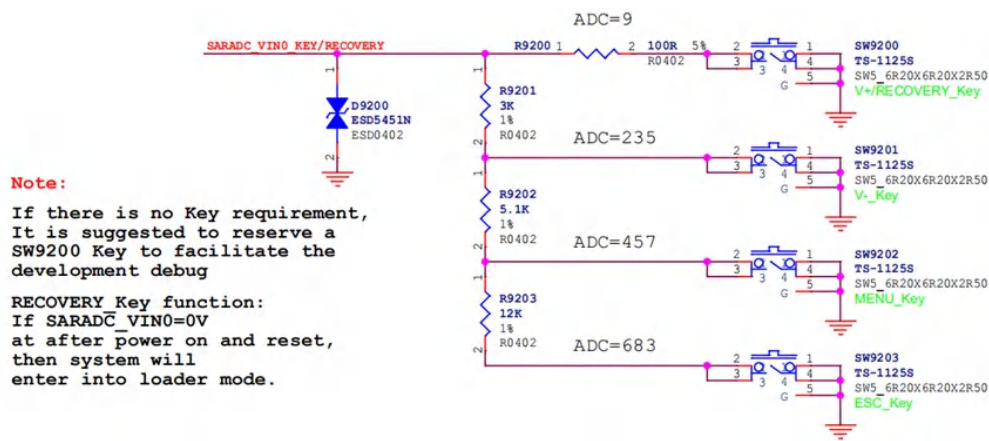


图13. ADC扩展按键参考设计图

SRADC引脚列表如下表所示：

引脚号	引脚定义	电源域	描述
A53	SARADC_IN0_BOOT	1.8V	默认用于BOOT按键功能。核心板上拉10K电阻到1.8V
A55	SARADC_IN1	1.8V	默认用于ADC按键功能，不建议用作其它功能。核心板上拉10K电阻到1.8V
A57	SARADC_IN2	1.8V	标准ADC输入
A59	SARADC_IN3	1.8V	标准ADC输入

A61	SARADC_IN4	1.8V	标准ADC输入	
A63	SARADC_IN5	1.8V	标准ADC输入	
A65	SARADC_IN6	1.8V	标准ADC输入	
A67	SARADC_IN7	1.8V	标准ADC输入	

**注意：**

1.SARADC 采样范围为0~1.8V，采样精度为 12bit 。按键阵列采用并联型， 可以通过增减按键并调整分压电阻比例来调整输入键值， 实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于±35, 即中心电压差必须大于123mV。

2.SARADC\_VIN有使用时， 靠近核心板管脚必须并联1nF电容消抖。

3.用于按键采集时， 靠近按键需做 ESD 防护， 而且 0 键值的必须串接 100Ω 电阻加强抗静电浪涌能力（如果只有一个键时 ESD 必须靠近按键， 先经过 ESD→100Ω电阻→1nF→核心板管脚）。

## 2.17 SPI设计说明

IDO-SOM7608-V1共引出5路SPI接口， 可用于连接SPI通信接口的芯片或者模块。

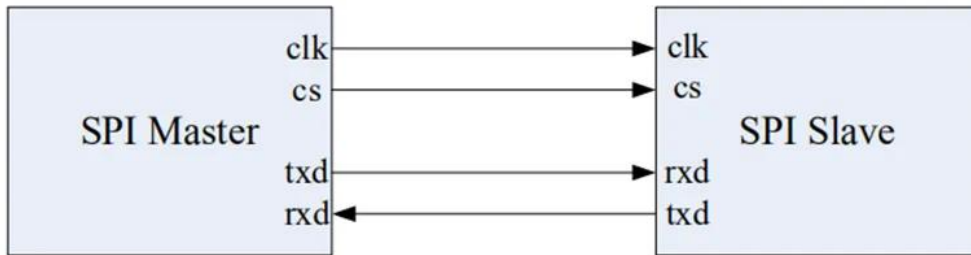


图14. SPI设备连接

SPI引脚资源列表如下表所示：

SPI接口	引脚分组	引脚编号	引脚定义	电源域	说明
SPI0	M0	C35	SPI0_CLK_M0	PMUIO1	Clock
		C39	SPI0_MISO_M0		Master Input Slave Output

		C37	SPI0_MOSI_M0		Master Output Slave input	
		C33	SPI0_CSN0_M0		片选0	
		C24	SPI0_CSN1_M0		片选1	
	M1		A49	SPI0_CLK_M1	VCCIO1	Clock
			A41	SPI0_MISO_M1		Master Input Slave Output
			A39	SPI0_MOSI_M1		Master Output Slave input
			A47	SPI0_CSN0_M1		片选0
			A43	SPI0_CSN1_M1		片选1
	SPI1	M0		A4	VCCIO3	Clock
				A8		Master Input Slave Output
A6				Master Output Slave input		
A10				片选0		
A12				片选1		
M1			B44	VCCIO4	Clock	
			B52		Master Input Slave Output	
			B30		Master Output Slave input	
			B54		片选0	
			B40		片选1	
M2			B61	VCCIO5	Clock	

		B57	SPI1_MISO_M2		Master Input Slave Output
		B59	SPI1_MOSI_M2		Master Output Slave input
		B63	SPI1_CSN0_M2		片选0
		B75	SPI1_CSN1_M2		片选1
SPI2	M0	C22	SPI2_MISO_M0	PMUIO0	Master Input Slave Output
		C20	SPI2_CSN0_M0		片选0
		C18	SPI2_CSN1_M0		片选1
	M1	A44	SPI2_CLK_M1	VCCIO3	Clock
		A26	SPI2_MISO_M1		Master Input Slave Output
		A24	SPI2_MOSI_M1		Master Output Slave input
		A22	SPI2_CSN0_M1		片选0
		A20	SPI2_CSN1_M1		片选1
	M2	B7	SPI2_CLK_M2	VCCIO5	Clock
		B53	SPI2_MISO_M2		Master Input Slave Output
		B45	SPI2_MOSI_M2		Master Output Slave input
		B55	SPI2_CSN0_M2		片选0
B11		SPI2_CSN1_M2	片选1		
SPI3	M0	B72	SPI3_CLK_M0	VCCIO4	Clock

		B76	SPI3_MISO_M0		Master Input Slave Output	
		B74	SPI3_MOSI_M0		Master Output Slave input	
		B78	SPI3_CSN0_M0		片选0	
		B64	SPI3_CSN1_M0		片选1	
	M1		B65	SPI3_CLK_M1	VCCIO5	Clock
			B67	SPI3_MISO_M1		Master Input Slave Output
			B69	SPI3_MOSI_M1		Master Output Slave input
			B27	SPI3_CSN0_M1		片选0
			B73	SPI3_CSN1_M1		片选1
			A58	SPI3_CLK_M2		VCCIO2
	A56	SPI3_MISO_M2	Master Input Slave Output			
	A52	SPI3_MOSI_M2	Master Output Slave input			
	A50	SPI3_CSN0_M2	片选0			
	A68	SPI3_CSN1_M2	片选1			
	SPI4	M0	D17	SPI4_CLK_M0	VCCIO6	
			D15	SPI4_MISO_M0		Master Input Slave Output
D13			SPI4_MOSI_M0	Master Output Slave input		
D11			SPI4_CSN0_M0	片选0		

		D3	SPI4_CSN1_M0		片选1
	M1	B41	SPI4_CLK_M1	VCCIO5	Clock
		B17	SPI4_MISO_M1		Master Input Slave Output
		B55	SPI4_MOSI_M1		Master Output Slave input
		B35	SPI4_CSN0_M1		片选0
		B31	SPI4_CSN1_M1		片选1
		M2	A62		SPI4_CLK_M2
	A66		SPI4_MISO_M2	Master Input Slave Output	
	A64		SPI4_MOSI_M2	Master Output Slave input	
	A68		SPI4_CSN0_M2	片选0	
	A54		SPI4_CSN1_M2	片选1	
	M3		B18	SPI4_CLK_M3	
		B22	SPI4_MISO_M3	Master Input Slave Output	
		B20	SPI4_MOSI_M3	Master Output Slave input	
		B16	SPI4_CSN0_M3	片选0	
		B8	SPI4_CSN1_M3	片选1	

**注意：**

- 1.当SPI 片选引脚冲突时，可用其它GPIO引脚作为片选，驱动做好配置即可。
- 2.SPI时钟线建立串接端接电阻(典型值22Ω)，靠近核心板一侧引脚放置。

## 2.18 PWM设计说明

IDO-SOM7608-V1具引出16路PWM资源，部分PWM具有M0/M1/M2/M3四个通道，同时只能选择其中1个通道使用。

PWM引脚资源列表如下表所示：

PWM通道	引脚编号	信号定义	电源域	说明
PWM0_CH0	C29	PWM0_CH0_M0	PMUIO1	/
	A12	PWM0_CH0_M1	VCCIO3	
	B52	PWM0_CH0_M2	VCCIO4	
	B45	PWM0_CH0_M3	VCCIO5	
PWM0_CH1	C24	PWM0_CH1_M0	PMUIO1	/
	D9	PWM0_CH1_M1	VCCIO6	
	B50	PWM0_CH1_M2	VCCIO4	
	B27	PWM0_CH1_M3	VCCIO5	
PWM1_CH0	C26	PWM1_CH0_M0	PMUIO1	/
	A4	PWM1_CH0_M1	VCCIO3	
	B38	PWM1_CH0_M2	VCCIO4	
	B7	PWM1_CH0_M3	VCCIO5	
PWM1_CH1	C28	PWM1_CH1_M0	PMUIO1	/
	A6	PWM1_CH1_M1	VCCIO3	
	B40	PWM1_CH1_M2	VCCIO4	
	B11	PWM1_CH1_M3	VCCIO5	
PWM1_CH2	C30	PWM1_CH2_M0	PMUIO1	/
	A20	PWM1_CH2_M1	VCCIO3	
	B30	PWM1_CH2_M2	VCCIO4	

	B13	PWM1_CH2_M3	VCCIO5	
PWM1_CH3	C34	PWM1_CH3_M0	PMUIO1	/
	A38	PWM1_CH3_M1	VCCIO3	
	B54	PWM1_CH3_M2	VCCIO4	
	B35	PWM1_CH3_M3	VCCIO5	
PWM1_CH4	C32	PWM1_CH4_M0	PMUIO1	/
	A40	PWM1_CH4_M1	VCCIO3	
	B44	PWM1_CH4_M2	VCCIO4	
	B21	PWM1_CH4_M3	VCCIO5	
PWM1_CH5	C41	PWM1_CH5_M0	PMUIO1	/
	D3	PWM1_CH5_M1	VCCIO6	
	B48	PWM1_CH5_M2	VCCIO4	
	B23	PWM1_CH5_M3	VCCIO5	
PWM2_CH0	C43	PWM2_CH0_M0	PMUIO1	/
	D5	PWM2_CH0_M1	VCCIO6	
	B46	PWM2_CH0_M2	VCCIO4	
	B17	PWM2_CH0_M3	VCCIO5	
PWM2_CH1	D7	PWM2_CH1_M1	VCCIO6	/
	B34	PWM2_CH1_M2	VCCIO4	
	B19	PWM2_CH1_M3	VCCIO5	
PWM2_CH2	A39	PWM2_CH2_M0	VCCIO1	/
	D15	PWM2_CH2_M1	VCCIO6	
	B36	PWM2_CH2_M2	VCCIO4	
	B57	PWM2_CH2_M3	VCCIO5	
PWM2_CH3	A41	PWM2_CH3_M0	VCCIO1	/



	D17	PWM2_CH3_M1	VCCIO6	
	B32	PWM2_CH3_M2	VCCIO4	
	B63	PWM2_CH3_M3	VCCIO5	
PWM2_CH4	A47	PWM2_CH4_M0	VCCIO1	/
	A50	PWM2_CH4_M1	VCCIO2	
	B58	PWM2_CH4_M2	VCCIO4	
	B31	PWM2_CH4_M3	VCCIO5	
PWM2_CH5	A48	PWM2_CH5_M0	VCCIO2	/
	D13	PWM2_CH5_M1	VCCIO6	
	B60	PWM2_CH5_M2	VCCIO4	
	B33	PWM2_CH5_M3	VCCIO5	
PWM2_CH6	A58	PWM2_CH6_M0	VCCIO2	/
	D11	PWM2_CH6_M1	VCCIO6	
	B68	PWM2_CH6_M2	VCCIO4	
	B69	PWM2_CH6_M2	VCCIO5	
PWM2_CH7	A68	PWM2_CH7_M0	VCCIO2	/
	B64	PWM2_CH7_M2	VCCIO4	
	B73	PWM2_CH7_M3	VCCIO5	

## 2.19 GPIO设计说明

IDO-SOM7608-V1可用的GPIO引脚共计131个，与其它信号引脚复用。详细定义请参考”IDO-SOM7608-V1-Pinout.xlsx”。核心板引脚中除了ADC、差分信号、PMIC引脚、电源/地，其它1.8V/3.3V数字引脚基本都可以配置为GPIO使用。

使用时注意GPIO电源域是1.8V还是3.3V。另外参考”IDO-SOM7608-V1-Pinout.xlsx”中GPIO信号名称中后缀带\_d表示上电默认下拉(低电平)，后缀带\_u的表示上电默认上拉(高电平)，后缀\_z的表示上电

高阻态(未知)。

如下图，SOM7608-V1的GPIO0\_C7，上电默认下拉(低电平)。SOM7608-V1的GPIO0\_D4，上电默认上拉(高电平) 3.3V。

PMUI01	PWM1_CH0_M0/UART4_TX_M2/REF_CLK1_OUT/GPIO0_B4_d	C26
Domain	PWM1_CH1_M0/UART4_RX_M2/REF_CLK2_OUT/GPIO0_B5_d	C28
Operating	PWM1_CH2_M0/EDP_TX_HPDIN_M1/HDMI_TX_HPDIN_M1/SDMMC1_DETN_M2/SDMMC0_PWREN/GPIO0_B6_d	C30
VCC_3V3_S3	PWM1_CH4_M0/NPU_AVS/UART1_TX_M0/I2C2_SCL_M0/GPIO0_B7_d	C32
	PWM1_CH3_M0/CPULIT_AVS/UART1_RX_M0/I2C2_SDA_M0/GPIO0_C0_d	C34
	I3C0_SCL_M0/UART8_TX_M2/I2C0_SCL_M1/GPIO0_C1_d	C25
	I3C0_SDA_M0/UART8_RX_M2/I2C0_SDA_M1/GPIO0_C2_d	C27
	PWM0_CH1_M0/SPI0_CSN1_M0/HDMI_TX_CEC_M1/PDM0_CLK1_M0/GPIO0_C3_d	C24
	PWM0_CH0_M0/UART10_TX_M2/PDM0_CLK0_M0/SAI0_MCLK_M1/GPIO0_C4_d	C29
	I3C0_SDA_PU_M0/UART10_RX_M2/DP_HPDIN_M1/SAI0_SDO0_M1/GPIO0_C5_d	C31
	SPI0_CSN0_M0/I2C3_SCL_M1/SAI0_SCLK_M1/GPIO0_C6_d	C33
	SPI0_CLK_M0/I2C3_SDA_M1/SAI0_LRCK_M1/GPIO0_C7_d	C35
	SPI0_MOSI_M0/PDM0_SDI0_M0/SAI0_SDI0_M1/GPIO0_D0_d	C37
	SPI0_MISO_M0/PDM0_SDI1_M0/SAI0_SDO3_M1/SAI0_SDI1_M1/GPIO0_D1_d	C39
	UART1_CTSN_M0/PWM1_CH5_M0/CPUBIG_AVS/I2C4_SCL_M0/PDM0_SDI2_M0/SAI0_SDO2_M1/SAI0_SDI2_M1/GPIO0_D2_d	C41
	UART1_RTSN_M0/PWM1_CH0_M0/GPU_AVS/I2C4_SDA_M0/PDM0_SDI3_M0/SAI0_SDO1_M1/SAI0_SDI3_M1/GPIO0_D3_d	C43
	JTAG_TCK_M1/UART0_TX_M0/GPIO0_D4_d	C45
	JTAG_TMS_M1/UART0_RX_M0/GPIO0_D5_d	C47

图4. GPIO引脚说明

RK3562 GPIO的DC特性参考下图：

Table 3-3 DC Characteristics

Parameters		Symbol	Min	Typ	Max	Unit
Digital 3.3V/1.8V GPIO @3.3V	Input Low Voltage for CMOS operation	$V_{IL}$	VSS-0.3	NA	0.8	V
	Input High Voltage for CMOS operation	$V_{IH}$	2.0	NA	DVDD+0.3	V
	Input Low Voltage for Schmitt Trigger operation	$V_{IL}$	VSS-0.3	NA	0.7	V
	Input High Voltage for Schmitt Trigger operation	$V_{IH}$	2.1	NA	DVDD+0.3	V
	Output Low Voltage	$V_{OL}$	VSS	NA	0.25*DVDD	V
	Output High Voltage	$V_{OH}$	0.75*DVDD	NA	DVDD	V
	Pullup Resistor	$R_{RPU}$	10	NA	100	Kohm
	Pulldown Resistor	$R_{RPD}$	10	NA	100	Kohm
Digital 3.3V/1.8V GPIO @1.8V	Input Low Voltage	$V_{IL}$	VSS-0.3	NA	0.3*DVDD	V
	Input High Voltage	$V_{IH}$	0.7*DVDD	NA	DVDD+0.3	V
	Output Low Voltage	$V_{OL}$	VSS	NA	0.25*DVDD	V
	Output High Voltage	$V_{OH}$	0.75*DVDD	NA	DVDD	V
	Pullup Resistor	$R_{RPU}$	10	NA	50	Kohm
	Pulldown Resistor	$R_{RPD}$	10	NA	50	Kohm
Digital 1.8V only and Digital 1.8V/1.2V GPIO @1.8V	Input Low Voltage	$V_{IL}$	VSS-0.3	NA	0.3*DVDD	V
	Input High Voltage	$V_{IH}$	0.7*DVDD	NA	DVDD+0.3	V
	Output Low Voltage	$V_{OL}$	VSS	NA	0.25*DVDD	V
	Output High Voltage	$V_{OH}$	0.75*DVDD	NA	DVDD	V
	Pullup Resistor	$R_{RPU}$	10	NA	50	Kohm
	Pulldown Resistor	$R_{RPD}$	10	NA	50	Kohm
Digital 1.8V/1.2V GPIO @1.2V	Input Low Voltage	$V_{IL}$	VSS-0.3	NA	0.3*DVDD	V
	Input High Voltage	$V_{IH}$	0.7*DVDD	NA	DVDD+0.3	V
	Output Low Voltage	$V_{OL}$	VSS-0.3	NA	0.25*DVDD	V
	Output High Voltage	$V_{OH}$	0.75*DVDD	NA	DVDD+0.3	V
	Pullup Resistor	$R_{RPU}$	10	NA	100	Kohm
	Pulldown Resistor	$R_{RPD}$	10	NA	100	Kohm
VCCI00 @1.8V	Input Low Voltage	$V_{IL}$	VSS	NA	0.35*DVDD	V
	Input High Voltage	$V_{IH}$	0.65*DVDD	NA	DVDD	V
	Output Low Voltage	$V_{OL}$	VSS	NA	0.45	V
	Output High Voltage	$V_{OH}$	DVDD-0.45	NA	DVDD	V
	Pullup Resistor	$R_{RPU}$	10	NA	50	Kohm
	Pulldown Resistor	$R_{RPD}$	10	NA	50	Kohm
DDR IO	Input Low Voltage	$V_{IL}$	NA	NA	Vref-0.14	V
	Input High Voltage	$V_{IH}$	Vref+0.14	NA	NA	V
	Output Low Voltage	$V_{OL}$	NA	NA	0.2	V
	Output High Voltage	$V_{OH}$	0.25	NA	NA	V
	Input Low Current	$I_{IL}$	-100/-500	NA	100/500	Room/Hot uA

Parameters	Symbol	Min	Typ	Max	Unit
Input High Current	$I_{IH}$	-100/-500	NA	100/500	Room/Hot $\mu A$

### 3、SOM7608硬件原理图CheckList

编号	检查事项	检查状态
1	核心板供电电压范围【3.6-5V】，加5.5V 浪涌保护。采用独立DCDC，2A以上电流能力。	<input type="checkbox"/> OK
2	核心板IO供电：VCCIO2 (A76脚)，VCCIO4 (B4脚)，VCCIO5 (B3脚)，都有供电，且采用核心板输出的VCC_1V8_S3 (A75脚)，VCC_3V3_S3 (A77脚)，VCC_1V8_S0 (A71) 或 VCC_3V3_S0 (A73脚)。	<input type="checkbox"/> OK
3	整板上电顺序：核心板供电(常供电) ->核心板电输出 (1.8V, 3.3V) ->底板供电 (3.3V, 1.8V, 5V)	<input type="checkbox"/> OK
4	是否需要插电开机，PMIC_VDC是否按照要求设计分压电阻？	<input type="checkbox"/> OK
5	是否需求关机和待机状态。 关机状态和待机状态下，核心板是否保持供电？ 待机或者关机状态下，外围电源还有哪些电源没有关闭，是否存在漏电风险？ Power键是否留出？	<input type="checkbox"/> OK
6	有待机需求时，有哪些待机时需要保持状态的IO引脚，这些引脚是否分配在GPIO0组 (PMUIO0/1) ？	<input type="checkbox"/> OK
7	USB0 OTG 接口有接出，方便下载烧录。USB_OTG_PWREN_H是否选用上电默认拉低的GPIO引脚？	<input type="checkbox"/> OK
8	调试串口是否有接出，是否有电平匹配，或上电顺序引入的RX灌电风险？	<input type="checkbox"/> OK
9	启动模式 (SARADC0_BOOT) 及功能按键 (SARADC0_IN1_KEY/RECOVERY) 是否符合参考设计均有预留按键或测试点？	<input type="checkbox"/> OK

10	<p>USB3.0 OTG 与 PCIE2.1 只有两种选配模式，USB3.0 OTG 或者USB2.0 OTG+PCIE2.1，是否符合参考设计？</p> <p>USB接口使用的ESD物料是否满足Cj&lt;0.4pF要求？</p>	<input type="checkbox"/> O K
11	<p>SD/TF卡是否符合参考设计？</p>	<input type="checkbox"/> O K
12	<p>以太网设计：</p> <p>双网口GMAC+EMAC千兆+百兆，百兆只能采用VCCIO6组的RMII引脚，千兆只能选择VCCIO4组的RGMII引脚；</p> <p>IO电平，RMII一般只能是3.3V, RGMII 可以1.8V或者3.3V。确认PHY芯片 IO电平与对应的核心板电源域电平（VCCIO4/VCCIO6）是否匹配。</p> <p>千兆PHY芯片的IO电压的配置电阻，RESET引脚GPIO电平，LED灯的极性配置，时钟，符合参考设计？</p> <p>千兆/百兆PHY芯片是否是已经调试过的型号？</p>	<input type="checkbox"/> O K
13	<p>音频接口符合参考设计？</p>	<input type="checkbox"/> O K
14	<p>MIPI DSI /LVDS 显示接口，确认屏幕线序定义，供电时序 符合要求？</p> <p>确认屏幕分辨率和刷新率在支持范围？</p> <p>MIPI RESET是否有GPIO控制？</p> <p>背光和供电在待机/关机状态下是否有漏电问题？</p>	<input type="checkbox"/> O K
15	<p>MIPI CSI 摄像头接口，是否有2Lane拆分，信号线分配是否符合参考设计？</p> <p>摄像头模组定义，确认线序定义，供电时序，供电电压电流符合要求？</p> <p>摄像头Sensor是否在支持列表？</p> <p>待机/关机状态下是否有漏电</p>	<input type="checkbox"/> O K
16	<p>每组IIC总线是否有上拉电阻，电平是否匹配？</p> <p>IIC 上连接的外设地址是否冲突，最高速率是否有冲突？</p> <p>同一组IIC总线下的外设，是否存在待机/关机时供电状态不一致的问题？</p>	<input type="checkbox"/> O K

17	<p>每个串口（UART，RS232，RS485，RS422）和CAN接口：</p> <p>串口要求的最高波特率和接口芯片用料是否相符？</p> <p>电平是否匹配？</p> <p>接口芯片上电顺序是否晚于VCC_1V8_OUT核心板供电输出？</p>	<input type="checkbox"/> O K
18	<p>所有IO引脚，不得有在核心板VCC_1V8_OUT上电前向IO灌电的行为</p>	<input type="checkbox"/> O K
19	<p>使用SDIO的WIFI模块，供电和IO电平，32K时钟，晶振等是否符合参考设计</p>	<input type="checkbox"/> O K
20		